ATA-to-ISA Busadapter 06c
Kurzbeschreibung

Stand: 1.1 vom 5. 10. 06

Verwendungszweck:
Betrieb von E-A-Hardware mit ISA-Schnittstelle an PCs ohne ISA-Bus.

Schaltkreistyp:
CPLD Xilinx 95108 in Gehäuse PLCC 84.

Merkmale der unterstützten ISA-Schnittstelle:

- Zugriffsbreite: 8 Bits,
- Zugriffsart: nur E-A-Zugriffe,
- E-A-Adresse: 16 Bits,
- Interruptsignale: 4,
- Interruptauslösung: durch programmseitige Abfrage oder direkte Auslösung,
- Steuerung der ISA-Zyklen: sequentiell in Zusammenhang mit Wartezuständen am ATA-Interface (1 ISA-Zyklus = 1 ATA-Zugriff, der ggf. über Wartezustände verlängert wird).

PC-seitige Ansteuerung:

- parallele ATA-Schnittstelle (PATA),
- nur 8-Bit-Betrieb,
- nur programmseitige E-A-Zugriffe (PIO-Betrieb).

Unterstützte ATA-Signale:

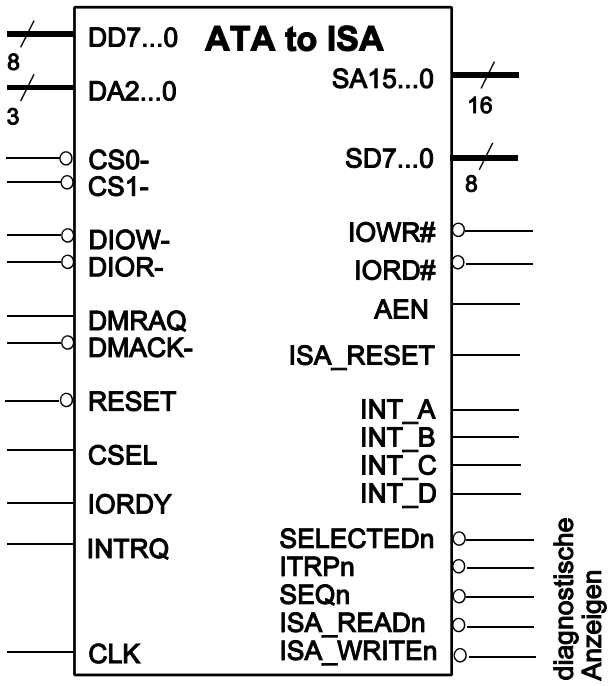
- DD7...0 (8-Bit-Datenbus),
- CS0, CS1,
- DA2, DA1, DA0,
- DIOW, DIORD,
- DMARQ, DMACK,
- RESET,
- CSEL,
- INTRQ,
- IORDY.

.

Nicht unterstützte Signale:

- DASP, PDIAG.

Zum Betrieb des Busadapters 06c ist ein Taktsignal (CLK) erforderlich. Taktfrequenz: zwischen 5 und 20 MHz.



Geräteauswahl
Der Busadapter kann wahlweise als Gerät (Device) 0 (Master) oder 1 (Slave) konfiguriert werden. Steuerung über Eingang CSEL:

- CSEL = 0: Master (Device 0),
- CSEL = 1: Slave (Devicve 1).

CSEL wird typischerweise mit einem Festwert belegt oder vom CSEL-Signal des Interfacekabels angesteuert (Cable Select).

Selektive Aktivierung
Dem Busadapter ist eine einzige (an sich beliebige) Portadresse im DH-Register fest zugeordnet. Ausführungsbeispiel: Portadresse CH.

Änderung der Portauswahl:
Durch entsprechendes Ändern der Adreßdecoder im Schaltkreis.

Der Schaltkreis wird am ATA-Interface wirksam:

- bei Schreibzugriffen auf das DH-Register,
- bei Schreib- und Lesezugriffen, sofern im DH-Register die Geräteauswahl der eingestellten Konfiguration (Master oder Slave) entspricht und die Portauswahl mit dem jeweiligen Wert (z. B. CH) geladen ist.

Belegung des DH-Registers:

7	6	5	4	3	2	1	0
-	-	-	DEVICE	Portauswahl			

Adressierung der ATA-Register:

CS		Registeradresse DA				Register	herkömml. ATA-Ports im PC			
1-	0-	2	1	0	Hex		1.	2.	3.	4.
1	0	0	1	0	2	ISA-Adresse (SA7...0)	1F2	172	1EA	16A
1	0	0	1	1	3	ISA-Adresse (SA15...7)	1F3	173	1EB	16B
1	0	1	0	0	4	ISA-Daten (SD7...0)	1F4	174	1EC	16C
1	0	1	0	1	5	Zustands- und Steuerregister	1F5	175	1ED	16D
1	0	1	1	0	6	Geräte- und Portauswahl	1F6	176	1EE	16E

Schreibzugriffe:

- Geräte- und Portauswahl (DH-Register),
- Schreiben in die Register 2, 3 und 5,
- Schreiben des ISA-Datenbytes (Registeradresse 4). Der Schreibzugriff des ATA-Interfaces trägt das Datenbyte lediglich in den Schreibdatenpuffer ein. Nach Beendigung dieses Schreizugriffs wird der ISA-Schreibzyklus autonom ausgeführt. Trifft ein weiterer ATA-Zugriff (Schreiben oder Lesen) auf einen laufenden ISA-Schreibzyklus, so wird er durch Wartezustände entsprechend verlängert.

Lesezugriffe:

- ISA-Zustandsregister (Register 5). Diese Lesezugriffe liefern die Belegung der unterstützten Interruptsignale. Hinweis: Nicht genutzte Interruptleitungen werden typischerweise mittels Pull-up-Widerstand auf High gehalten.
- ISA-Datenbyte (Registeradresse 4). Der Lesezugriff des ATA-Interfaces wird autonom in einen ISA-Lesezyklus umgesetzt. Der ATA-Zugriff wird hierbei durch Wartezustände entsprechend verlängert.

Steuerregister (Schreiben):

7	6	5	4	3	2	1	0
GATE ITRP	AEN CTL	GATE IORDY	ISA RESET	INTE_D	INTE_C	INTE_B	INTE_A

Belegung nach dem Rücksetzen über das ATA-Interface: 00H.

Wirkungsweise des Steuerregisters:

Bitposition	Wirkung
INTE_D...INTE_A	• Bit = 0: die betreffende Interruptanforderung wird fest auf Null gehalten (Clear Pending Interrupt/Interrupt Disable).. • Bit = 1: die betreffende Interruptanforderung kann angenommen werden (Interrupt Enable)
ISA_RESET	• Bit = 0: Rücksetzleitung des ISA-Bus inaktiv • Bit = 1: Rücksetzleitung des ISA-Bus aktiv
GATE_IORDY	• Bit = 0: IORDY-Signal der ATA-Schnittstelle wird nicht angesteuert • Bit = 1: IORDY-Signal der ATA-Schnitstelle wird angesteuert

Bitposition	Wirkung
AEN_CTL	• Bit = 0: AEN-Leitung des ISA-Bus auf High (Signalspiele am ISA-Bus können ablaufen, aber einrichtungen erkennen die zugriffe nicht).BusZugriffe verhindert). • Bit = 1: AEN-Leitung des ISA-Bus auf Low. Bus voll betriebsfähig.
GATE_ITRP	• Bit = 0: ATA-Interruptleitung wird nicht erregt. • Bit = 1: im Zustandregister anhängige Interruptanforderungen veranlassen Erregung der ATA-Interruptleitung (direkte Interruptauslösung)

Zustandsregister (Lesen):

7	6	5	4	3	2	1	0
res.	res.	res.	res.	INT_D	INT_C	INT_B	INT_A

Interruptannahme und -behandlung:

- Interruptsignale zur Annahme zulassen (Interrupt Enable): durch Eintragen von Einsen in die entsprechenden Bitpositionen des Steuerregisters.
- Interruptsignale von der Annahme ausschließen (Interrupt Disable): durch Eintragen von Nullen in die entsprechenden Bitpositionen des Steuerregisters.
- Annahme: jedes der vier Interruptsignale ist an ein Fang-Flipflop angeschlossen. Ein Low-High-Flanke führt zum Setzen dieses Flipflops und damit zum Anhängigwerden einer Interruptanforderung im Zustandsregister.
- Behandlung: durch zyklisches Lesen des Zustandsregisters (Polling) oder durch dirkte Auslösung über das ATA-Interface. Abfrage ist Vorzugslösung (s. vorstehend).
- Löschen anhängiger Anforderungen: mit zwei Steuerregisterzugriffen; zunächst mit Nullen und dann mit Einsen in den betreffenden Bitpositionen. Der erste Zugriff löscht die Anforderungen, der zweite läßt neue Anforderungen zu.

Achtung:
Die Interruptauslösung über die ATA-Schnittstelle geht nicht exakt konform mit dem ATA-Standard (Sparlösung). Die ATA-Interruptleitung läßt sich nur durch Schreiben ins Steuerregister deaktivieren (GATE_ITRP auf Null oder alle anhängigen Anforderungen löschen). Spezieller Interrupthandler erforderlich.

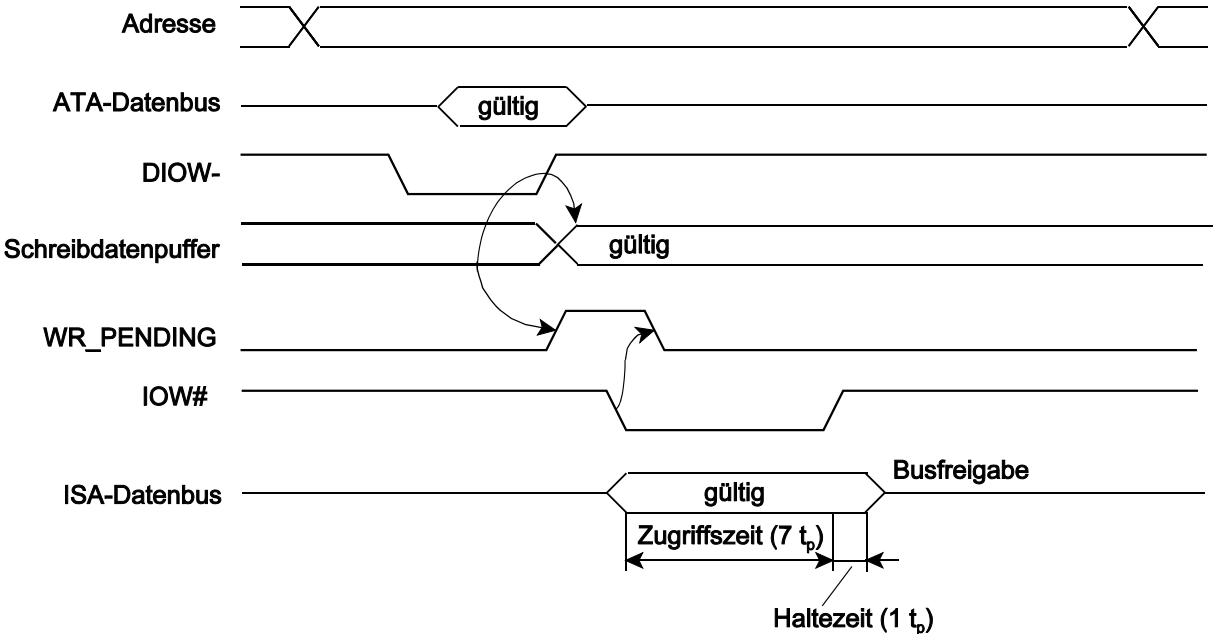
Rücksetzen:

1. Rücksetzsignal des ISA-Bus aktivieren und alle Interruptanforderungen löschen. Hierzu Steuerregister mit 10H laden.
2. Rücksetzsignal des ISA-Bus aus, AEN nach Low, ggf. Interruptanforderungen zulassen. Steuerregister laden mit 60H (keine Interrupts, IORDY-Signal ansteuern) oder mit ExH, wobei x die zuglassenen Interrupts kennzeichnet.

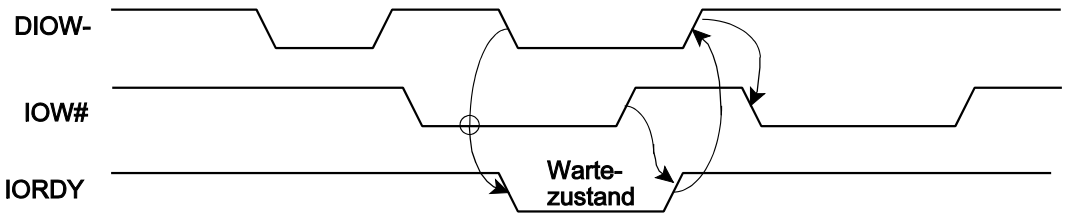
Die sequentielle Steuerung der ISA-Zugriffe
Ein ATA-Zugriff auf Registeradresse 4 bewirkt, daß ein entsprechender ISA-Zyklus ausgeführt wird. Dabei werden ggf. am ATA-Interface Wartezustände wirksam (Signal IORDY). Die ISA-Zyklen werden von einem taktgesteuerten, vollsynchronen Schaltwerk selbsttätig ausgeführt.

Grundsätze:

1. Ein ISA-Schreibzyklus wird *nach* dem ATA-Schreibzugriff ausgeführt.
2. Ein ATA-Schreibzugriff wird nur dann durch Wartezustände verlängert, wenn er auf einen laufenden ISA-Schreibzyklus trifft.
3. Ein ISA-Lesezyklus wird *während* des ATA-Lesezugriffs ausgeführt. Für die Dauer des ISA-Lesezyklus wird der ATA-Lesezugriff durch Wartezustände verlängert.
4. Trifft ein ATA-Lesezugriff auf einen laufenden ISA-Schreibzyklus, so werden weitere Wartezustände eingefügt. Zunächst wird der Schreibzyklus zu Ende gebracht. Dann wird Zeit zum Umschalten des ISA-Datenbus (Turnaround) eingeräumt. Schließlich wird der Lesezyklus ausgeführt.

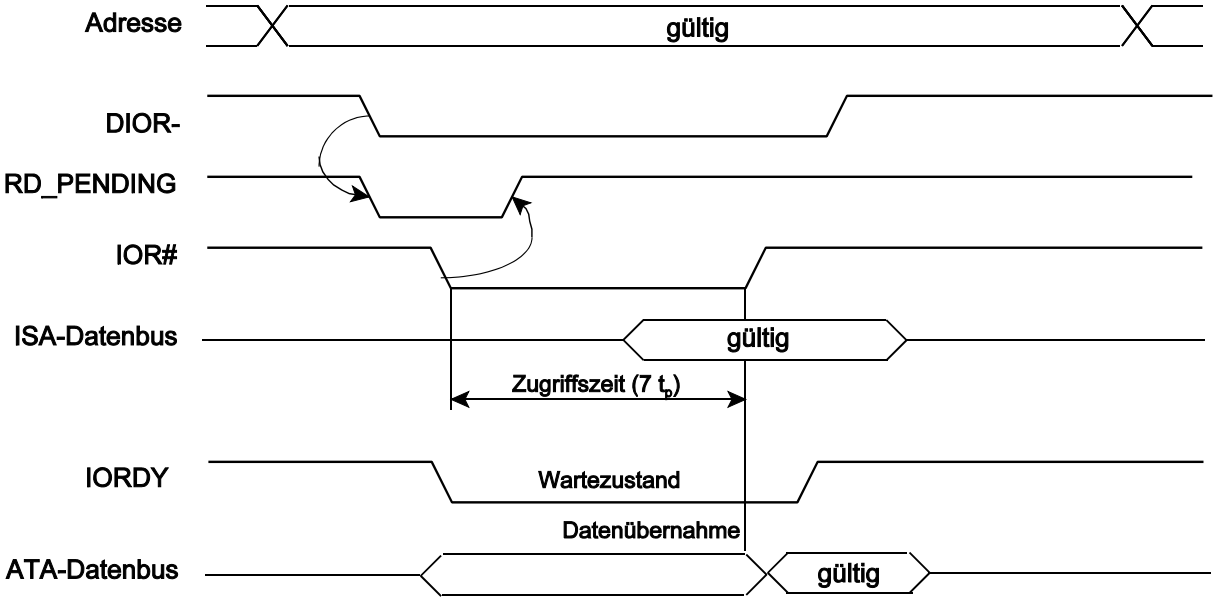


Ein Schreibzugriff
Die Rückflanke des DIOW-Impulses (Low - High) bewirkt zweierlei: (1) die Übernahme des Datenbytes in den Schreibdatenpuffer sowie (2) das Stellen einer Schreibanforderung (WR_PENDING). Anschließend führt die Ablaufsteuerung den ISA-Schreibzyklus aus (IOW#) und löscht die Schreibanforderung. Nach dem Inaktivwerden von IOW# verbleibt das Datenbyte noch für die Dauer einer Taktperiode auf dem Bus (Haltezeit).



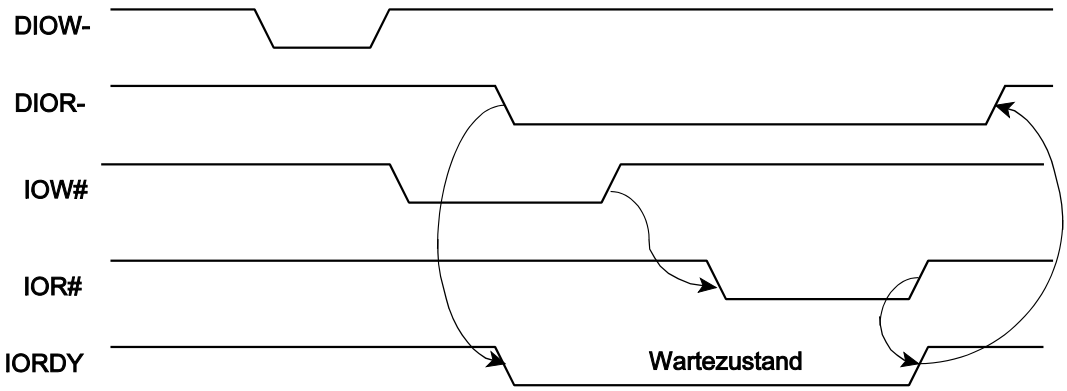
Ein weiterer Schreibzugriff trifft auf einen laufenden ISA-Schreibzyklus

So lange der laufende ISA-Schreibzyklus dauert, wird am ATA-Interface ein Wartezustand wirksam (IORDY = Low). Nach Aufheben des Wartezustandes kommt der neue ATA-Schreibzugriff zu Ende. Die Rückflanke des zweiten DIOW-Impulses kann somit den Ablauf des nächsten ISA-Schreibzyklus veranlassen.



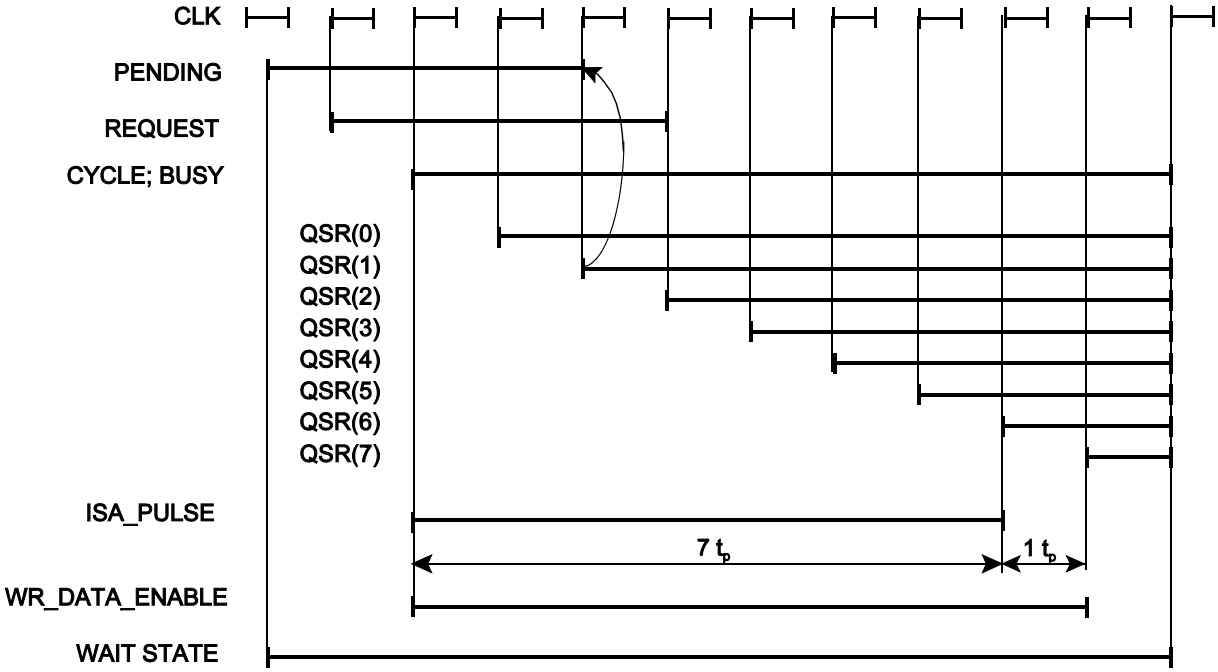
Ein Lesezugriff

Die Vorderflanke des DIOR-Impulses (High - Low) bewirkt das Stellen einer Leseanforderung (RD_PENDING). Anschließend führt die Ablaufsteuerung den ISA-Lesezyklus aus (IOR#) und löscht die Leseanforderung. Am Ende des Lesezyklus wird das Datenbyte ins Synchronsationsregister übernommen. Vom Beginn des ATA-Zugriffs bis zum Ende des ISA-Zyklus ist am ATA-Interface ein Wartezustand wirksam.



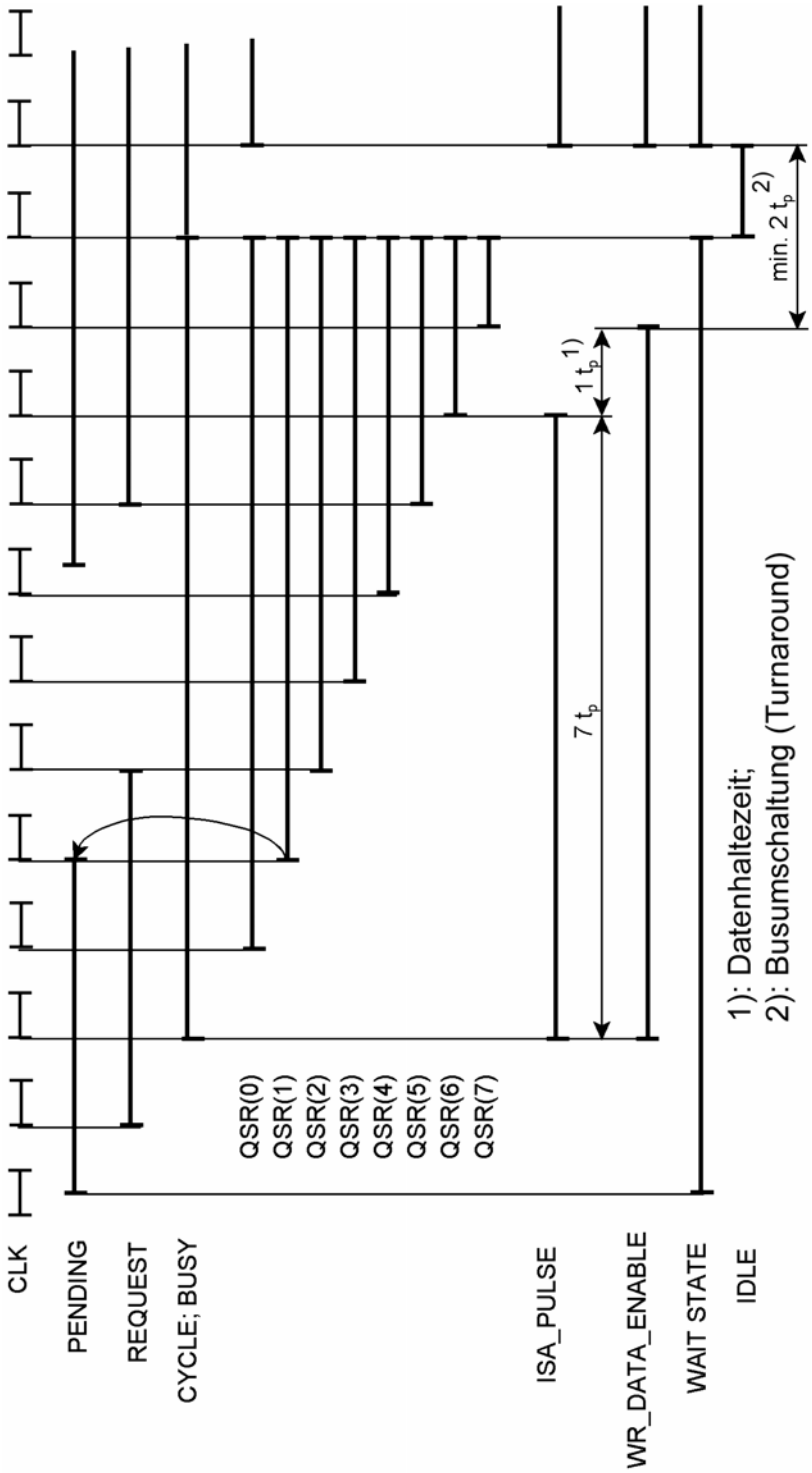
Ein Lesezugriff trifft auf einen laufenden ISA-Schreibzyklus

Mit Beginn des ATA-Lesezugriffs wird am ATA-Interface ein Wartezustand wirksam (IORDY = Low). Nach Ende des ISA-Schreibzyklus führt die anhängige Leseanforderung dazu, daß ein ISA-Lesezyklus ausgeführt wird (IOR#). Der Wartezustand dauert bis zum Ende des Lesezyklus. Dann liegt das gelesene Datenbyte auf dem ATA-Datenbus und kann am Ende des ATA-Zugriffs (DIOR- wird inaktiv) vom Hostadapter übernomen werden.



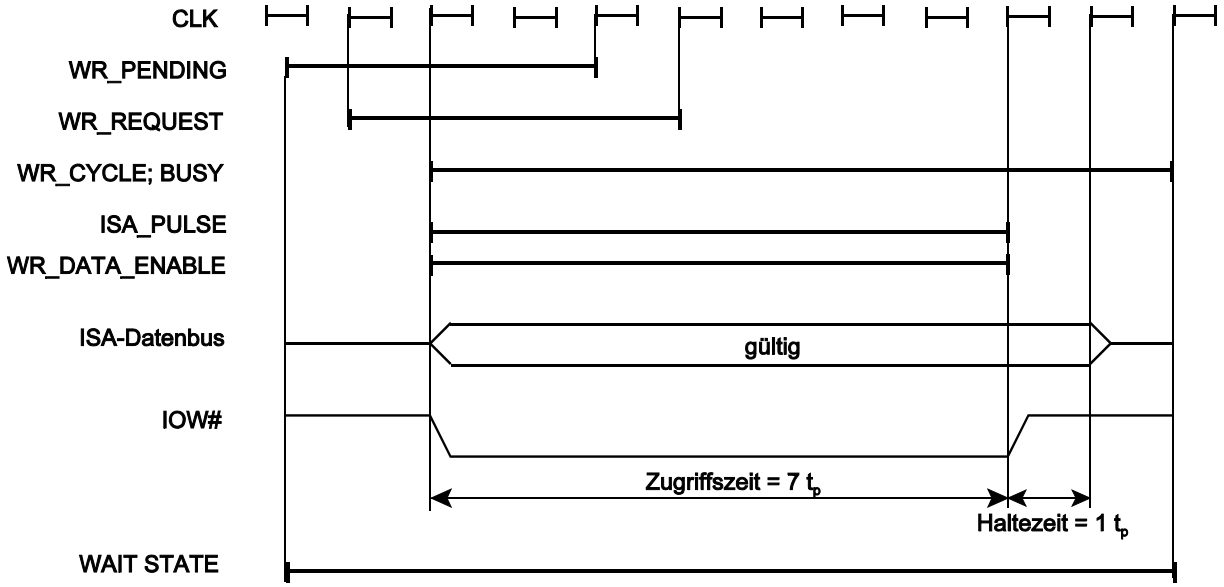
Der grundsätzliche Ablauf eines ISA-Zyklus

PENDING	Zugriffsanforderunganhängig. Jedes ATA-Zugriffsignal (DIOW-, DIOR-) setzt asynchron ein Anforderungsflipflop (WR_PENDING; RD_PENDING)
REQUEST	die jeweilige synchronisierte Zugriffsanforderung (WR_REQUEST, RD_REQUEST)
CYCLE; BUSY	das jeweilige Zyklussignal. Es wird entweder ein Schreibzyklus (WR_CYCLE) oder ein Lesezyklus (RD_CYCLE) ausgeführt. In beiden Fällen ist die Ablaufsteuerung beschäftigt (ISA_BUSY)
QSR(0) bis (QSR(7)	die Ausgangssignale des Ablauf-Sequencers (Schieberegisterprinzip). Sie bestimmen das Zeitraster des ISA-Zyklus. Der Ablauf umfaßt 8 Taktperioden
ISA_PULSE	ein Impuls, von dem das jeweilige ISA-Strobesignal (IOW# oder IOR#) abgeleitet wird. Jeder Strobe-Impuls ist 7 Taktperioden lang. Diese Impulsdauer bestimmt die Zugriffszeit
WR_DATA_ENABLE	ein Impuls, der in Schreibzugriffen die Aufschaltung der Schreibdaten auf den ISA-Bus veranlaßt. Er überlappt das Strobe-Signal (IOW#) um eine Taktperiode (Haltezeit)
WAIT STATE	der interne Wartezustand besteht für die Gesamtdauer des Zugriffs, von der Anforderung bis zum Zyklusende

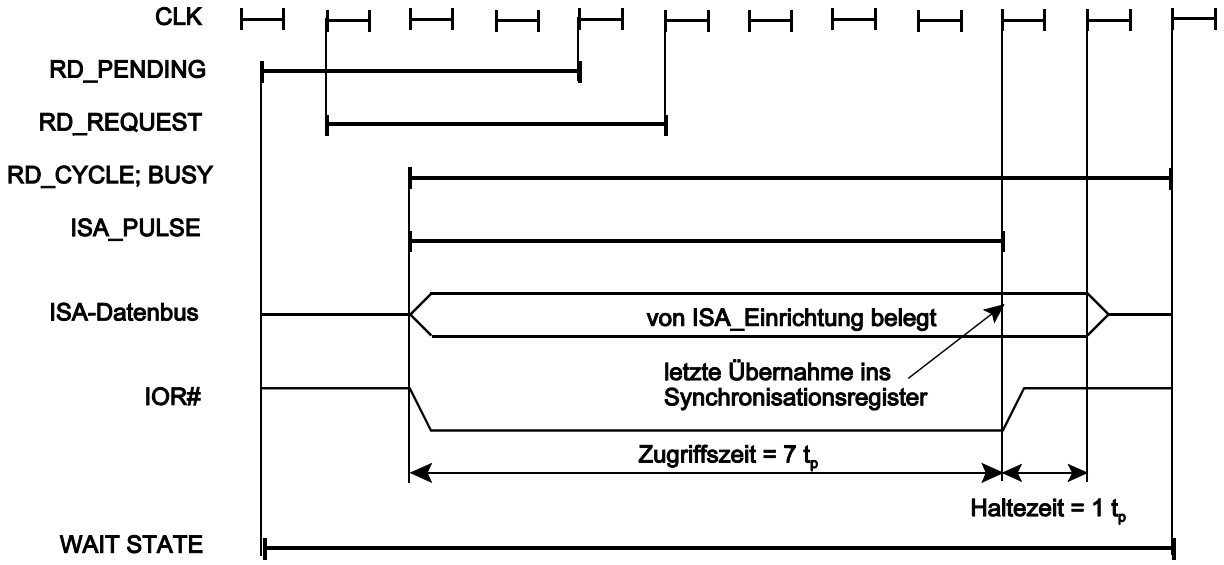


Die kürzeste Folge von ISA-Zyklen (Back-to-Back-Zyklen)

Neue ATA-Zugriffe können nur während laufender Schreibzyklen wirksam werden (bei Lesezugriffen wird das ATA-Interface im Wartezustand gehalten, so daß keine weiteren Zugriffe gestartet werden können). Der kritischste Fall ist eine Leseanforderung, die während eines laufenden Schreibzyklus anhängig geworden ist. Die Zyklen (WR_CYCLE, RD_CYCLE) folgen dann lückenlos aufeinander. Zwischen dem Ende des Schreibzyklus und dem Neuanlauf des Ablauf-Sequencers (für den Lesezyklus) liegt jedoch eine Pause (IDLE-Zustand) von wenigstens einer Taktperiode. Zwischen der Freigabe des ISA-Datenbus (WR_DATA_ENABLE inaktiv) und dem Begin des Lesezyklus am ISA-Bus (IOR# aktiv) liegen wenigstens zwei Taktperioden (Zeit für Busumschaltung (Bus Turnaround)).



Ein ISA-Schreibzyklus im einzelnen



Ein ISA-Lesezyklus im einzelnen

Festlegung des ISA-Zeitrasters:
Durch Wahl der Taktfrequenz. Die folgende Tabelle enthält einige Beispiele. Ggf. die Ablaufsteuerung passen abwandeln (weniger Schiebestufen, zusätzliche Schiebestufen, Auslösung zu anderen Schiebezeitpunkten).

Kennwert	Bedeutung	ISA*)	Takte	8,33 MHz	13,5 MHz	14,318 MHz	20 MHz
t_{CYC}	Zykluszeit (schnellste Folge von Buszugriffen) = $t_P + t_i$	683	10 t_p	1200	740	700	500
t_P	minimale Strobe-Impulsdauer	520	7 t_p	840	518	490	350
t_i	minimale Pausendauer zwischen zwei Zugriffen	163	3 t_p	360	222	210	150
t_{HD}	minimale Haltezeit für Datenbelegung (Schreiben)	36	1 t_p	120	74	70	50

Alle Zeitangaben in ns. *): Werte gemäß Standard.

Hinweise:

1. 8,33 MHz = ISA-Systemtakt (SYSCLK), 14,318 MHz = ISA-Takt OSC.
2. Der kritische Wert ist oftmals die Daten-Haltezeit beim Schreiben. Viele moderne Schaltkreise erlauben es, den Buszyklus deutlich abzukürzen. Ausnahme: ISA-Hardware mit traditionellen Schaltkreisen, z. B. E-A-Port 8255 und Zähler/Zeitgeber 8254.
3. Da manche ISA-Karten oder PC/104-Moduln den OSC-Takt (14,318 MHz) benötigen, liegt es nahe, diese Taktfrequenz zu verwenden. 490 ns Strobeimpulsdauer sind typischerweise bei weitem ausreichend. Ansonsten ggf. Schieberegister der Ablaufsteuerung um eine Bitposition verlängern.
3. Maximale Dauer eines Wartezustandes am ATA-Interface: 1250 ns. Längere Zeiten schaden typischerweise nicht (vor allem dann, wenn an das gleiche Kabel kein Laufwerk angeschlossen ist).

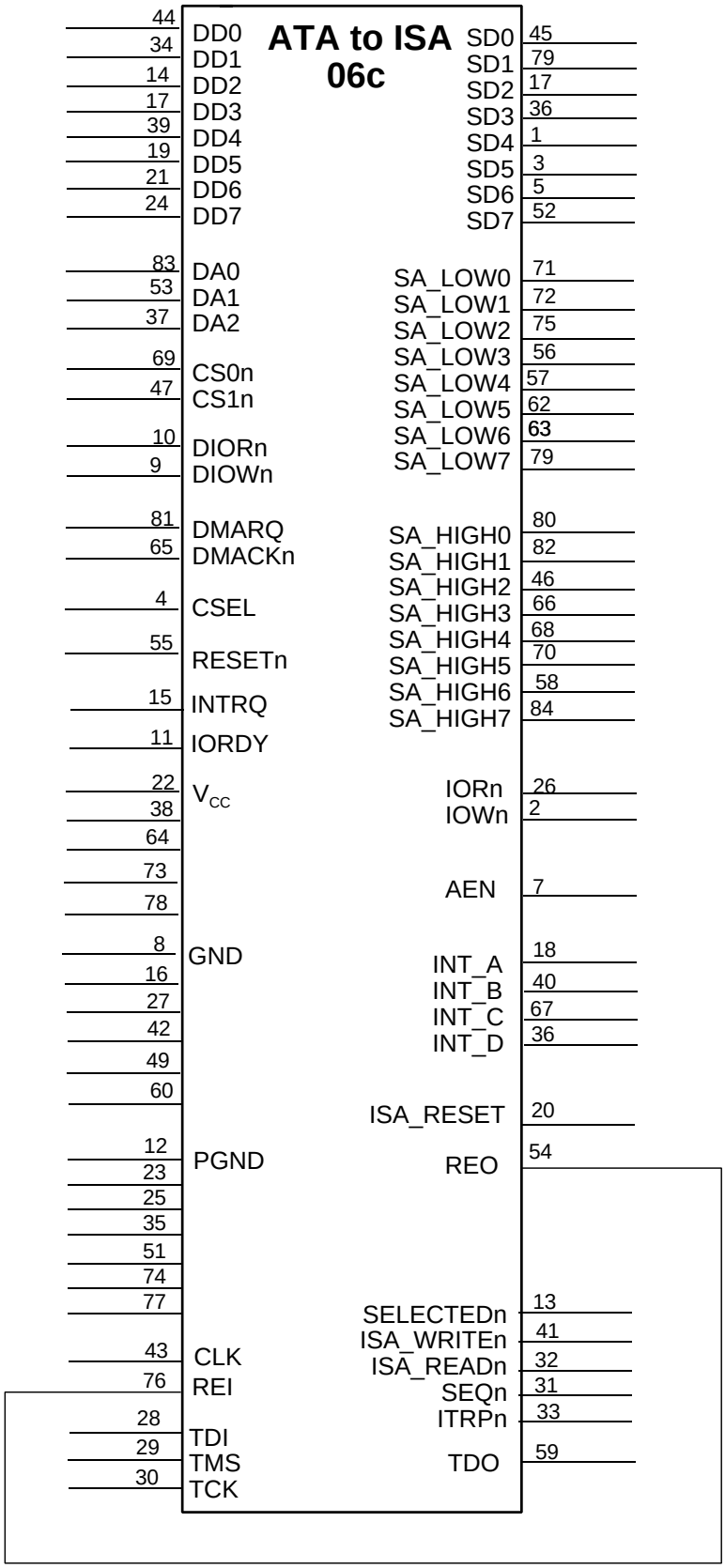
Diagnostische Anzeigen:

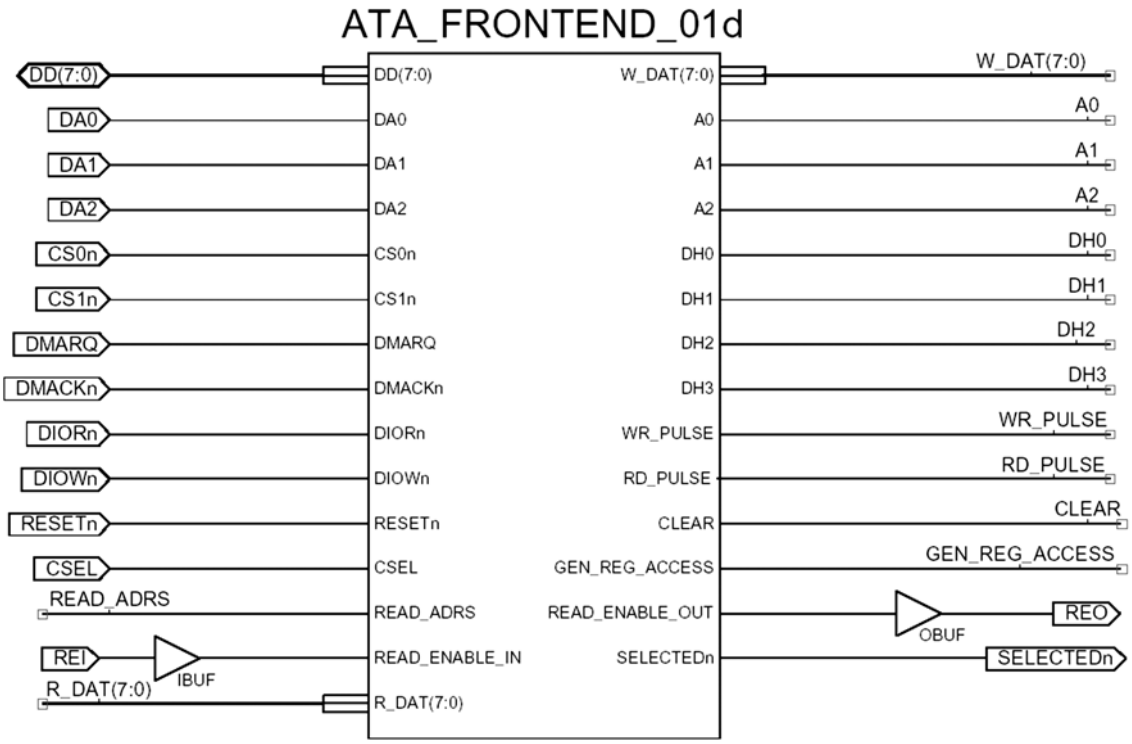
- SELECTEDn: zeigt an, daß der Adapter am ATA-Interface ausgewählt ist.
- ITRPn: zeigt an, daß Unterbrechungsbedingungen anhängig sind (Oder-Verknüpfung aller im Zustandsregister anhängigen Interrupt-Anforderungen).
- SEQ: zeigt an, daß die Ablaufsteuerung in Tätigkeit ist (Zustand von QRS(0)).
- ISA_READ: zeigt an, daß ein ISA-Lesezyklus ausgeführt wird (RD_CYCLE).
- ISA_WRITE: zeigt an, daß ein ISA-Schreibzyklus ausgeführt wird (WR_CYCLE).

PWR			SELECTED			ITRP	SEQ	ISA_READ	ISA_WRITE

Anschlußbelegung:

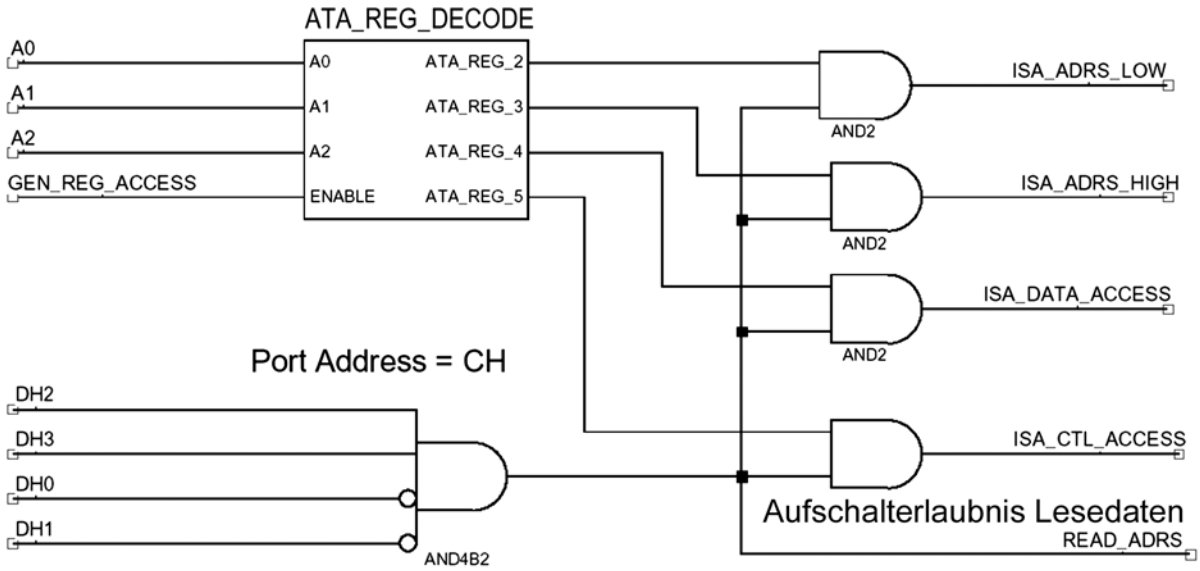
Pin No.	Signal Name	Pin No.	Signal Name
1	SD<4>	43	CLK
2	IOWn	44	DD<0>
3	SD<5>	45	SD<0>
4	CSEL	46	SA_HIGH<2>
5	SD<6>	47	CS1n
6	INT_D	48	SD<1>
7	AEN	49	GND
8	GND	50	SD<2>
9	DIOWn	51	PGND
10	DIORn	52	SD<7>
11	IORDY	53	DA1
12	PGND	54	REO
13	SELECTEDn	55	RESETn
14	DD<2>	56	SA_LOW<3>
15	INTRQ	57	SA_LOW<4>
16	GND	58	SA_HIGH<6>
17	DD<3>	59	TDO
18	INT_A	60	GND
19	DD<5>	61	PGND
20	ISA_RESET	62	SA_LOW<5>
21	DD<6>	63	SA_LOW<6>
22	VCC	64	VCC
23	PGND	65	DMACKn
24	DD<7>	66	SA_HIGH<3>
25	PGND	67	INT_C
26	IORn	68	SA_HIGH<4>
27	GND	69	CS0n
28	TDI	70	SA_HIGH<5>
29	TMS	71	SA_LOW<0>
30	TCK	72	SA_LOW<1>
31	SEQn	73	VCC
32	ISA_READn	74	PGND
33	ITRPn	75	SA_LOW<2>
34	DD<1>	76	REI
35	PGND	77	PGND
36	SD<3>	78	VCC
37	DA2	79	SA_LOW<7>
38	VCC	80	SA_HIGH<0>
39	DD<4>	81	DMARQ
40	INT_B	82	SA_HIGH<1>
41	ISA_WRITEn	83	DA0
42	GND	84	SA_HIGH<7>


ATA to ISA
06c
44 DD0
34 DD1
14 DD2
17 DD3
39 DD4
19 DD5
21 DD6
24 DD7
83 DA0
53 DA1
37 DA2
69 CS0n
47 CS1n
10 DIORn
9 DIOWn
81 DMARQ
65 DMACKn
4 CSEL
55 RESETn
15 INTRQ
11 IORDY
22 VCC
38
64
73
78
8 GND
16
27
42
49
60
12 PGND
23
25
35
51
74
77
43 CLK
76 REI
28 TDI
29 TMS
30 TCK
SD0 45
SD1 79
SD2 17
SD3 36
SD4 1
SD5 3
SD6 5
SD7 52
SA_LOW0 71
SA_LOW1 72
SA_LOW2 75
SA_LOW3 56
SA_LOW4 57
SA_LOW5 62
SA_LOW6 63
SA_LOW7 79
SA_HIGH0 80
SA_HIGH1 82
SA_HIGH2 46
SA_HIGH3 66
SA_HIGH4 68
SA_HIGH5 70
SA_HIGH6 58
SA_HIGH7 84
IORn 26
IOWn 2
AEN 7
INT_A 18
INT_B 40
INT_C 67
INT_D 36
ISA_RESET 20
REO 54
SELECTEDn 13
ISA_WRITEn 41
ISA_READn 32
SEQn 31
ITRPn 33
TDO 59



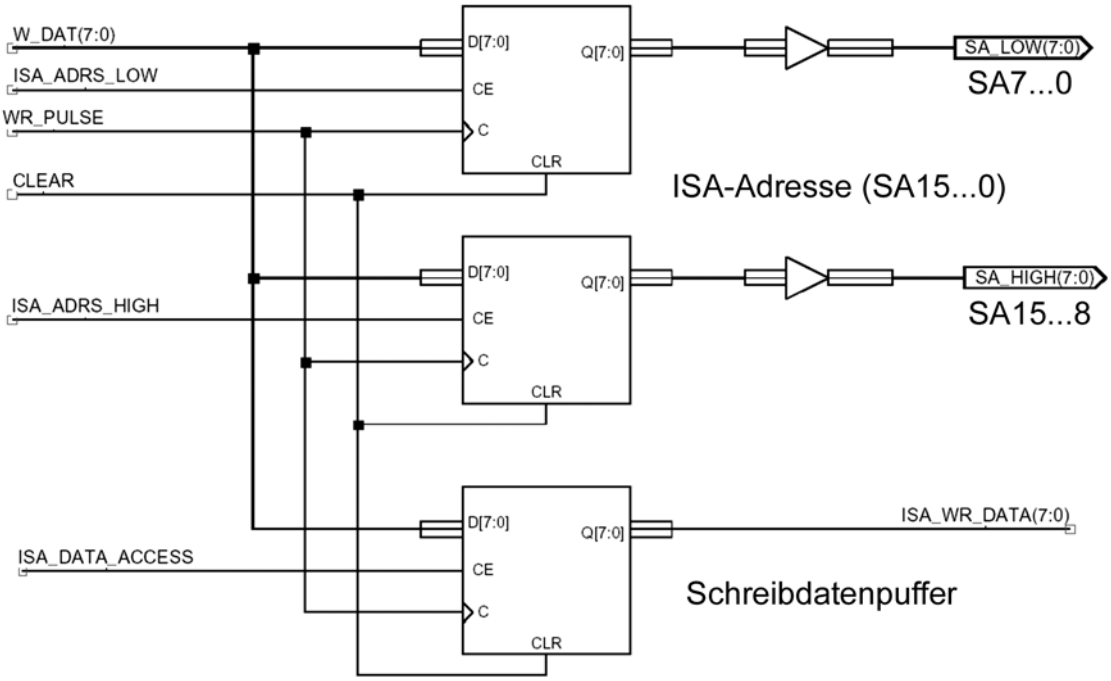
Die eigentliche ATA-Schnittstelle

Frontend 1d entspricht im wesentlichen Frontend 1a. Unterschiede: (1) kein Synchronisationsregister; (2) liefert zusätzlich Leseimpuls (RD_PULSE); (3) liefert nur eine diagnostische Anzeige (SELECTEDn).

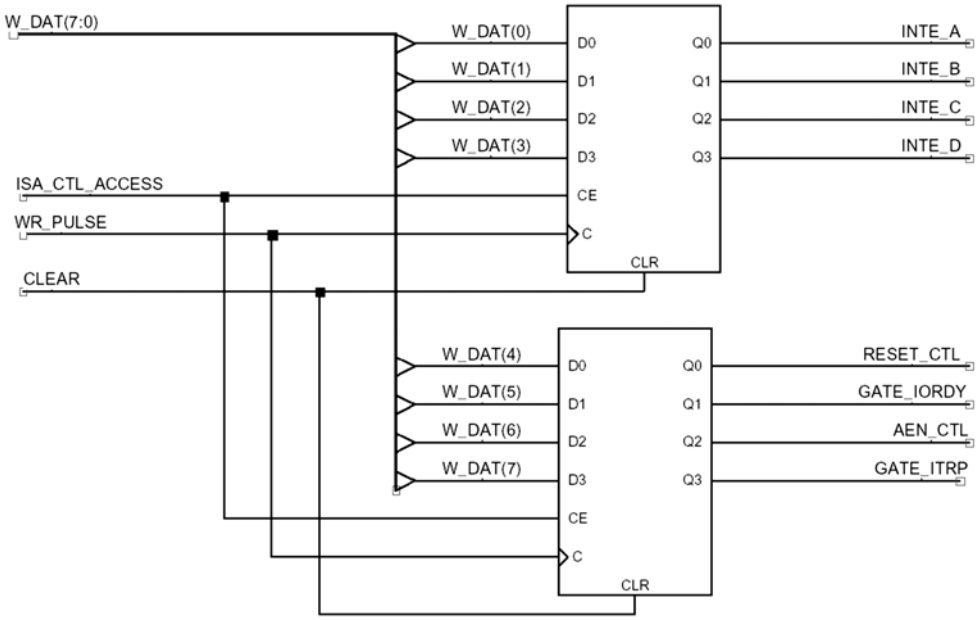


Bildung der Zugriffssteuersignale für die programmseitig zugänglichen Register

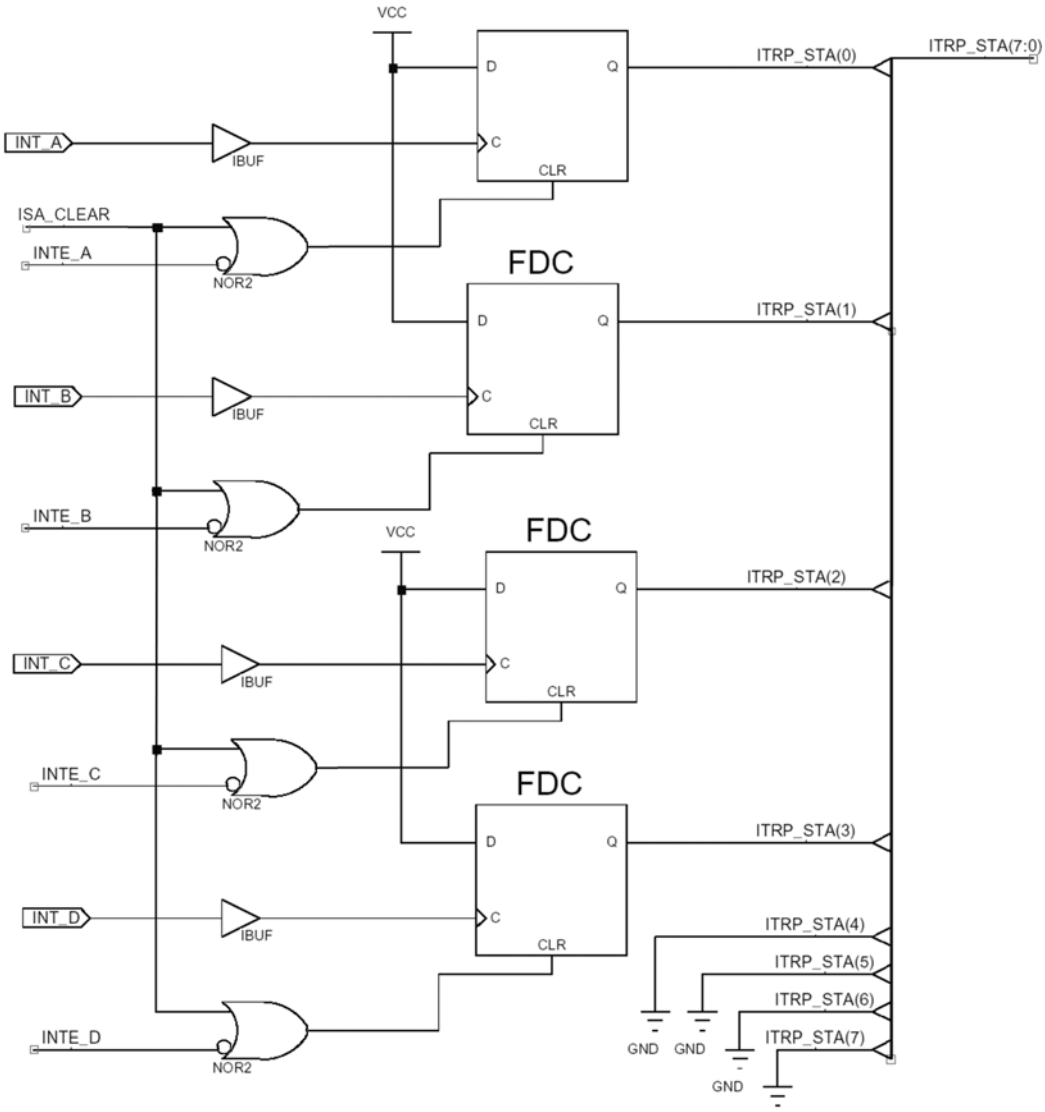
Die im DH-Register erwartete Portadresse ist hier als Festwert CH konfiguriert (kann ohne weiteres geändert werden).



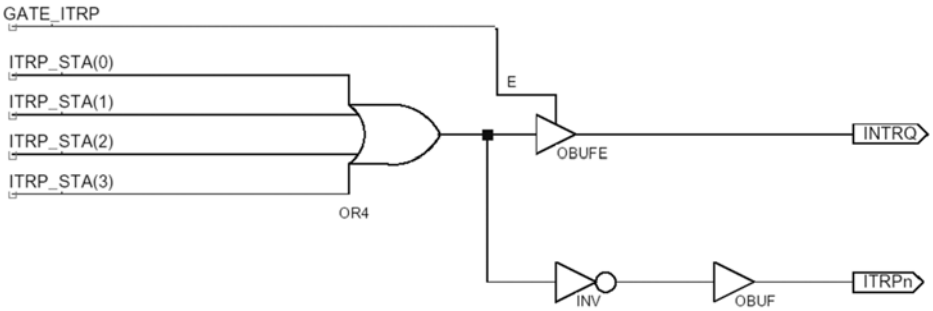
ISA-Adreßregister und Schreibdatenpuffer
Datenübernahme in den Schreibdatenpuffer: mit der Rückflanke (Low-High) von DIOW-.



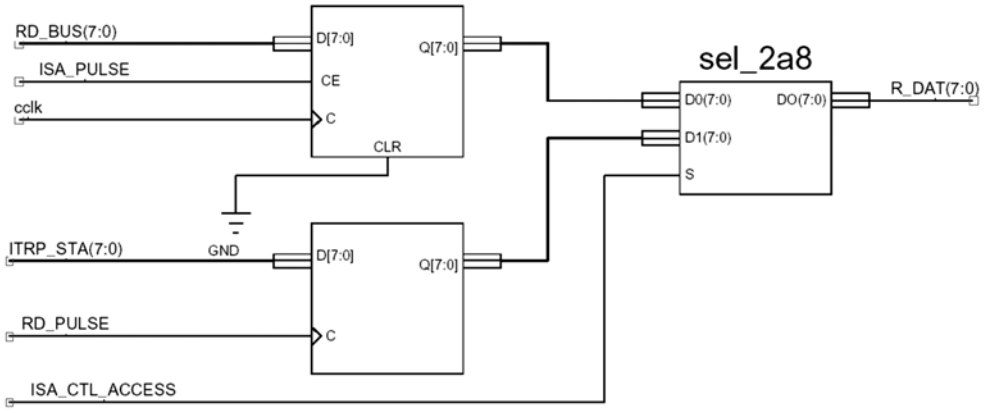
ISA-Steuerregister



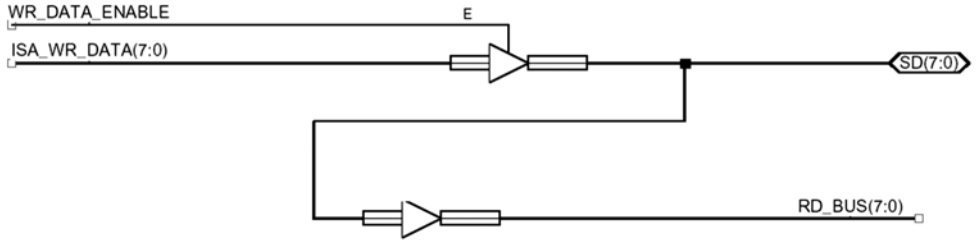
ISA-Zustandsregister
Dient zum Speichern und Abfragen der Interruptanforderungen.



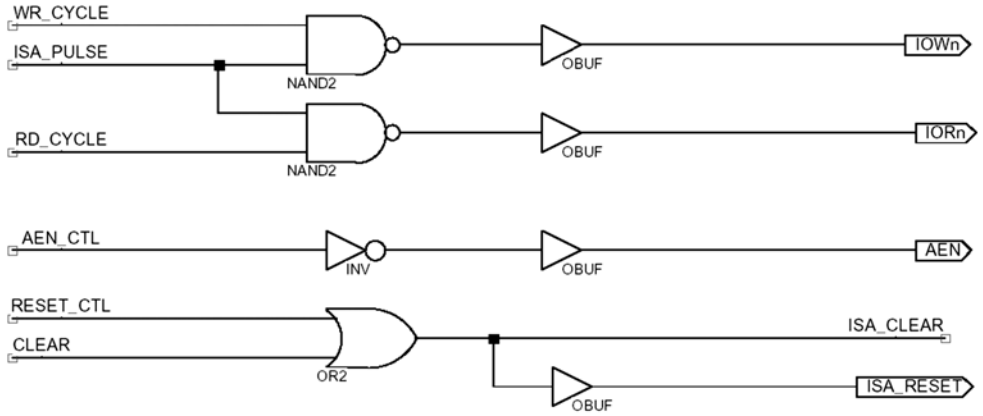
Interruptdurchschaltung zum ATA-Interface



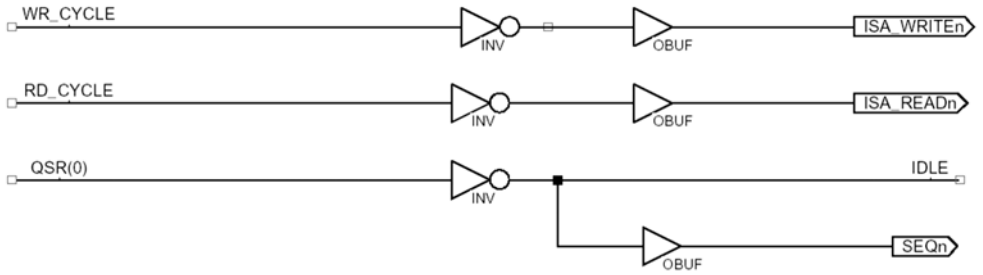
Synchronisationsregister im Lesedatenweg. Oben für den ISA-Datenbus, darunter für die Interrupt-Flipflops (ISA-Zustandsregister)



ISA-Datenwege

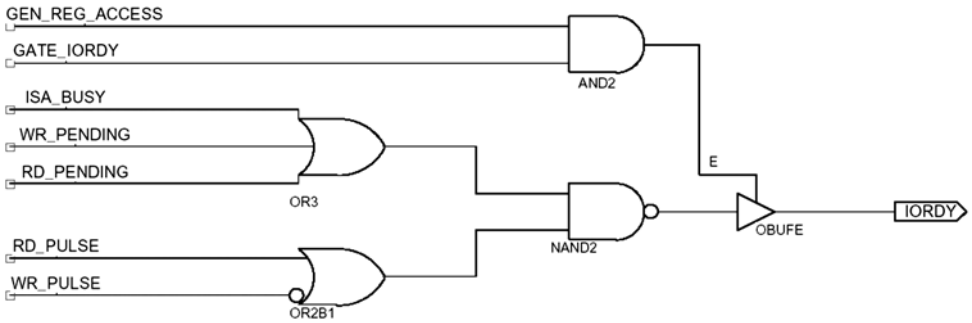


ISA-Zugriffssteuersignale

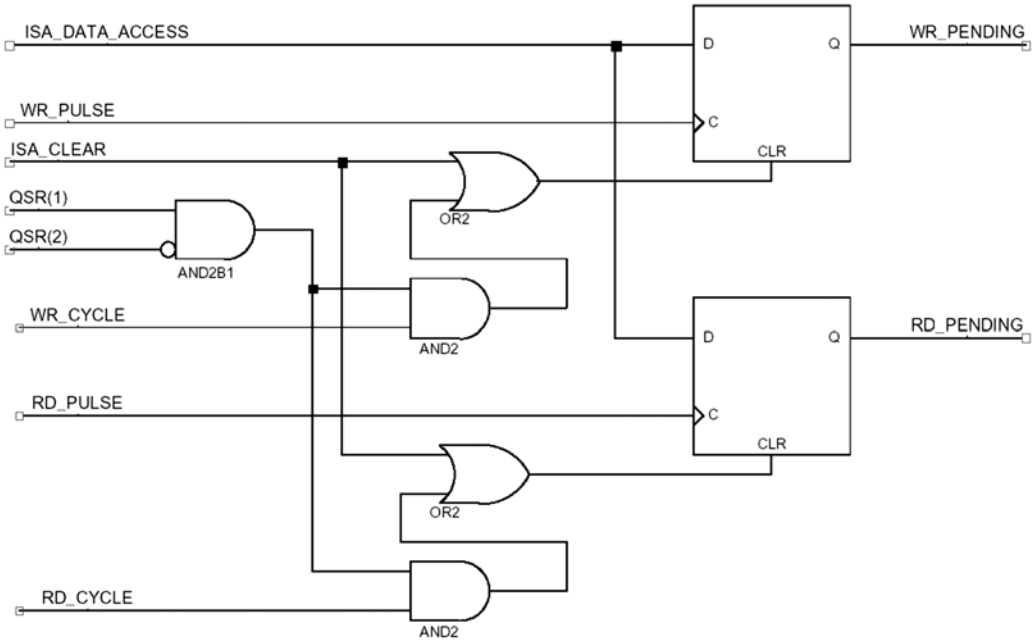


Diagnostische Anzeigen

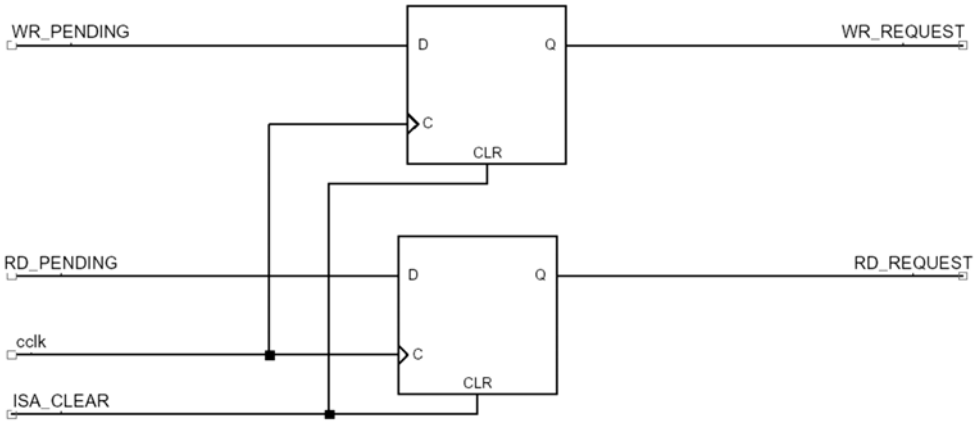
QSR(0) = 0 entspricht dem Ruhezustand (IDLE) der Ablaufsteuerung.



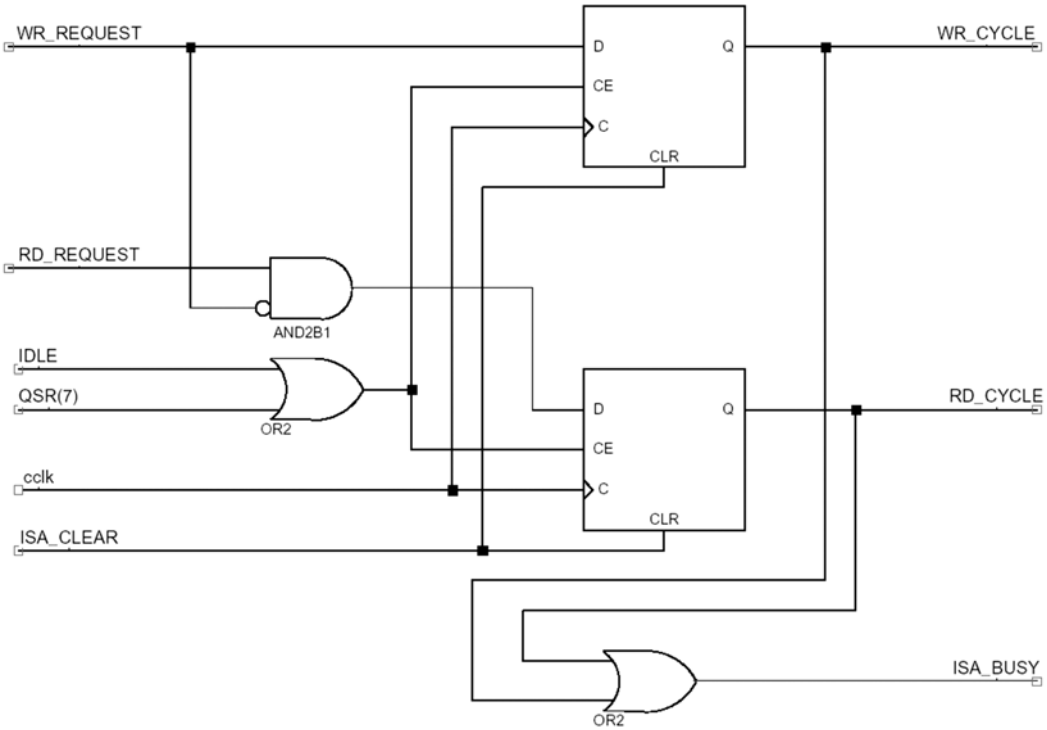
Ansteuerung des IORDY-Signals (Wartezustand am ATA-Interface)
IORDY wird nur dann Low, wenn (1) ein entsprechnder Zugriff stattfindet, wenn (2) im Steuerregister diese Betriebsweise zugelasssen ist (GATE_IORDY) und wenn (3) eines der ATA-Zugriffsfteuersignale (DIOR- (= WR_PULSE) oder DIOW- (= RD_PULSE (invertiert)) aktiv ist.



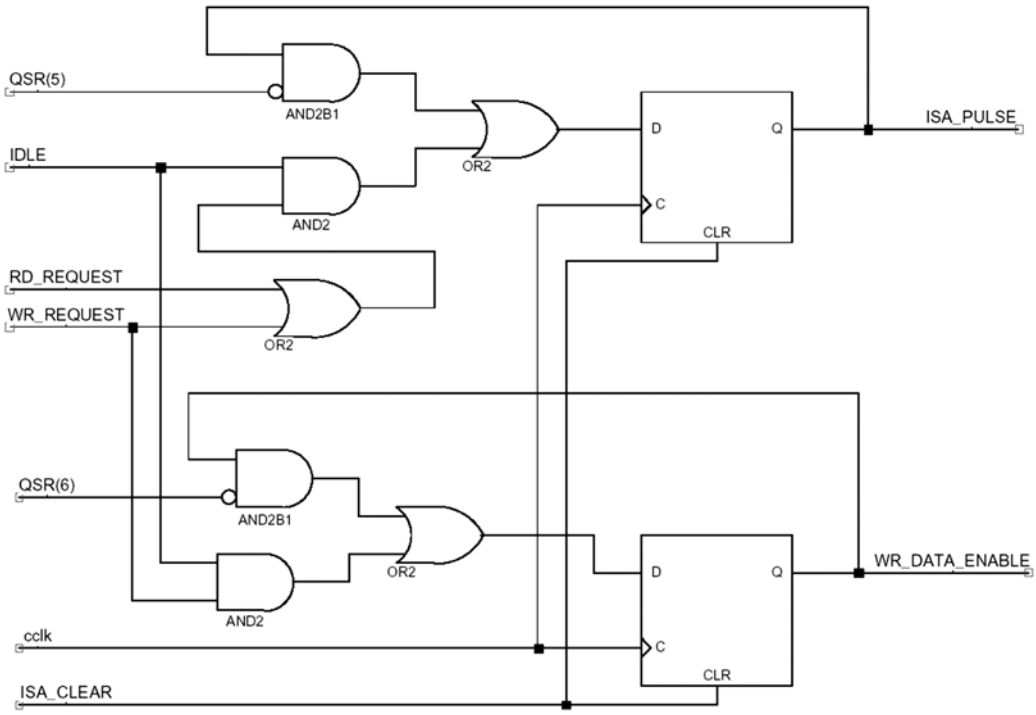
Die Anforderungs-Flipflops
Eine Schreibanforderung wird am Ende des ATA-Schreibzugriffs anhängig, eine Leseanforderung am Anfang des ATA-Lesezugriffs. Jedes Anforderungsflipflop wird am Anfang “seines“ ISA-Zyklus gelöscht.



Synchronisation der anhängigen Anforderungen
Da die Anforderungen ansynchron auftreten, müssen sie mit dem Takt der Ablaufsteuerung synchronisiert werden.

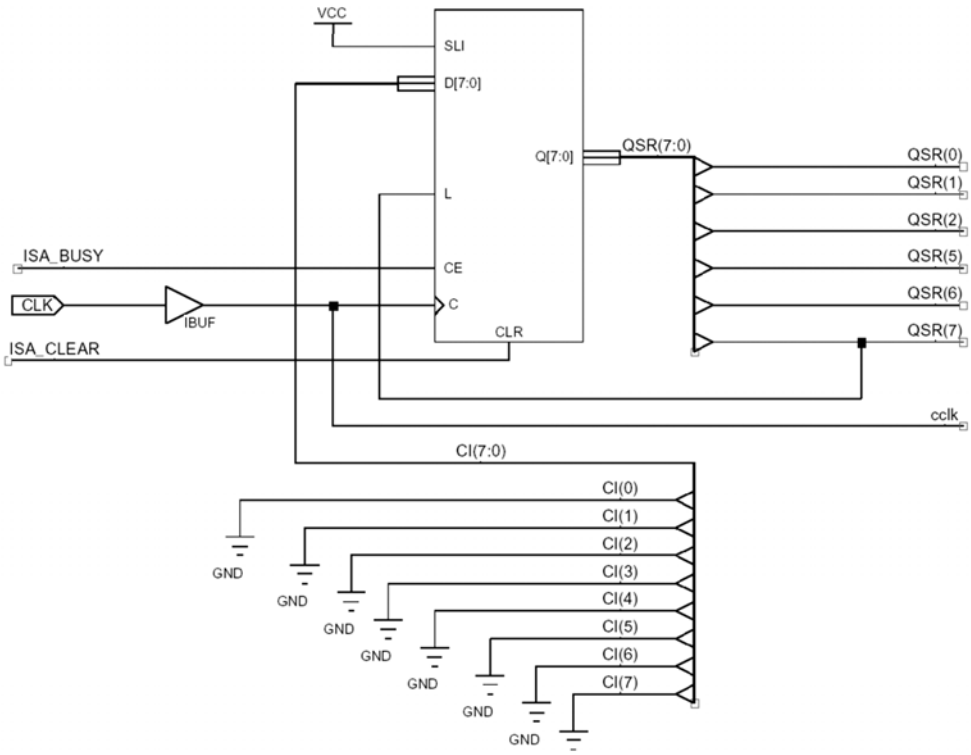


Die Zyklus-Flipflops
Sie bestimmen darüber, welcher ISA-Zyklus jeweils ausgeführt wird. Nur eines dieser Flipflop darf jeweils aktiv sein. Eine Schreibanforderung hat Vorrang vor einer Leseanforderung (Zugriffsfall: ATA-Lesezugriff trifft auf noch nicht erledigten ISA-Schreibzyklus). Einschalten: bei Vorliegen einer synchronisierten Anforderung (WR_REQUEST, RD_REQUEST) im Ruhezustand (IDLE) oder mit dem Übergang in den Ruhezustand (QSR(7) (letzteres gewährleistet ggf. lückenlose Aneinanderreihung der Zyklen). Ausschalten: mit dem Übergang in den Ruhezustand, d. h. im nächsten Takt nach dem Aktivieren der letzten Stufe des Sequencers (QSR(7)).



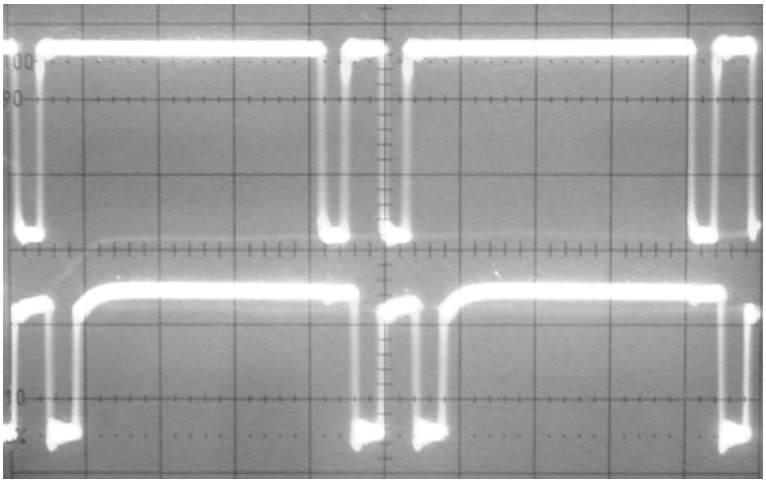
Die Erzeugung der Steuerimpulse

ISA_PULSE dient zur Bildung der ISA-Strobesignale IOW# und IOR#. Einschalten: zu Beginn des Zyklus (zeitgleich mit QSR(0)). Ausschalten: im nächsten Takt nach der Aktivierung von QSR(5). WR_DATA_ENABLE steuert die Aufschaltung der Schreibdaten auf den ISA-Datenbus. Einschalten: in Schreibzyklen zu Beginn des Zyklus (zeitgleich mit QSR(0)). Ausschalten: im nächsten Takt nach der Aktivierung von QSR(6) (= eine Taktperiode nach dem Deaktivieren von IOW# (Haltezeit)).

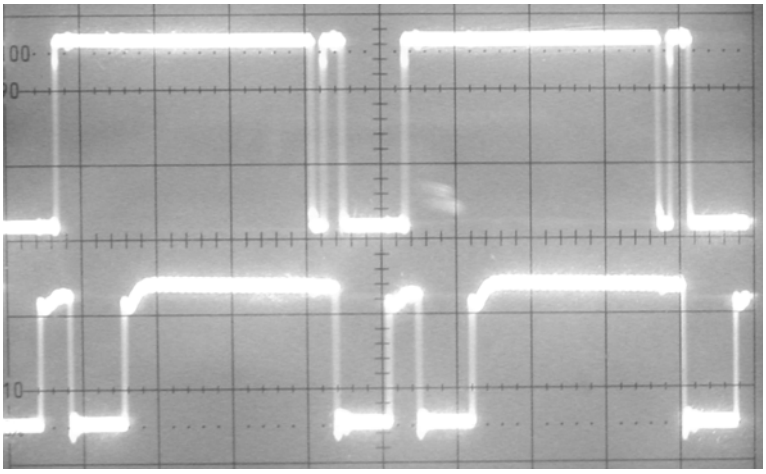


Das Schieberegister der Ablaufsteuerung (Sequencer)

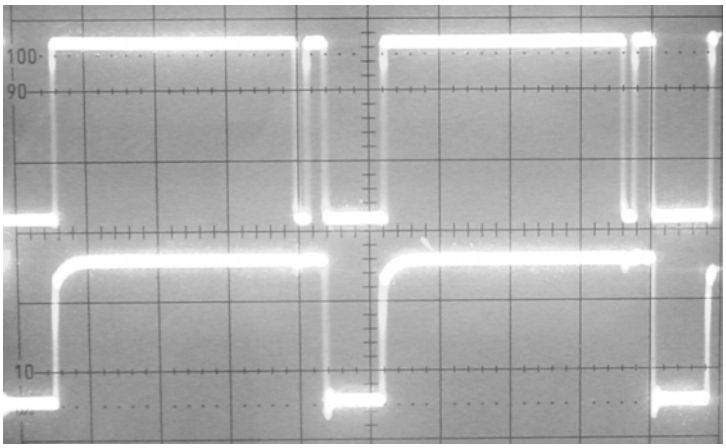
Wird ISA_BUSY aktiv (= WR_CYCLE oder RD_CYCLE), so wird eine Eins in das Register eingeschoben. Beim Durchschieben wedern die Signale QSR(0) bis QSR(7) nacheinander aktiv. QSR(7) veranlaßt, daß das Schieberegister im folgenden Takt mit Nullen geladen und somit der Zyklus beendet wird (Übergang in den Ruhezustand (IDLE)).



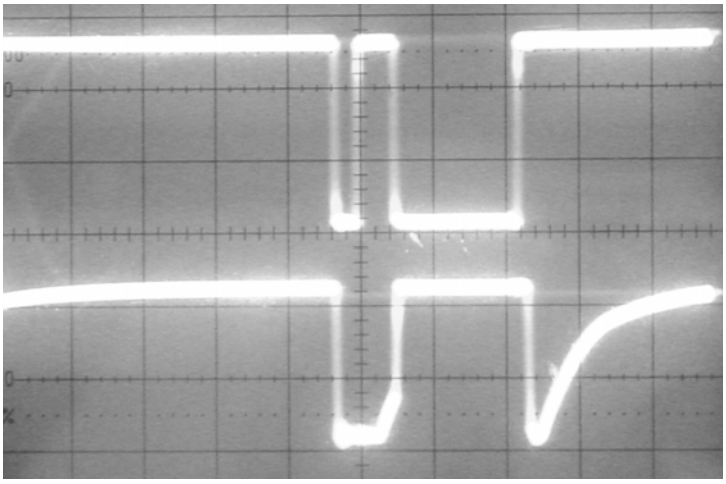
Zwei aufeinanderfolgende Schreibzyklen. Oben DIOW- (ATA), darunter IOW# (ISA). Takt = 20 MHz. Infolge des schnellen Taktes sind die ISA-Zyklen so kurz, daß keine Wartezustände auftreteten.



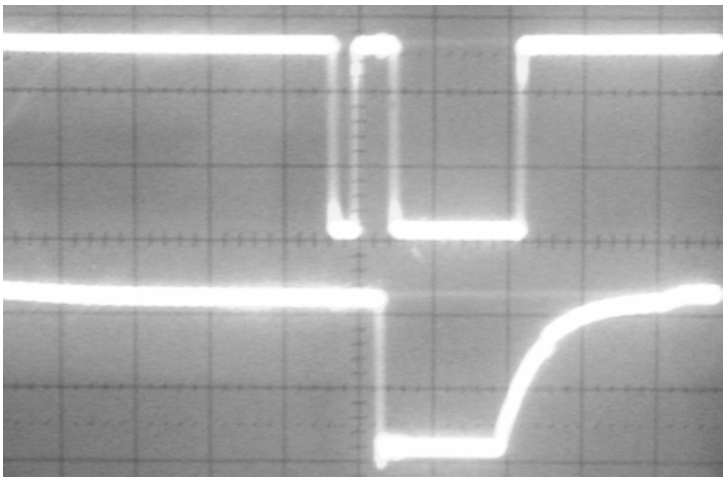
Zwei aufeinanderfolgende Schreibzyklen. Oben DIOW- (ATA), darunter IOW# (ISA). Takt = 5 MHz. Der zweite ATA-Zugriff ist erkennbar länger (Wartezustand).



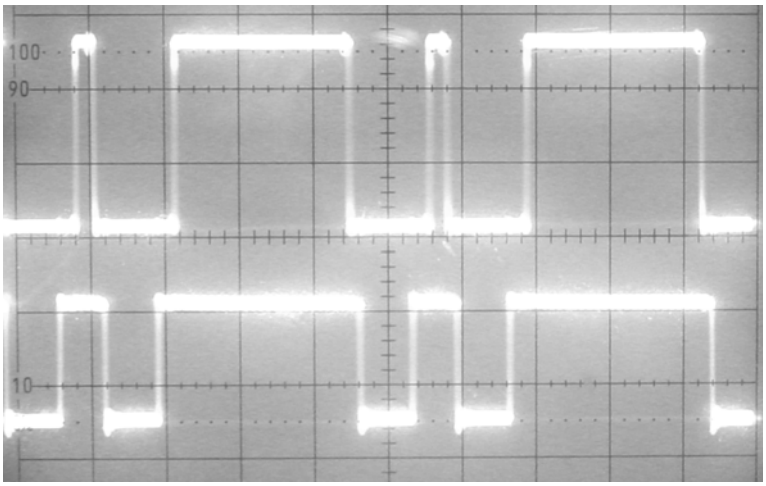
Zwei aufeinanderfolgende Schreibzyklen. Oben DIOW-, darunter IORDY. Takt = 5 MHz. Der zweite ATA-Zugriff führt zur Einfügung von Wartezuständen (IORDY = Low).



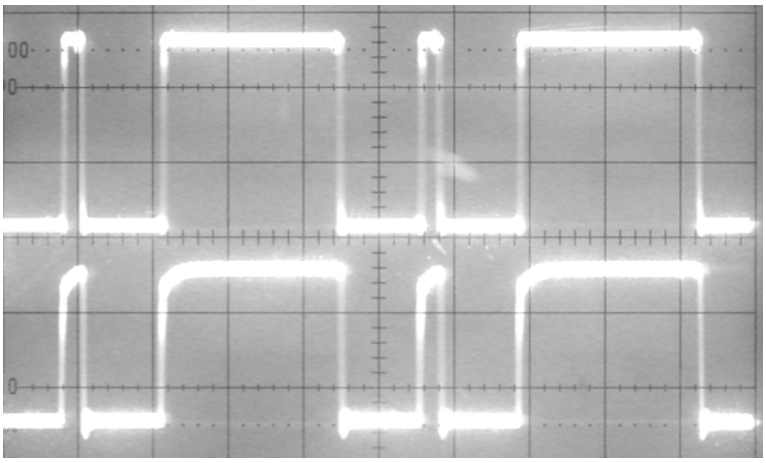
Zwei aufeinanderfolgende Schreibzyklen. Oben DIOW-, darunter ein ATA-Datensignal. Takt = 5 MHz. Im ersten Zyklus wird eine Null geschrieben, im zweiten eine Eins.



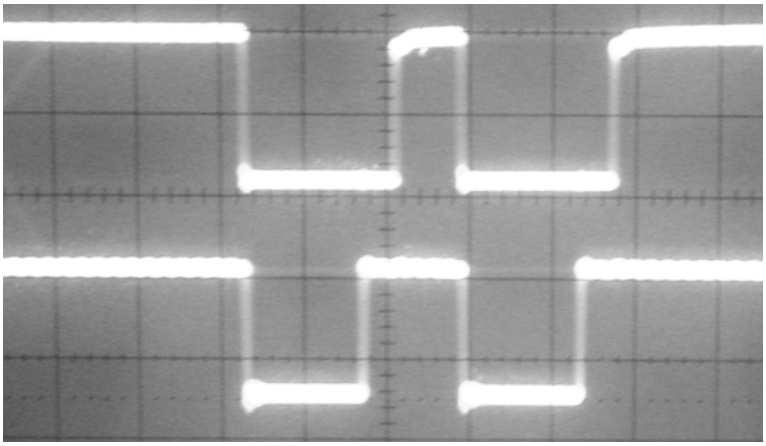
Zwei aufeinanderfolgende Schreibzyklen. Oben DIOW-, darunter ein ATA-Datensignal. Takt = 5 MHz. Im ersten Zyklus wird eine Eins geschrieben, im zweiten eine Null.



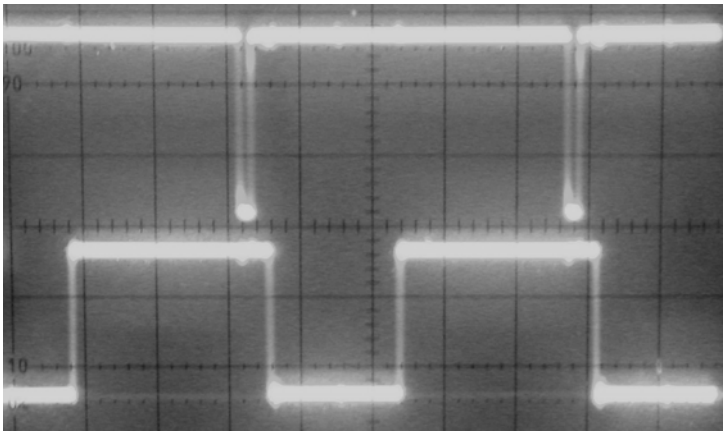
Zwei aufeinanderfolgende Lesezyklen. Oben DIOR- (ATA), darunter IOR# (ISA). Takt = 5 MHz.



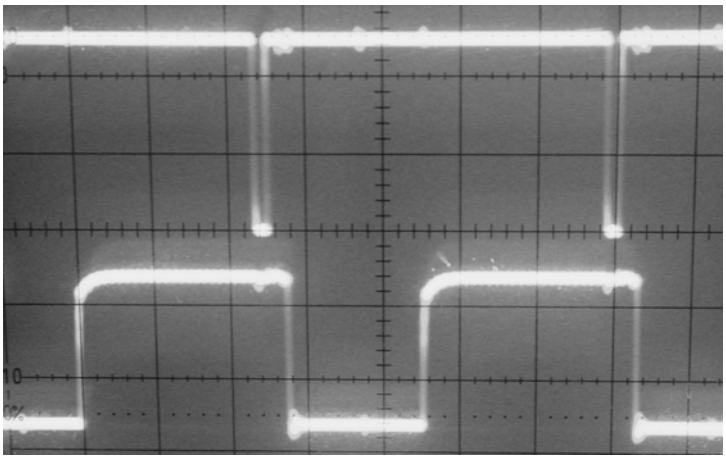
Zwei aufeinanderfolgende Lesezyklen. Oben DIOR-, darunter IORDY. Takt = 5 MHz. Beide Zugriffe werden durch Wartezustände so verlängert, daß ihre Dauer jeweils der des ISA-Lesezyklus entspricht.



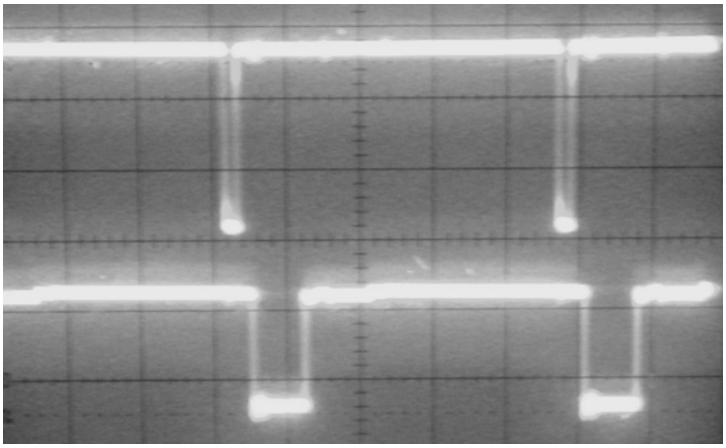
Zwei aufeinanderfolgende Lesezyklen. Oben RD_CYCLE (Anzeigesignal ISA_READ (invertiert)) darunter IOR#. Takt = 5 MHz.



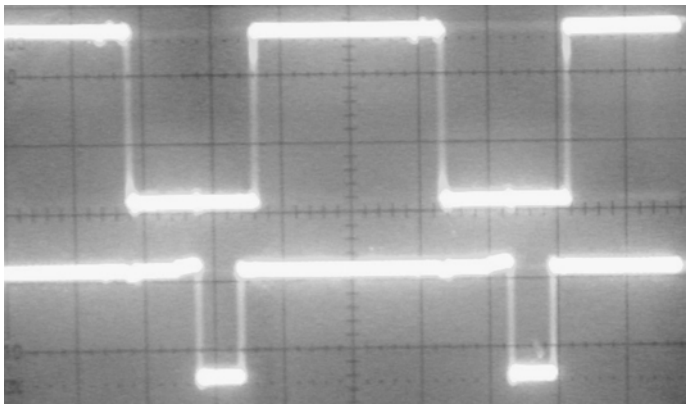
Schreiben mit sofort nachfolgendem Lesen (1). Oben das ATA-Schreibsteuersignal (DIOW-), darunter das ATA-Lesesteuersignal (DOIR-). Der Lesezugriff trifft auf den vom Schreibzugriff ausgelösten ISA-Schreibzyklus und wird deshalb durch zusätzliche Wartezustände verlängert.



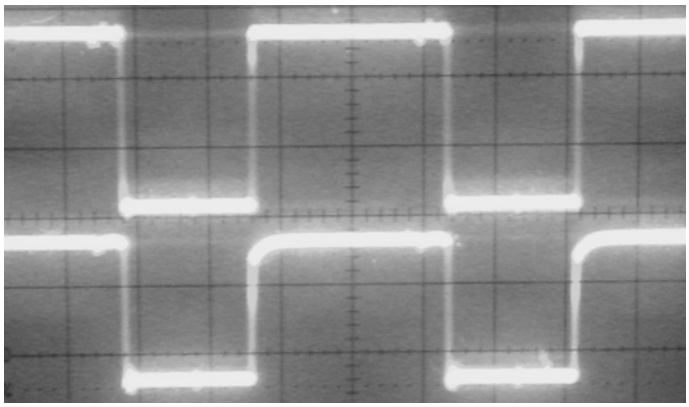
Schreiben mit sofort nachfolgendem Lesen (2). Oben das ATA-Schreibsteuersignal (DIOW-), darunter IORDY. Der Wartezustand (IORDY = Low) betrifft den nachfolgenden Lesezugriff.



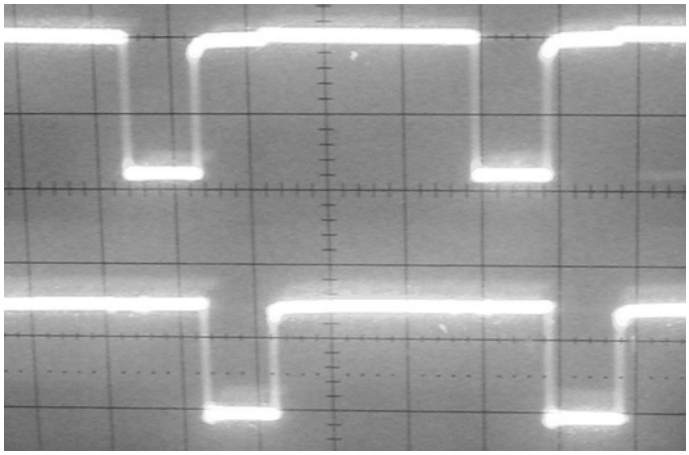
Schreiben mit sofort nachfolgendem Lesen (3). Oben das ATA-Schreibsteuersignal (DIOW-), darunter das ISA-Schreibsteuersignal (IOW#). Der ISA-Schreibzyklus wird *nach* dem ATA-Schreibzugriff ausgeführt.



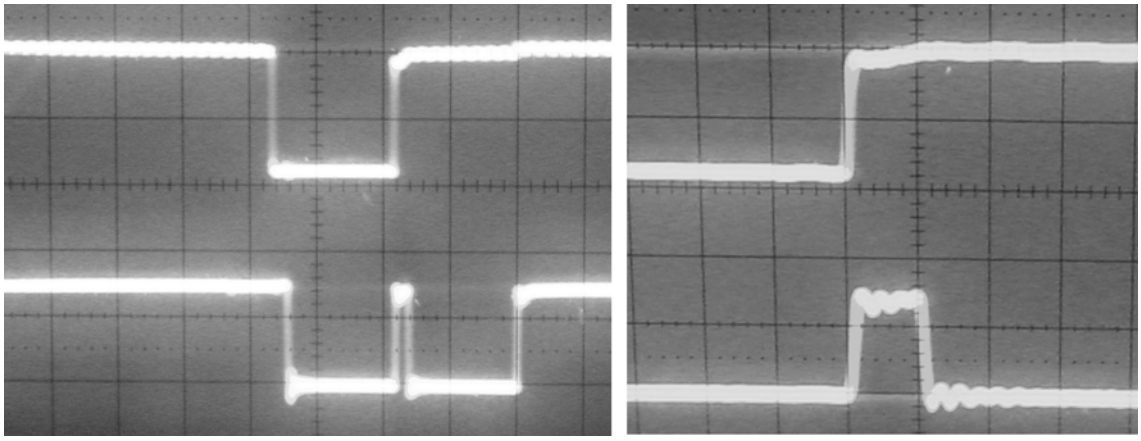
Schreiben mit sofort nachfolgendem Lesen (4). Oben das ATA-Lesesteuersignal (DIOR-), darunter das ISA-Lesesteuersignal (IOR#). Der ISA-Lesezyklus wird *innerhab* des ATA-Lesezugriffs ausgeführt.



Schreiben mit sofort nachfolgendem Lesen (5). Oben das das ATA-Lesesteuersignal (DIOR-), darunter IORDY. DIOR- löst den Wartezustand aus. In der hier vorliegenden Zugriffsfolge ist zunächst auf das Ende des ISA-Schreibzyklus zu warten. Dann ist solange zu warten, bis der ISA-Lesezyklus ausgeführt wurde.



Schreiben mit sofort nachfolgendem Lesen (6). Oben das das ISA-Schreibzyklussignal (WR_CYCLE = ISA_WRITEn), darunter das ISA-Lesezyklussignal (RD_CYCLE = ISA_READn). Da beide Signale LEDs ansteuern, sind sie aktiv Low. Es ist ersichtlich, daß beide Zyklen lückenlos aufeinanderfolgen.



Schreiben mit sofort nachfolgendem Lesen (7). Oben das das ISA-Schreibzyklussignal (WR_CYCLE = ISA_WRITEn), darunter das Anzeigesignal der Ablaufsteuerung (QSR(0) = SEQn). Da beide Signale LEDs ansteuern, sind sie aktiv Low. Zwischen beiden Abläufen liegt eine Pause (Ruhezustand) von wenigstens einer Taktperiode (rechts näher dargestellt).