ATA-to-ISA Busadapter 06a
Kurzbeschreibung

Stand: 1.2 vom 19. 9. 06

Verwendungszweck:
Betrieb von E-A-Hardware mit ISA-Schnittstelle an PCs ohne ISA-Bus.

Schaltkreistyp:
CPLD Xilinx 95108 in Gehäuse PLCC 84.

Merkmale der unterstützten ISA-Schnittstelle:

- Zugriffsbreite: 8 Bits,
- Zugriffsart: nur E-A-Zugriffe,
- E-A-Adresse: 16 Bits,
- Interruptsignale: 4,
- Interruptauslösung: durch programmseitige Abfrage oder direkte Auslösung,
- Steuerung der ISA-Zyklen: durch Folgen von ATA-Zugriffen (1 ISA-Zyklus = 2 ATA-Zugriffe).

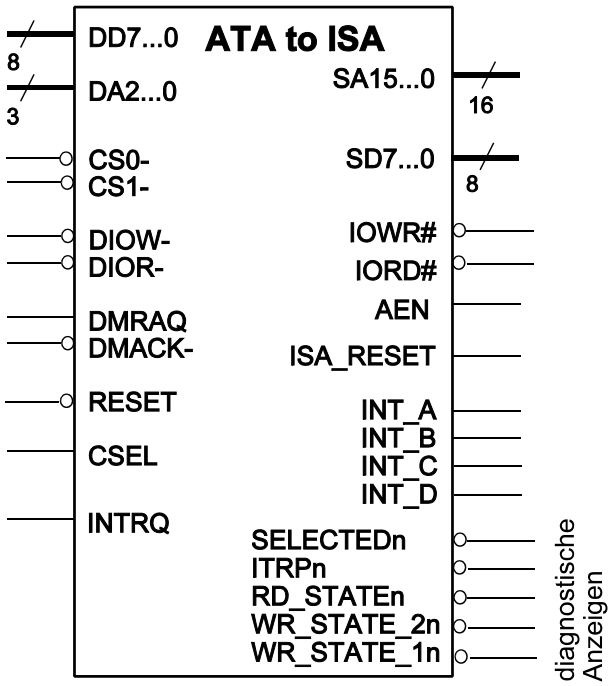
PC-seitige Ansteuerung:

- parallele ATA-Schnittstelle (PATA),
- nur 8-Bit-Betrieb,
- nur programmseitige E-A-Zugriffe (PIO-Betrieb).

Unterstützte ATA-Signale:

- DD7...0 (8-Bit-Datenbus),
- CS0, CS1,
- DA2, DA1, DA0,
- DIOW, DIORD,
- DMARQ, DMACK,
- RESET,
- CSEL,
- INTRQ.,

Nicht unterstützte Signale:
- IORDY.
- DASP, PDIAG.



Geräteauswahl
Der Busadapter kann wahlweise als Gerät (Device) 0 (Master) oder 1 (Slave) konfiguriert werden. Steuerung über Eingang CSEL:

- CSEL = 0: Master (Device 0),
- CSEL = 1: Slave (Devicve 1).

CSEL wird typischerweise mit einem Festwert belegt oder vom CSEL-Signal des Interfacekabels angesteuert (Cable Select).

Selektive Aktivierung
Dem Busadapter ist eine einzige (an sich beliebige) Portadresse im DH-Register fest zugeordnet. Ausführungsbeispiel: Portadresse CH.

Änderung der Portauswahl:
Durch entsprechendes Ändern der Adreßdecoder im Schaltkreis.

Der Schaltkreis wird am ATA-Interface wirksam:

- bei Schreibzugriffen auf das DH-Register,
- bei Schreib- und Lesezugriffen, sofern im DH-Register die Geräteauswahl der eingestellten Konfiguration (Master oder Slave) entspricht und die Portauswahl mit dem jeweiligen Wert (z. B. CH) geladen ist.

Belegung des DH-Registers:

7	6	5	4	3	2	1	0
-	-	-	DEVICE	Portauswahl			

Adressierung der ATA-Register:

CS		Registeradresse DA				Register	herkömml. ATA-Ports im PC			
1-	0-	2	1	0	Hex		1.	2.	3.	4.
1	0	0	1	0	2	ISA-Adresse (SA7...0)	1F2	172	1EA	16A
1	0	0	1	1	3	ISA-Adresse (SA15...7)	1F3	173	1EB	16B
1	0	1	0	0	4	ISA-Daten (SD7...0)	1F4	174	1EC	16C
1	0	1	0	1	5	Zustands- und Steuerregister	1F5	175	1ED	16D
1	0	1	1	0	6	Geräte- und Portauswahl	1F6	176	1EE	16E

Schreibzugriffe:

- Geräte- und Portauswahl (DH-Register),
- Schreiben in die Register 2 bis 5.

Lesezugriffe:

- ISA-Datenbyte (Register 4),
- ISA-Zustandsregister (Register 5).

Lesezugriffe:
Lesezugriffe auf das ISA-Datenbyte (Register 4 liefern entweder einen bedeutungslosen Wert (blindes Lesen) oder das am ISA-Bus gelesene Datenbyte. Lesezugriffe auf das ISA-Zustandsregister (Register 5) liefern die Belegung der unterstützten Interruptsignale. (Hinweis: Nicht genutzte Interruptleitungen werden typischerweise mittels Pull-up-Widerstand auf High gehalten.)

Lesezugriffe auf das DH-Register und auf andere Portadressen (außerhalb der selektiven Aktivierung ergeben (über den Hostadapter) den Festwert FFH. Die Ergebnisse aller anderen Lesezugriffe sind undefiniert.

Steuerregister (Schreiben):

7	6	5	4	3	2	1	0
GATE ITRP	AEN CTL	res.	ISA RESET	INTE_D	INTE_C	INTE_B	INTE_A

Belegung nach dem Rücksetzen: 00H.

Zustandsregister (Lesen):

7	6	5	4	3	2	1	0
res.	res.	res.	res.	INT_D	INT_C	INT_B	INT_A

Wirkungsweise des Steuerregisters:

Bitposition	Wirkung
INTE_D...INTE_A	• Bit = 0: die betreffende Interruptanforderung wird fest auf Null gehalten (Clear Pending Interrupt/Interrupt Disable).. • Bit = 1: die betreffende Interruptanforderung kann angenommen werden (Interrupt Enable)
ISA_RESET	• Bit = 0: Rücksetzleitung des ISA-Bus inaktiv • Bit = 1: Rücksetzleitung des ISA-Bus aktiv
AEN_CTL	• Bit = 0: AEN-Leitung des ISA-Bus auf High (Signalspiele am ISA-Bus können ablaufen, aber einrichtungen erkennen die zugriffe nicht).BusZugriffe verhindert). • Bit = 1: AEN-Leitung des ISA-Bus auf Low. Bus voll betriebsfähig.
GATE_ITRP	• Bit = 0: ATA-Interruptleitung wird nicht erregt. • Bit = 1: im Zustandregister anhängige Interruptanforderungen veranlassen Erregung der ATA-Interruptleitung (direkte Interruptauslösung)

Interruptannahme und -behandlung:

- Interruptsignale zur Annahme zulassen (Interrupt Enable): durch Eintragen von Einsen in die entsprechenden Bitpositionen des Steuerregisters.
- Interruptsignale von der Annahme ausschließen (Interrupt Disable): durch Eintragen von Nullen in die entsprechenden Bitpositionen des Steuerregisters.
- Annahme: jedes der vier Interruptsignale ist an ein Fang-Flipflop angeschlossen. Ein Low-High-Flanke führt zum Setzen dieses Flipflops und damit zum Anhängigwerden einer Interruptanforderung im Zustandsregister.
- Behandlung: durch zyklisches Lesen des Zustandsregisters (Polling) oder durch dirkte Auslösung über das ATA-Interface. Abfrage ist Vorzugslösung (s. vorstehend).
- Löschen anhängiger Anforderungen: mit zwei Steuerregisterzugriffen; zunächst mit Nullen und dann mit Einsen in den betreffenden Bitpositionen. Der erste Zugriff löscht die Anforderungen, der zweite läßt neue Anforderungen zu.

Achtung:
Interruptauslösung über die ATA-Schnittstelle geht nicht exakt konform mit dem ATA-Standard (Sparlösung). ATA-Interruptleitung läßt sich nur durch Schreiben ins Steuerregister deaktivieren (GATE_ITRP auf Null oder alle anhängigen Anforderungen löschen). Spezieller Interrupthandler erforderlich.

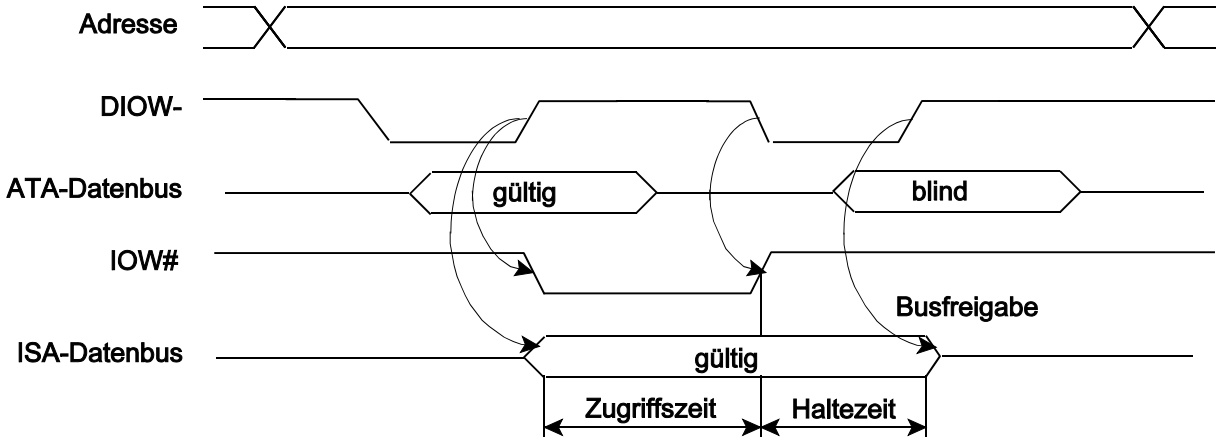
Rücksetzen:

1. Rücksetzsignal des ISA-Bus aktivieren und alle Interruptanforderungen löschen. Hierzu Steuerregister mit 10H laden.
2. Rücksetzsignal des ISA-Bus aus, AEN nach Low, ggf. Interruptanforderungen zulassen. Steuerregister laden mit 40H (keine Interrupts) oder mit CxH, wobei x die zuglassenen Interrupts kennzeichnet.

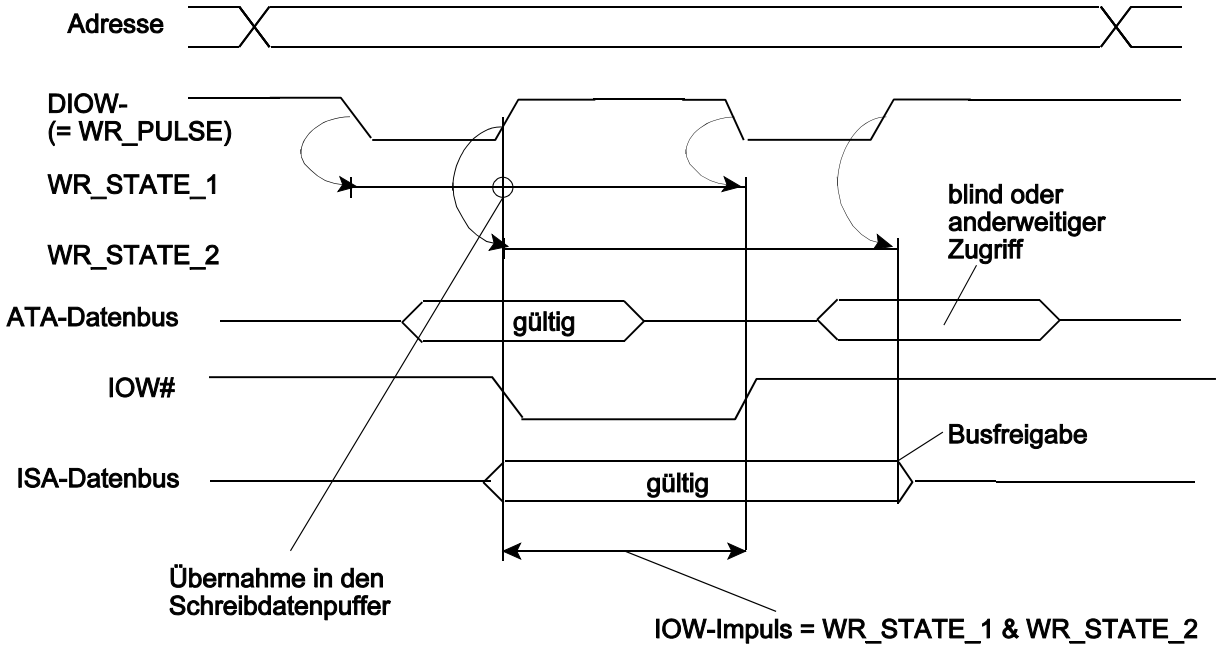
Schreibzugriffe zum ISA-Bus
Jeder ISA-Schreibzyklus erfordert zwei Schreibzugriffe. Mit dem ersten wird das Datenbyte übertragen und das ISA-Schreibsteuersignal (IOW#) aktiviert, mit dem zweiten wird das Schreibsteuersignal deaktiviert und anschließend der Datenbus freigegeben. Das dabei übertragene Datenbyte ist an sich gleichgültig (blindes Schreiben).

Der erste Schreibzugriff muß das ISA-Datenbyte betreffen (ATA-Registeradresse 4).

Der zweite Schreibzugriff kann mit einer anderen ATA-Registeradresse verbunden sein. Es kann sich z. B. um das Eintragen einer neuen ISA-Adresse ins ATA-Register 2 handeln (Kombination zweier Wirkungen).

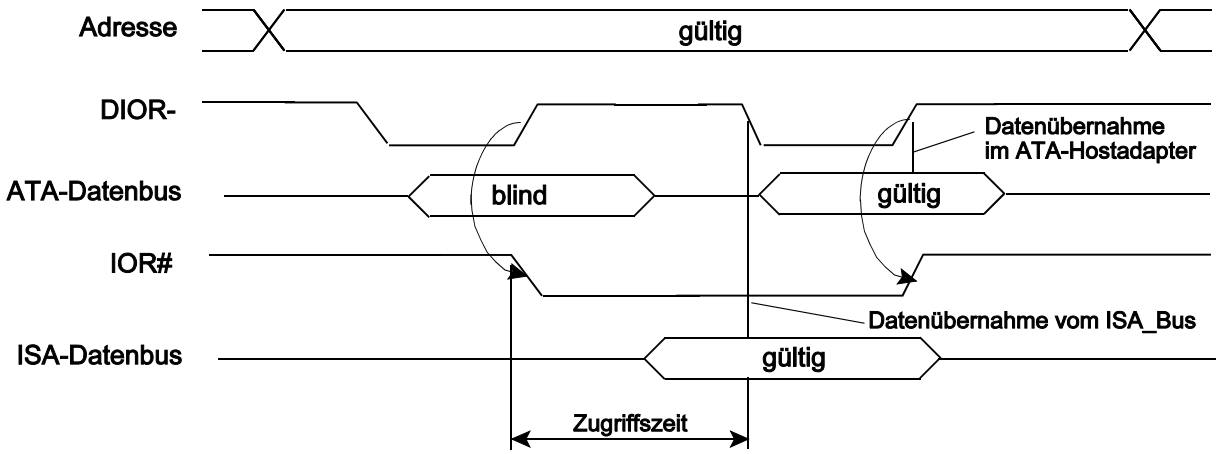


Ablaufsteuerung:
Mittels der Zustands-Flipflops WR_STATE_1 und WR_STATE_2. WR_STATE_1 schaltet mit der Vorderflanke, WR_STATE_2 mit der Rückflanke des ATA-Schreibsignals DIOW-. Es ergeben sich versetzte und teilweise überlappende Impulse. Aus der Überlappung beider Signale ergibt sich der ISA-Schreibimpuls IOW#. WR_STATE_2 steuert die Aufschaltung des Datenbytes auf den ISA-Datenbus. DA WR_STATE_2 später abschaltet als WR_STATE_1, ist gewährleistet, daß das Datenbyte nach dem Abschalten von IOW# nocxh eine gewisse Zeit auf dem Bus liegenbleibt (Haltezeit).

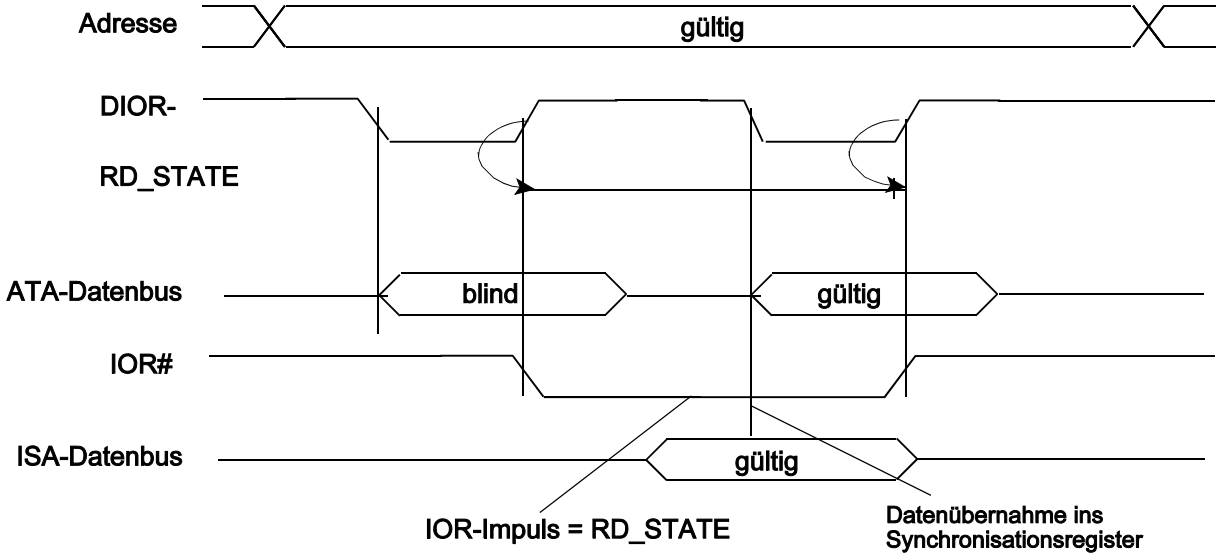


Lesezugriffe zum ISA-Bus
Jeder ISA-Lesezyklus erfordert zwei Lesezugriffe. Mit dem ersten wird das ISA-Lesesteuersignal (IOR#) aktiviert, mit dem zweiten werden die Lesedaten vom ISA-Bus übernommen und das Lesesteuersignal deaktiviert. Das im ersten Lesezugriff gelesene Byte ist nicht verwertbar (blindes Lesen).

Beide Lesezugriffe müssen das ISA-Datenbyte betreffen (ATA-Registeradresse 4).



Ablaufsteuerung:
Mittels Zustands-Flipflop RD_STATE. RD_STATE schaltet mit der Rückflanke des ATA-Lesesignals DIOR- . Es schaltet am Ende des ersten ATA-Zugriffs ein und am Ende des zweiten aus. RD_STATE entspricht dem ISA-Leseimpuls IOR#. Bevor IOR# abschaltet, wird zu Beginn des zweiten ATA-Lesezugriffs die Datenbelegung auf dem ISA-Bus ins Synchronisationsregister des ATA-Frontend übernommen (DIOR-Vorderflanke)



Abnormales Beenden der ISA-Zyklen:

- ein ISA-Schreibzyklus wird abgebrochen, wenn zwischen beide ATA-Schreibzugriffe ein Lesezugriff eingeschoben wird. Der Zyklus wird auch dann korrekt beendet, wenn der zweite Schreibzugriff ein anderes ATA-Register betrifft.
- ein ISA-Lesezyklus wird abgebrochen, wenn zwischen beide ATA-Lesezugriffe ein Schreibzugriff eingeschoben wird oder wenn der zweite Lesezugriff nicht das ISA-Datenbyte (ATA-Register 4) betrifft (dann wird der Inhalt des anderen Registers (z. B. des Zustandsregisters) oder eine undefinierte Belegung gelesen).

Abbrechen bedeutet, daß die Zustands-Flipflops gelöscht werden. Danach kann man erneut versuchen, ISA-Zyklen auszuführen.

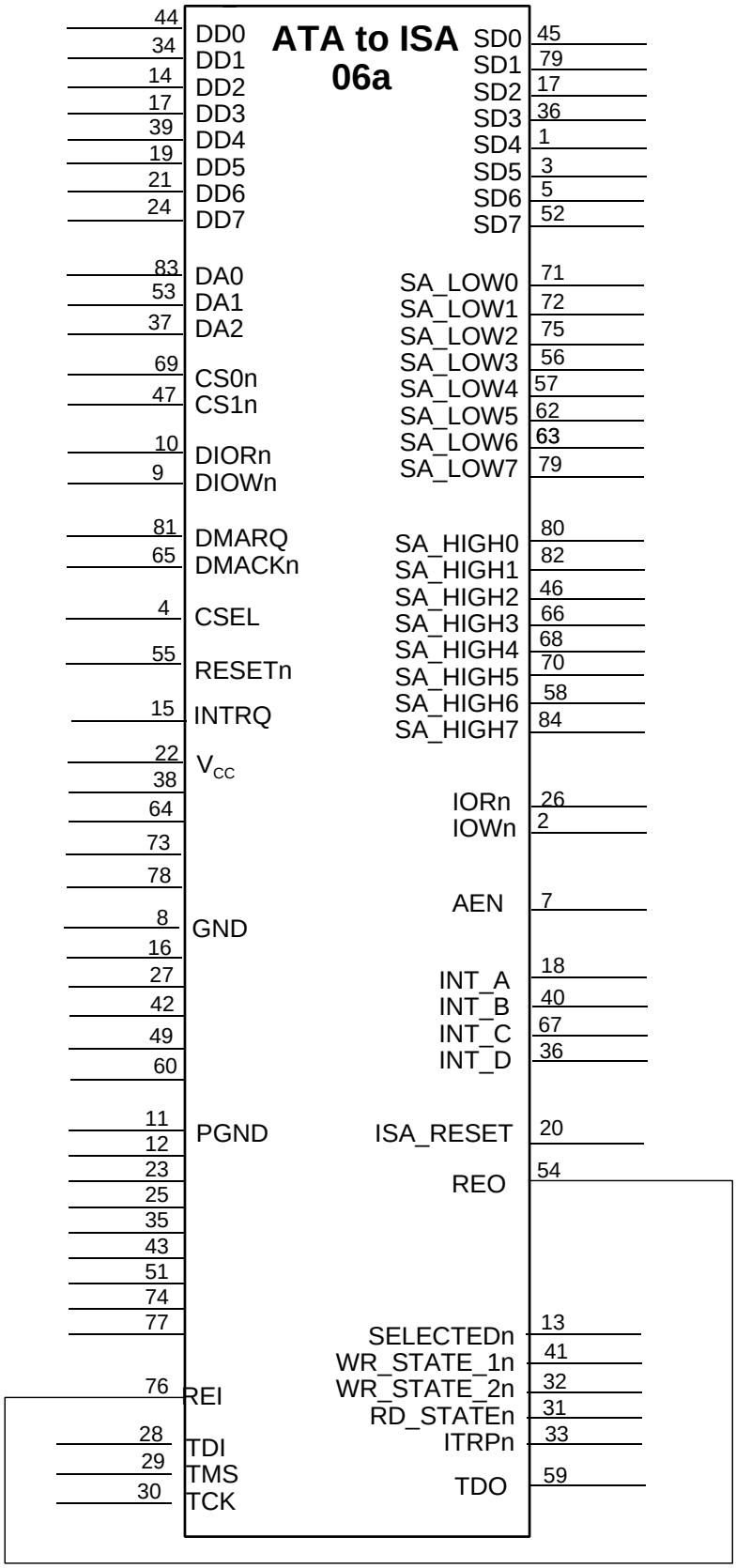
Diagnostische Anzeigen

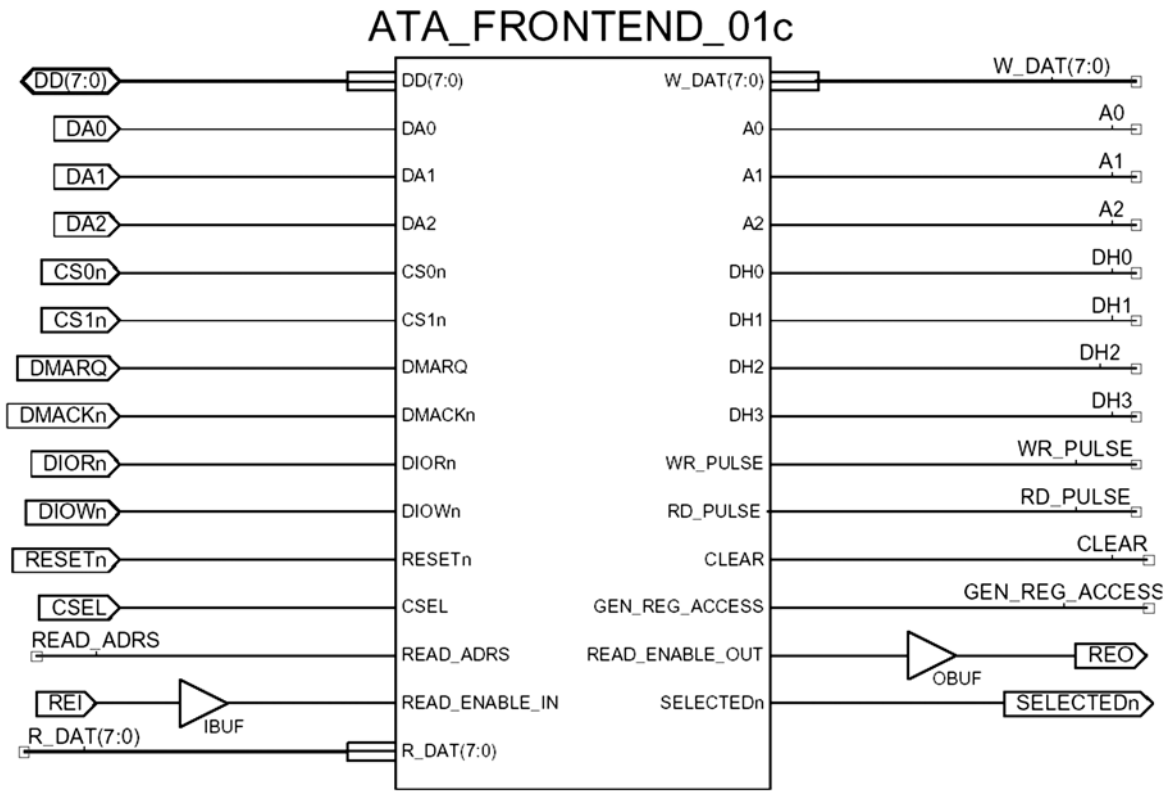
- SELECTEDn: zeigt an, daß der Adapter am ATA-Interface ausgewählt ist.
- WR_STATE_1n, WR_STATE_2n, RD_STATEn: Anzeige der Zustandsflipflops.
- ITRPn: zeigt an, daß Unterbrechungsbedingungen anhängig sind (Oder-Verknüpfung aller im Zustandsregister anhängigen Interrupt-Anforderungen).

PWR			SELECTED			ITRP	RD_STATE	WR_STATE_2	WR_STATE_1

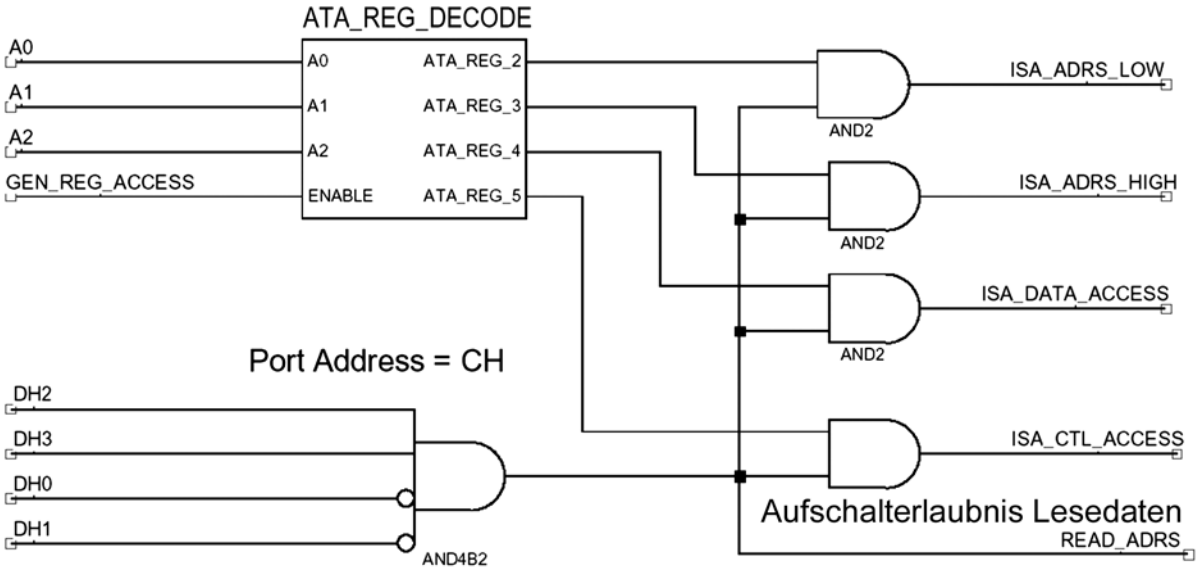
Anschlußbelegung:

Pin No.	Signal Name	Pin No.	Signal Name
1	SD<4>	43	PGND
2	IOWn	44	DD<0>
3	SD<5>	45	SD<0>
4	CSEL	46	SA_HIGH<2>
5	SD<6>	47	CS1n
6	INT_D	48	SD<1>
7	AEN	49	GND
8	GND	50	SD<2>
9	DIOWn	51	PGND
10	DIORn	52	SD<7>
11	PGND	53	DA1
12	PGND	54	REO
13	SELECTEDn	55	RESETn
14	DD<2>	56	SA_LOW<3>
15	INTRQ	57	SA_LOW<4>
16	GND	58	SA_HIGH<6>
17	DD<3>	59	TDO
18	INT_A	60	GND
19	DD<5>	61	PGND
20	ISA_RESET	62	SA_LOW<5>
21	DD<6>	63	SA_LOW<6>
22	VCC	64	VCC
23	PGND	65	DMACKn
24	DD<7>	66	SA_HIGH<3>
25	PGND	67	INT_C
26	IORn	68	SA_HIGH<4>
27	GND	69	CS0n
28	TDI	70	SA_HIGH<5>
29	TMS	71	SA_LOW<0>
30	TCK	72	SA_LOW<1>
31	RD_STATEn	73	VCC
32	WR_STATE_2n	74	PGND
33	ITRPn	75	SA_LOW<2>
34	DD<1>	76	REI
35	PGND	77	PGND
36	SD<3>	78	VCC
37	DA2	79	SA_LOW<7>
38	VCC	80	SA_HIGH<0>
39	DD<4>	81	DMARQ
40	INT_B	82	SA_HIGH<1>
41	WR_STATE_1n	83	DA0
42	GND	84	SA_HIGH<7>

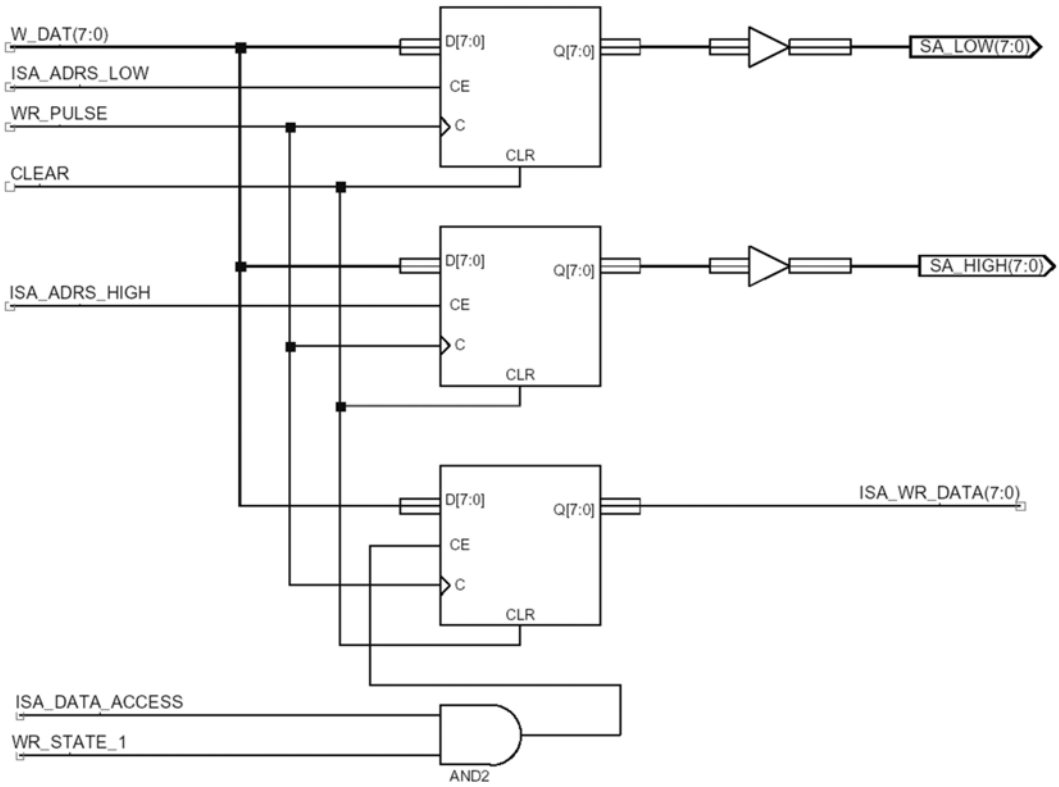

ATA to ISA
06a
44 DD0
34 DD1
14 DD2
17 DD3
39 DD4
19 DD5
21 DD6
24 DD7
83 DA0
53 DA1
37 DA2
69 CS0n
47 CS1n
10 DIORn
9 DIOWn
81 DMARQ
65 DMACKn
4 CSEL
55 RESETn
15 INTRQ
22 VCC
38
64
73
78
8 GND
16
27
42
49
60
11 PGND
12
23
25
35
43
51
74
77
76 REI
28 TDI
29 TMS
30 TCK
SD0 45
SD1 79
SD2 17
SD3 36
SD4 1
SD5 3
SD6 5
SD7 52
SA_LOW0 71
SA_LOW1 72
SA_LOW2 75
SA_LOW3 56
SA_LOW4 57
SA_LOW5 62
SA_LOW6 63
SA_LOW7 79
SA_HIGH0 80
SA_HIGH1 82
SA_HIGH2 46
SA_HIGH3 66
SA_HIGH4 68
SA_HIGH5 70
SA_HIGH6 58
SA_HIGH7 84
IORn 26
IOWn 2
AEN 7
INT_A 18
INT_B 40
INT_C 67
INT_D 36
ISA_RESET 20
REO 54
SELECTEDn 13
WR_STATE_1n 41
WR_STATE_2n 32
RD_STATEn 31
ITRPn 33
TDO 59



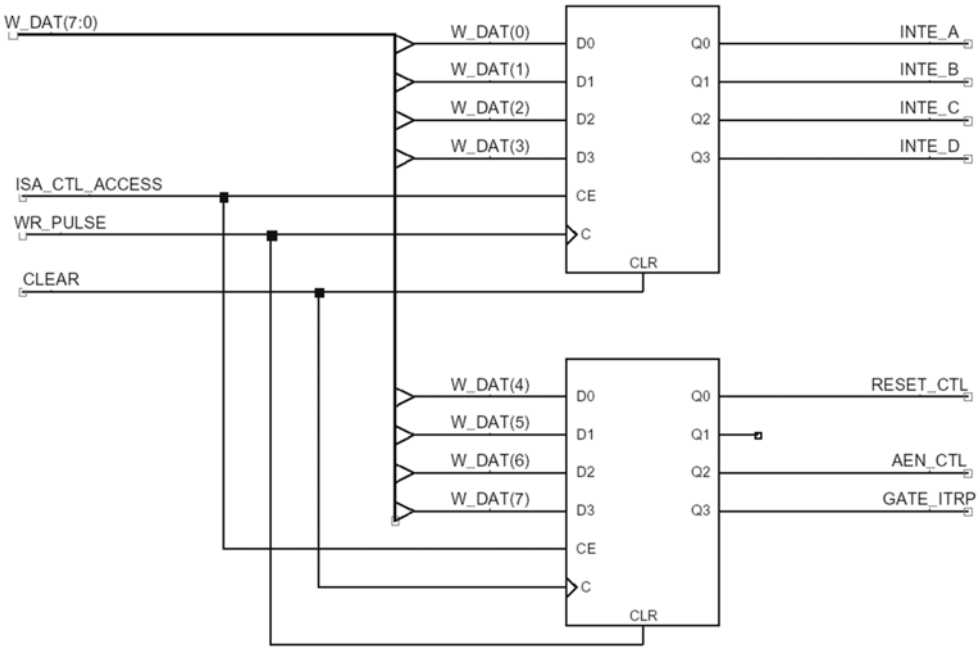
Die eigentliche ATA-Schnittstelle
Frontend 1c entspricht im wesentlichen Frontend 1a. Unterschiede: (1) liefert zusätzlich Leseimpuls (RD_PULSE); (2) liefert nur eine diagnostische Anzeige (SELECTEDn).



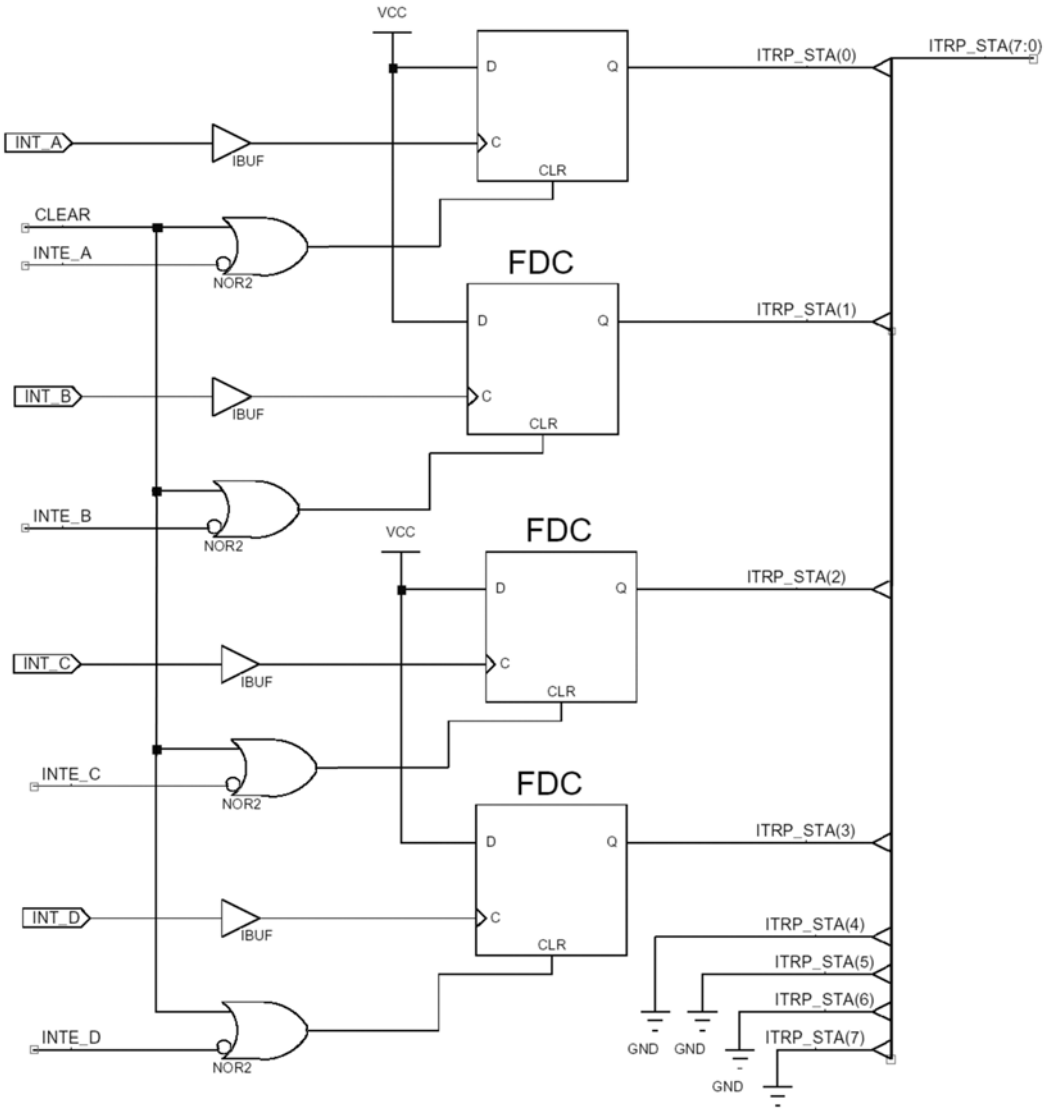
Bildung der Zugriffssteuersignale für die programmseitig zugänglichen Register
Die im DH-Register erwartete Portadresse ist hier als Festwert CH konfiguriert (kann ohne weiteres geändert werden).



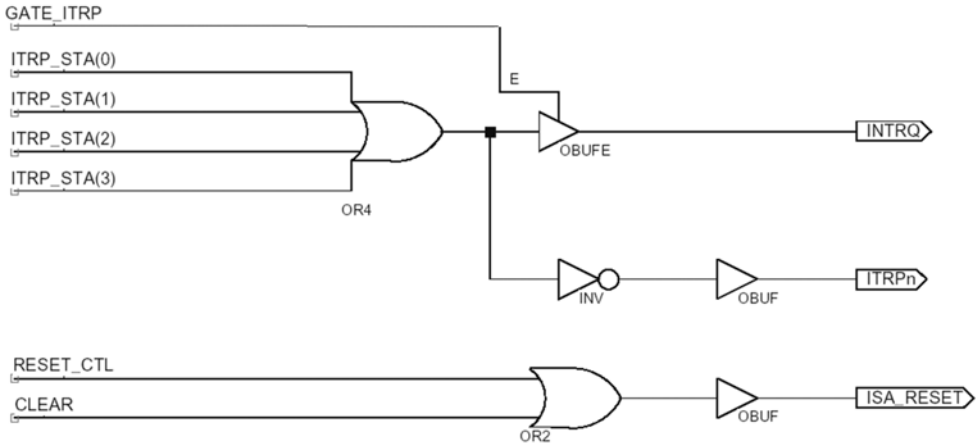
ISA-Adreßregister und Schreibdatenpuffer



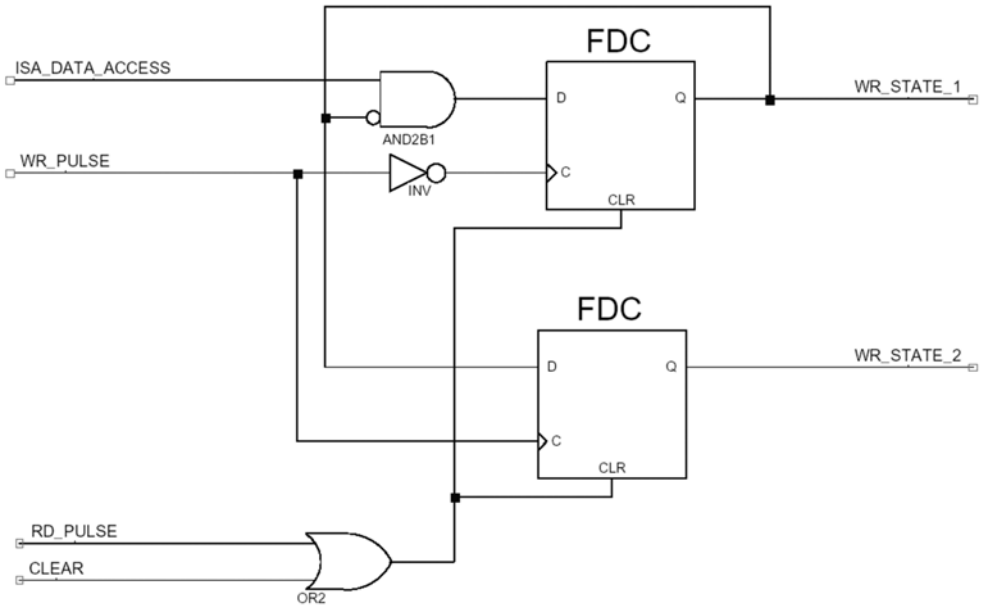
ISA-Steuerregister



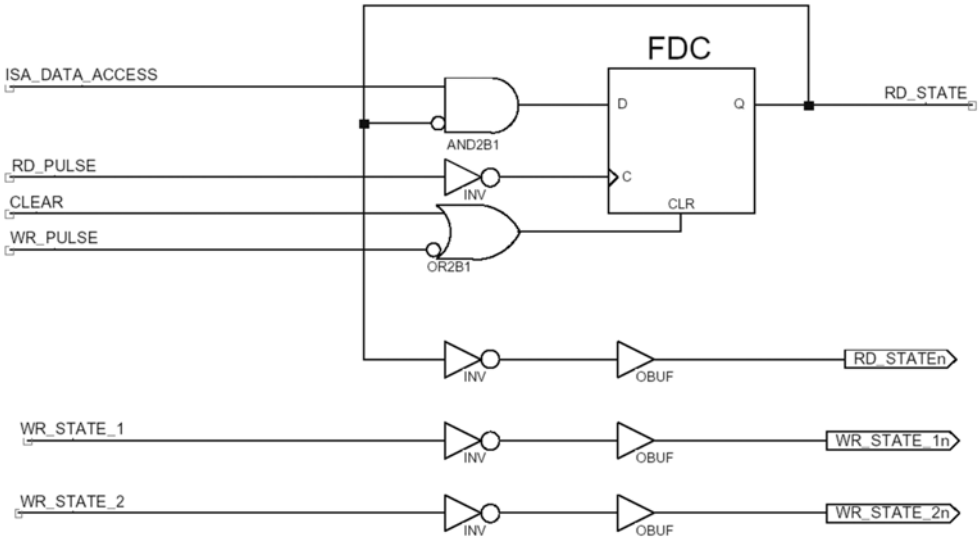
ISA-Zustandsregister. Dient zum Speichern und Abfragen der Interruptanforderungen



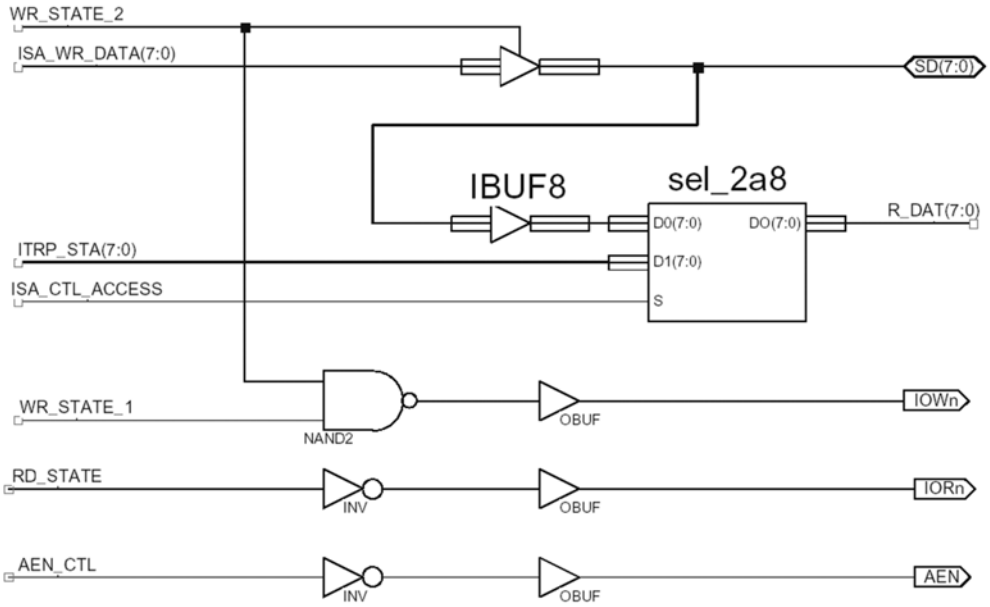
Interruptdurchschaltung zum ATA-Interface und Bildung des ISA-Rücksetzsignals



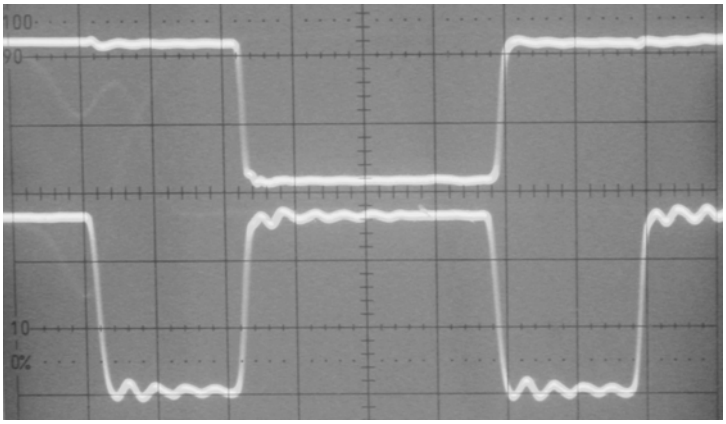
Zustands-Flipflops der Schreibzyklussteuerung



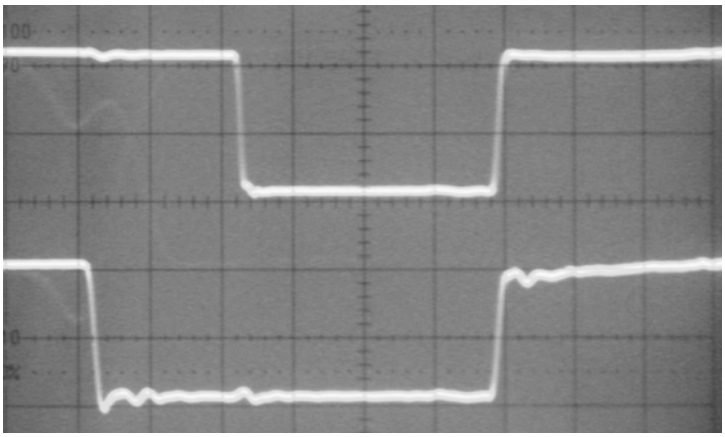
Zustands-Flipflop der Lesezyklussteuerung; darunter diagnostische Anzeigen



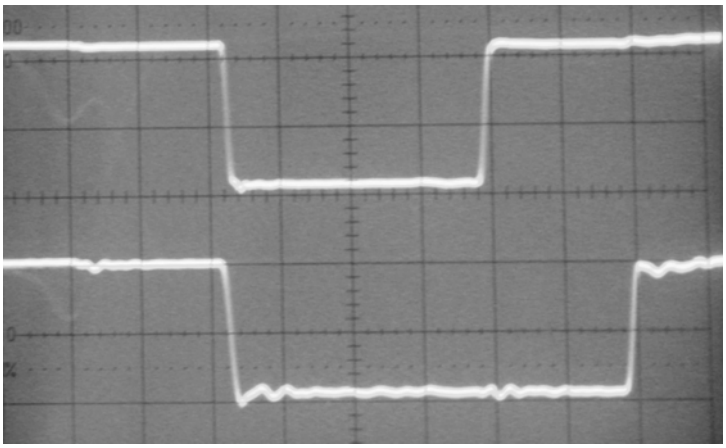
ISA-Datenweg und ISA-Zugriffssteuersignale



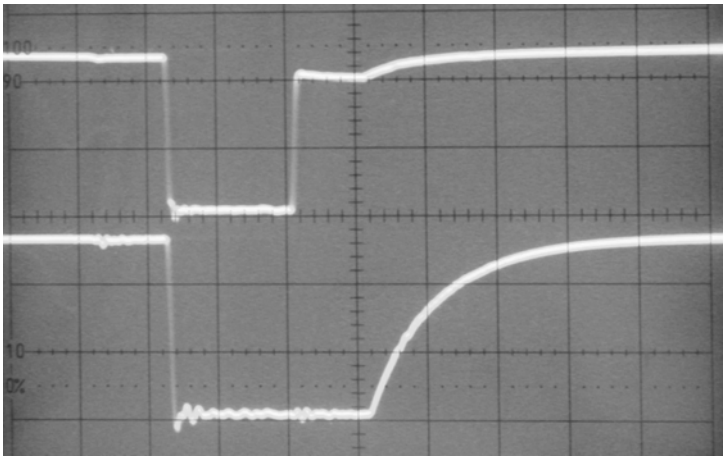
Schreibzugriff (1). Bildung des ISA-Schreibimpulses IOW# (oben) aus zwei DIOW-Impulsen (darunter)



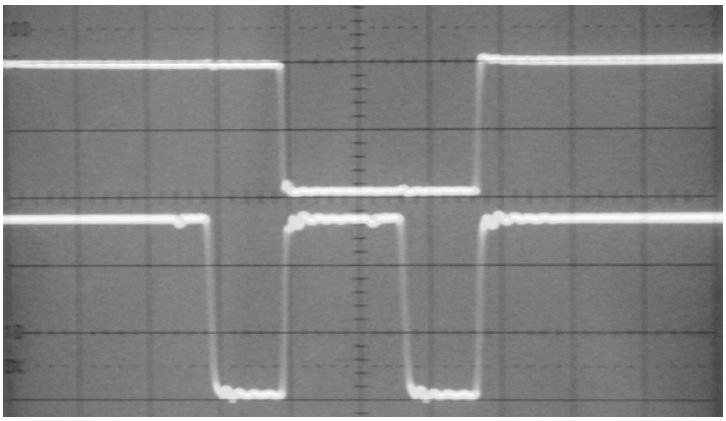
Schreibzugriff (2). Der ISA-Schreibimpuls (oben) in bezug auf das erste Zustands-Flipflop WR_STATE_1 (invertierte Darstellung; unten)



Schreibzugriff (3). Der ISA-Schreibimpuls (oben) in bezug auf das zweite Zustands-Flipflop WR_STATE_2 (invertierte Darstellung; unten)



Schreibzugriff (4). Der ISA-Schreibimpuls (oben) in bezug auf ein Datensignal des ISA-Bus. Nach dem Schreiben wird der Datenweg des ISA-Bus freigegeben. Der Pull-up-Widerstand zieht den Signalpegel auf High. Ersichtlicherweise ist die Busbelegung einige Zeit nach Ende des Schreibimpulses noch stabil (Haltezeit)



Lesezugriff. Bildung des ISA-Leseimpulses IOR# (oben) aus zwei DIOR-Impulsen (darunter)