

ATA-Adapter 8255a

Kurzbeschreibung

Stand: 1.2 vom 19. 9. 06

Verwendungszweck:

Anschluß von drei bis fünf universellen E-A-Ports mit jeweils 8 Bits Datenwegbreite an eine herkömmliche ATA-Schnittstelle (Parallel ATA). Wenigstens drei dieser Ports sind zum Industriestandard 8255 (Mode 0) kompatibel.

Schaltkreistyp:

CPLD Xilinx 95108 in Gehäuse PLCC 84.

Varianten:

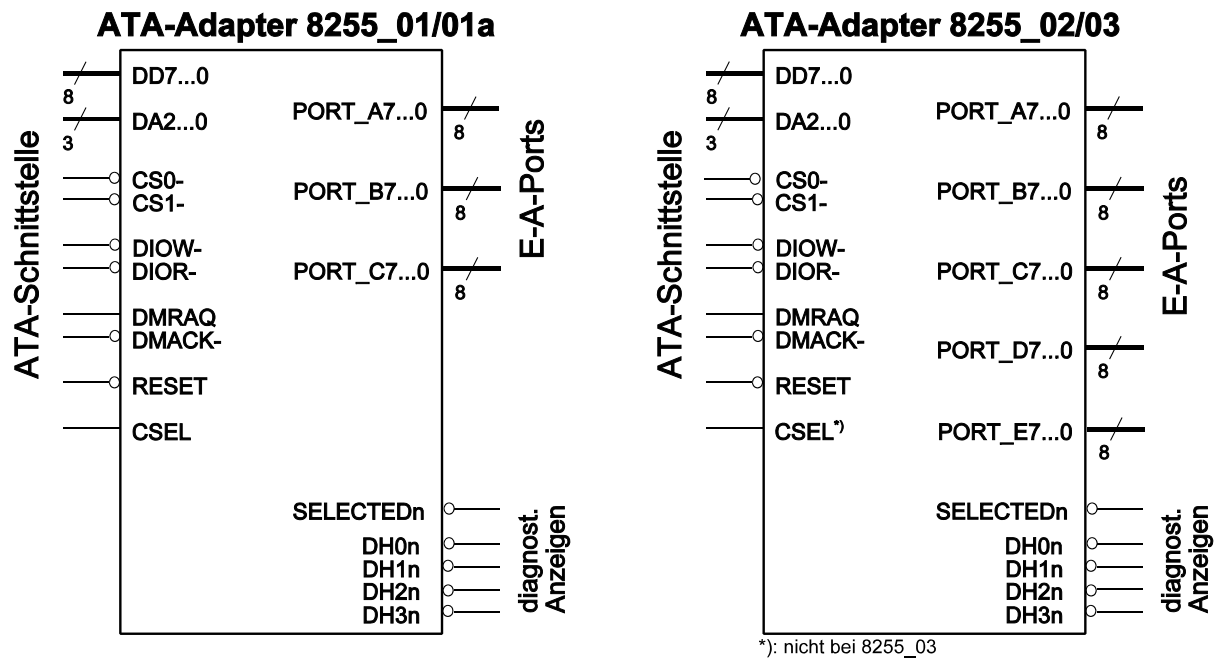
1. Adapter 8255_01: ATA-Schnittstelle mit ATA Frontend 01a. Nur drei 8255-Ports (A, B, C). 8255-Steuerregister zurücklesbar. Die Anschlußbelegung paßt zur E-A-Platine 05a Stand 1.1 (Anschlüsse der Ports D, E werden nicht genutzt und im CPLD auf Masse programmiert).
2. Adapter 8255_01a: Wie Adapter 8255_01. Anschlußbelegung des ATA Frontend gemäß ATA-Experimentierplattform 06a.
3. Adapter 8255_02: ATA-Schnittstelle mit ATA Frontend 01a. Fünf Ports A...E.
 - Ports A, B, C: kompatibel zu 8255 (Mode 0). 8255-Steuerregister nicht zurücklesbar.
 - Ports D, E: wie ATA-Adapter 05. Jeder Bitposition kann zwischen Eingabe und Ausgabe umgeschaltet werden (Richtungssteuerregister).
4. Adapter 8255_03: ATA-Schnittstelle in erster Schaltplanebene erfaßt (Notlösung). Anschlußbelegung paßt zur E-A-Platine 05a Stand 1.1. Fünf Ports A...E. Keine Master-Slave-Auswahl; Adapter ist am ATA-Interface fest als Slave (Device 1) konfiguriert.
 - Ports A, B, C: kompatibel zu 8255 (Mode 0). 8255-Steuerregister nicht zurücklesbar.
 - Port D: ähnlich ATA-Adapter 05, aber vereinfachte Richtungssteuerung (alle 8 Bits gemeinsam schaltbar). Vorzugsanwendung: Datenbus.
 - Port E: wie ATA-Adapter 05. Jeder Bitposition kann zwischen Eingabe und Ausgabe umgeschaltet werden (Richtungssteuerregister).

Unterstützte ATA-Signale:

- DD7...0 (8-Bit-Datenbus),
- CS0, CS1,
- DA2, DA1, DA0,
- DIOW, DIORD,
- DMARQ, DMACK,
- RESET,
- CSEL (nicht bei 8255_03).

Nicht unterstützte Signale:

- INTRQ, IORDY,
- DASP, PDIAG,
- nur 8255_03: CSEL.



E-A-Ports A, B, C = 8255 Mode 0

Die Ports A, B, C sind 8255-Ports. Die in den Varianten 8255_02/03 vorgesehenen zusätzlichen Ports D, E sind vorzugsweise zum Anschließen von Bedien- und Anzeigemitteln (Tastenfeldern, LCD-Anzeigen usw.) vorgesehen (Konsolports). In Variante 8255_03 dient Port D typischerweise als 8-Bit-Datenbus. Als Anwendungsbeispiel vgl. Industrie-PC 06a.

Belegung des DH-Registers:

7	6	5	4	3	2	1	0
-	-	-	DEVICE	Portauswahl			

Portauswahl im DH-Register:

Belegung der Bits 3...0	Portauswahl
6H	Ports A, B, C
7H	Port D ^{*)}
8H	Port E ^{*)}
alle anderen Werte	keine Wirkung

*) nicht bei 8255_01/01a

Geräteauswahl

Der Adapter kann wahlweise als Gerät (Device) 0 (Master) oder 1 (Slave) konfiguriert werden. Steuerung über Eingang CSEL:

- CSEL = 0: Master (Device 0),
- CSEL = 1: Slave (Device 1).

CSEL wird typischerweise mit einem Festwert belegt oder vom CSEL-Signal des Interfacekabels angesteuert (Cable Select).

Besonderheiten 8255_03:

CSEL wird nicht unterstützt. Adapter ist fest als Slave (Device 1) konfiguriert.

Selektive Aktivierung:

Adapter-Typ	8255_01/01a	8255_02/03
Wirkung von Schreibzugriffen	6H	6H bis 8H
Wirkung von Lesezugriffen	6H	6H bis 8H

Änderung der Portauswahl:

Durch entsprechendes Ändern der Adreßdecoder im Schaltkreis.

Der Schaltkreis wird am ATA-Interface wirksam:

- bei Schreibzugriffen auf das DH-Register,
- bei Schreib- und Lesezugriffen, sofern im DH-Register die Geräteauswahl der eingestellten Konfiguration (Master oder Slave) entspricht und die Portauswahl mit einem der angegebenen Werte geladen ist.

Zugriffe auf die 8255-Ports

Zugriffsadressen der 8255-Ports A, B, C:

CS		Registeradresse DA				Register	herkömml. ATA-Ports im PC			
1-	0-	2	1	0	Hex		1.	2.	3.	4.
1	0	0	1	0	2	Port A	1F2	172	1EA	16A
1	0	0	1	1	3	Port B	1F3	173	1EB	16B
1	0	1	0	0	4	Port C	1F4	174	1EC	16C
1	0	1	0	1	5	Steuerregister (Mode Register)	1F5	175	1ED	16D
1	0	1	1	0	6	Geräte- und Portauswahl (DH-Reg.)	1F6	176	1EE	16E

Schreibzugriffe:

- Portauswahl (DH-Register),
- Schreiben in die Datenregister der Ports A, B, C,
- Schreiben in das Steuerregister.

Lesezugriffe:

Lesezugriffe auf die Ports A, B, C liefern die Anschlußbelegungen der E-A-Ports. Lesezugriffe auf das Steuerregister liefern dessen aktuellen Inhalt (nur bei 8255_01/01a). Lesezugriffe auf das DH-Register und auf Portadressen außerhalb des Bereiches der selektiven Aktivierung ergeben (über den Hostadapter) den Festwert FFH. Die Ergebnisse aller anderen Lesezugriffe sind undefiniert.

Steuerregister (Mode Register) 8255:

7	6	5	4	3	2	1	0
1	0	0	Port A I/O	Port C _H I/O	0	Port B I/O	Port C _L I/O
Gruppe A					Gruppe B		

Schreibzugriffe werden nur ausgeführt, wenn die Bits 7, 6, 5, 2 so belegt sind wie vorstehend angegeben (1, 0,0,0). Die Betriebsart läßt sich nicht umstellen. Einzelbitzugriffe werden nicht unterstützt.

Wirkung der Steuerbits:

- 0: Ausgang,
- 1: Eingang

Belegung nach dem Rücksetzen: alle Ports auf Eingang (Steuerbits = 1).

Zugriffe auf die Ports D und E (Konsolports)

Zugriffsadressen der Ports D und E:

CS		Registeradresse DA				Register	herkömml. ATA-Ports im PC			
1-	0-	2	1	0	Hex		1.	2.	3.	4.
1	0	1	0	0	4	Datenregister	1F4	174	1EC	16C
1	0	1	0	1	5	Richtungssteuerregister	1F5	175	1ED	16D
1	0	1	1	0	6	Geräte- und Portauswahl (DH-Reg.)	1F6	176	1EE	16E

Schreibzugriffe:

- Portauswahl (DH-Register),
- Schreiben in die Richtungssteuerregister,
- Schreiben in die Datenregister.

Lesezugriffe:

Lesezugriffe auf die Richtungssteuer- und Datenregister liefern die Anschlußbelegungen der E-A-Ports. Lesezugriffe auf das DH-Register und auf Portadressen außerhalb des Bereiches der selektiven Aktivierung ergeben (über den Hostadapter) den Festwert FFH. Die Ergebnisse aller anderen Lesezugriffe sind undefiniert.

Wirkungsweise der E-A-Ports

Jede Bitposition kann einzeln als Eingang oder als Ausgang konfiguriert werden. Hierzu ist das Richtungssteuerregister des Ports entsprechend zu laden.

Ausnahme 8255_03:

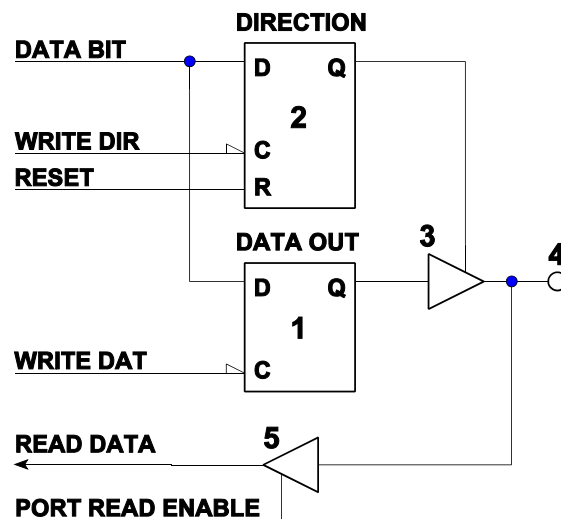
- Port D kann nur insgesamt zwischen Eingang und Ausgang umgesteuert werden (alle 8 Bits auf einmal). Nutzung: vorzugsweise als Datenbus (z. B. für LCD-Anzeigen).
- Umsteuerung durch Bitposition 0 des Richtungssteuerregisters. Alle anderen Bitpositionen sind wirkungslos.

Wirkung des Richtungssteuerregisters:

- Bitposition = 0: betr. Portanschluß = Eingang (hochohmig),
- Bitposition = 1: betr. Portanschluß = Ausgang (mit Bit vom Datenregister belegt).

Rücksetzzustand:

Richtungssteuerregister = 0 (alle Portanschlüsse sind Eingänge (hochohmig)); Datenregister = 0.



1 - Datenregister; 2 - Richtungssteuerregister; 3 - Ausgangstreiber (Tri State); 4 - E-A-Anschluß; 5 - Lesesignaltreiber.

Ausgabe:

Richtungssteuerregister 2 mit Eins laden. Inhalt des Datenregisters 2 erscheint am Anschluß 4.

Lesen:

Gelesen wird durch Aktivieren des Lesesignaltreibers 5. Es wird stets die Signalbelegung am Anschluß 4 gelesen. Enthält die betreffende Bitposition des Richtungssteuerregisters 2 eine Eins (Ausgabe), so entspricht die gelesene Belegung dem Inhalt des Datenregisters 1.

Eingabe:

Richtungssteuerregister 2 mit Null laden. Ausgangstreiber 3 wird hochohmig. Somit darf der Anschluß 4 von außen belegt werden.

Diagnostische Anzeigen:

- SELECTED_n: zeigt an, daß der Adapter ausgewählt ist. Wird vom 8255_03 nicht unterstützt.
- DH_{3n...0n}: zeigen den Inhalt der Bits 3...0 des DH-Registers an (Portauswahl).

Die Anzeigesignale sind aktiv Low (Beschaltung mit LEDs (über Serienwiderstand) an + 5 V).

Anschlußbelegung des Adapters 8255_01:

Pin No.	Signal Name	Pin No.	Signal Name
1	PGND	43	DH3n
2	PGND	44	DA0
3	PORTB<0>	45	PORTA<7>
4	PORTB<1>	46	PGND
5	PORTA<0>	47	PGND
6	PGND	48	PORTC<5>
7	PORTC<0>	49	GND
8	GND	50	PORTC<7>
9	DIORn	51	DD<0>
10	DIOWn	52	DD<2>
11	DD<5>	53	SELECTEDn
12	PGND	54	CS0n
13	DH0n	55	DMARQ
14	PGND	56	DMACKn
15	PGND	57	PGND
16	GND	58	PGND
17	PORTB<4>	59	TDO
18	PORTB<5>	60	GND
19	PORTA<4>	61	PORTB<6>
20	PGND	62	PORTB<7>
21	PORTC<4>	63	PORTA<6>
22	VCC	64	VCC
23	DD<1>	65	PGND
24	DD<7>	66	PORTC<6>
25	PGND	67	DD<3>
26	DA2	68	REO
27	GND	69	CS1n
28	TDI	70	DA1
29	TMS	71	PGND
30	TCK	72	PGND
31	CSEL	73	VCC
32	PORTA<1>	74	RESETn
33	PORTA<3>	75	PORTB<2>
34	PORTA<5>	76	REI
35	PGND	77	PGND
36	PGND	78	VCC
37	PORTC<1>	79	PORTB<3>
38	VCC	80	PORTA<2>
39	PORTC<3>	81	PGND
40	DD<6>	82	PORTC<2>
41	DH1n	83	DD<4>
42	GND	84	DH2n

Anschlußbelegung des Adapters 8255_01a:

Pin No.	Signal Name	Pin No.	Signal Name
1	PORTA<4>	43	PGND
2	PORTA<5>	44	DD<0>
3	PORTA<6>	45	PORTA<0>
4	CSEL	46	PGND
5	PORTB<4>	47	CS1n
6	PORTB<5>	48	PORTA<2>
7	PORTB<6>	49	GND
8	GND	50	PGND
9	DIOWn	51	PORTA<3>
10	DIORn	52	PGND
11	PGND	53	DA1
12	PGND	54	REO
13	SELECTEDn	55	RESETn
14	DD<2>	56	PORTC<0>
15	PORTA<1>	57	PORTA<7>
16	GND	58	PORTC<7>
17	DD<3>	59	TDO
18	PGND	60	GND
19	DD<5>	61	PGND
20	PGND	62	PORTB<7>
21	DD<6>	63	PORTC<4>
22	VCC	64	VCC
23	PGND	65	DMACKn
24	DD<7>	66	PGND
25	PGND	67	PORTC<5>
26	PGND	68	PGND
27	GND	69	CS0n
28	TDI	70	PORTC<6>
29	TMS	71	PORTC<1>
30	TCK	72	PORTB<2>
31	DH2n	73	VCC
32	DH1n	74	PGND
33	DH3n	75	PORTB<3>
34	DD<1>	76	REI
35	PORTB<0>	77	PGND
36	PGND	78	VCC
37	DA2	79	PGND
38	VCC	80	PORTC<2>
39	DD<4>	81	DMARQ
40	PGND	82	PORTC<3>
41	DH0n	83	DA0
42	GND	84	PORTB<1>

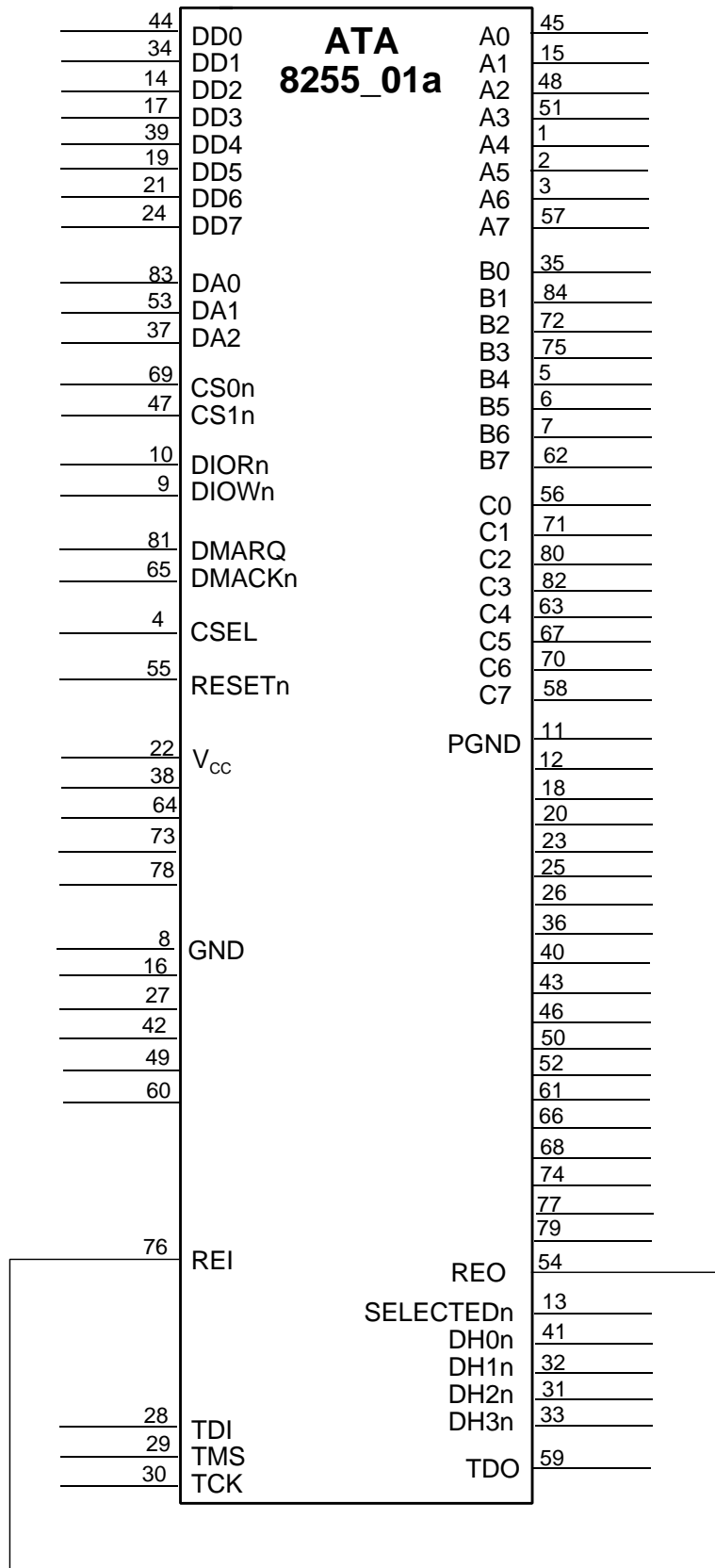
Anschlußbelegung des Adapters 8255_02:

Pin No.	Signal Name	Pin No.	Signal Name
1	DMACKn	43	PGND
2	DD<1>	44	DD<5>
3	DD<2>	45	DMARQ
4	REO	46	PORTB<2>
5	PORTD<1>	47	PORTB<3>
6	PORTD<6>	48	PORTB<4>
7	DH1n	49	GND
8	GND	50	PORTC<0>
9	DIOWn	51	PORTC<2>
10	DIORn	52	PORTD<3>
11	DD<0>	53	PORTE<0>
12	PGND	54	PORTE<2>
13	CS1n	55	CS0n
14	DA1	56	DD<4>
15	PORTA<0>	57	PGND
16	GND	58	DD<7>
17	PORTA<1>	59	TDO
18	PORTA<7>	60	GND
19	PORTB<0>	61	PORTE<3>
20	PORTB<1>	62	PORTE<5>
21	PORTB<7>	63	PORTE<7>
22	VCC	64	VCC
23	PORTD<0>	65	DH0n
24	PORTD<5>	66	DH2n
25	PORTD<7>	67	DH3n
26	DA2	68	SELECTEDn
27	GND	69	DD<3>
28	TDI	70	DA0
29	TMS	71	PORTA<5>
30	TCK	72	PORTA<6>
31	DD<6>	73	VCC
32	CSEL	74	RESETn
33	PORTA<2>	75	PORTB<5>
34	PORTA<3>	76	REI
35	PORTA<4>	77	PORTB<6>
36	PORTC<1>	78	VCC
37	PORTC<3>	79	PORTC<4>
38	VCC	80	PORTC<5>
39	PORTD<4>	81	PORTC<6>
40	PORTE<1>	82	PORTC<7>
41	PORTE<4>	83	PORTD<2>
42	GND	84	PORTE<6>

Anschlußbelegung des Adapters 8255_03:

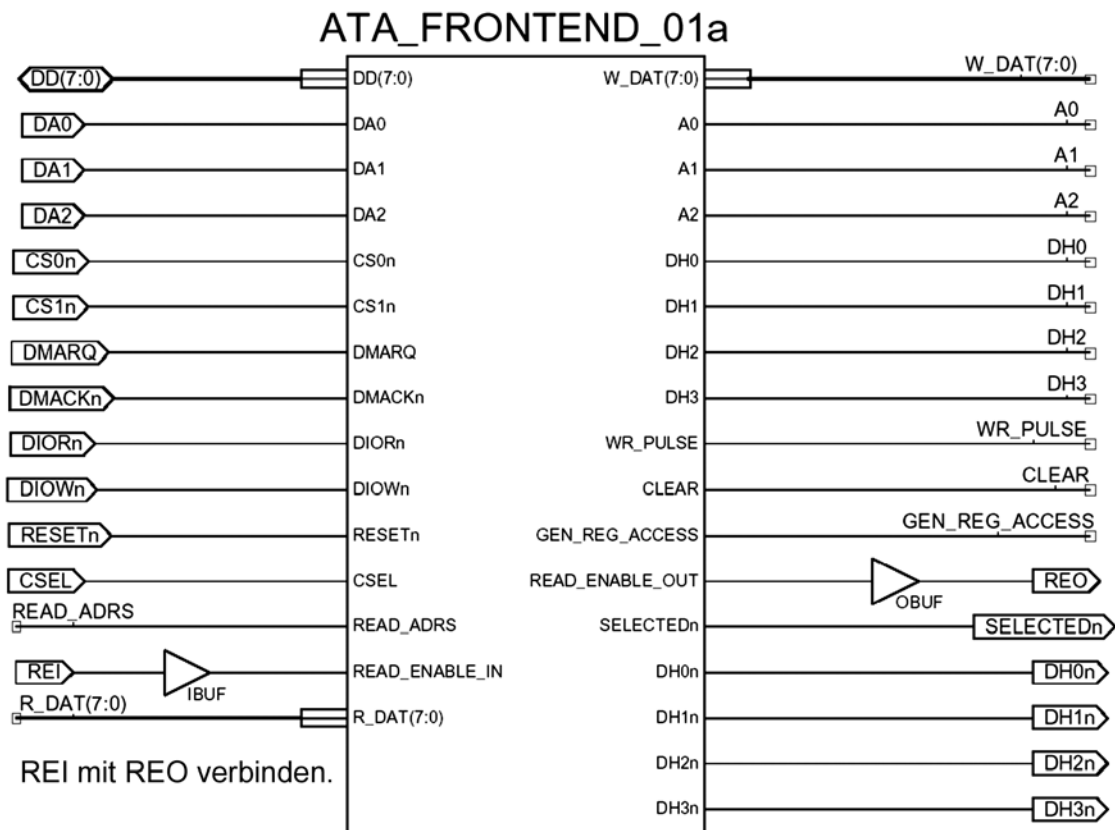
Pin No.	Signal Name	Pin No.	Signal Name
1	PORTE<0>	43	DH3n
2	PORTE<1>	44	DA0
3	PORTB<0>	45	PORTA<7>
4	PORTB<1>	46	PORTD<5>
5	PORTA<0>	47	PORTD<7>
6	PORTD<0>	48	PORTC<5>
7	PORTC<0>	49	GND
8	GND	50	PORTC<7>
9	DIORn	51	DD<0>
10	DIOWn	52	DD<2>
11	DD<5>	53	PGND
12	PGND	54	CS0n
13	DH0n	55	DMARQ
14	PORTE<4>	56	DMACKn
15	PORTE<5>	57	PORTE<6>
16	GND	58	PORTE<7>
17	PORTB<4>	59	TDO
18	PORTB<5>	60	GND
19	PORTA<4>	61	PORTB<6>
20	PORTD<4>	62	PORTB<7>
21	PORTC<4>	63	PORTA<6>
22	VCC	64	VCC
23	DD<1>	65	PORTD<6>
24	DD<7>	66	PORTC<6>
25	PGND	67	DD<3>
26	DA2	68	REO
27	GND	69	CS1n
28	TDI	70	DA1
29	TMS	71	PORTE<2>
30	TCK	72	PORTE<3>
31	PGND	73	VCC
32	PORTA<1>	74	RESETn
33	PORTA<3>	75	PORTB<2>
34	PORTA<5>	76	REI
35	PORTD<1>	77	PGND
36	PORTD<3>	78	VCC
37	PORTC<1>	79	PORTB<3>
38	VCC	80	PORTA<2>
39	PORTC<3>	81	PORTD<2>
40	DD<6>	82	PORTC<2>
41	DH1n	83	DD<4>
42	GND	84	DH2n

		ATA 8255_01		
51	DD0		A0	5
23	DD1		A1	32
52	DD2		A2	80
67	DD3		A3	33
83	DD4		A4	19
11	DD5		A5	34
40	DD6		A6	63
24	DD7		A7	45
			B0	3
44	DA0		B1	4
70	DA1		B2	75
26	DA2		B3	79
			B4	17
54	CS0n		B5	18
69	CS1n		B6	61
			B7	62
9	DIORn		C0	7
10	DIOWn		C1	37
			C2	82
55	DMARQ		C3	39
56	DMACKn		C4	21
			C5	48
31	CSEL		C6	66
			C7	50
74	RESETn		PGND	6
				35
22	V _{CC}			81
38				36
64				20
				46
73				65
78				47
			PGND	1
8	GND			2
12				71
16				72
25				14
27				15
42				57
49				58
60				68
77			REO	
				53
76	REI		SELECTEDn	13
			DH0n	41
			DH1n	84
			DH2n	43
			DH3n	
28	TDI		TDO	59
29	TMS			
30	TCK			

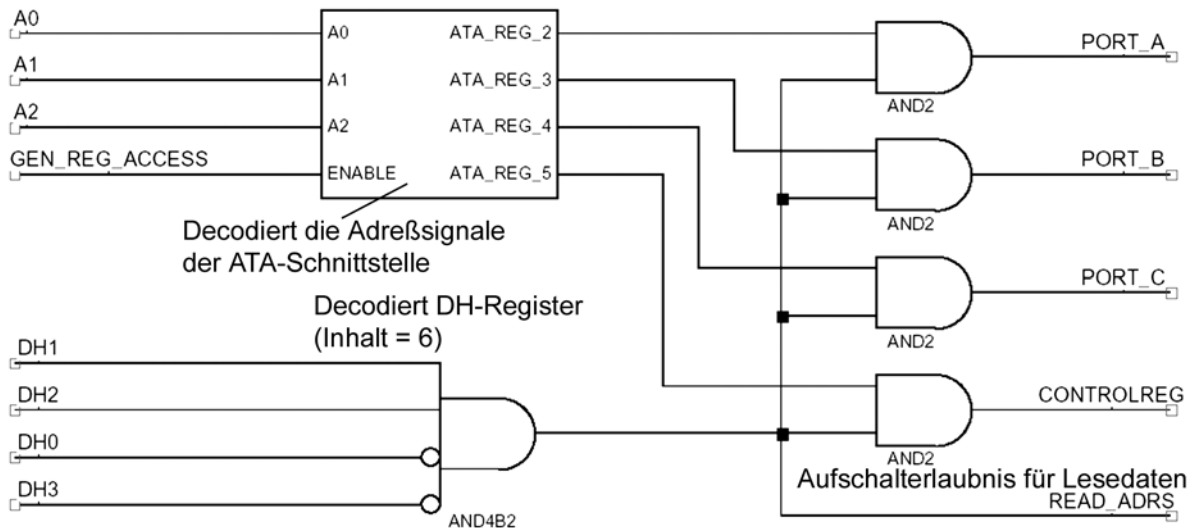


		ATA 8255_02		
11	DD0		A0	15
2	DD1		A1	17
3	DD2		A2	33
67	DD3		A3	34
56	DD4		A4	35
44	DD5		A5	71
31	DD6		A6	72
58	DD7		A7	18
70	DA0		B0	19
14	DA1		B1	20
26	DA2		B2	46
55	CS0n		B3	47
13	CS1n		B4	48
10	DIORn		B5	75
9	DIOWn		B6	77
45	DMARQ		B7	21
1	DMACKn		C0	50
32	CSEL		C1	36
74	RESETn		C2	51
22	V _{CC}		C3	52
38			C4	79
64			C5	80
73			C6	81
78			C7	82
8	GND		D0	23
16			D1	5
27			D2	83
42			D3	36
49			D4	39
60			D5	24
12	PGND		D6	6
43			D7	25
57			E0	53
76	REI		E1	40
28	TDI		E2	54
29	TMS		E3	61
30	TCK		E4	41
			E5	62
			E6	84
			E7	63
			REO	4
		SELECTEDn		68
		DH0n		65
		DH1n		7
		DH2n		66
		DH3n		67
		TDO		59

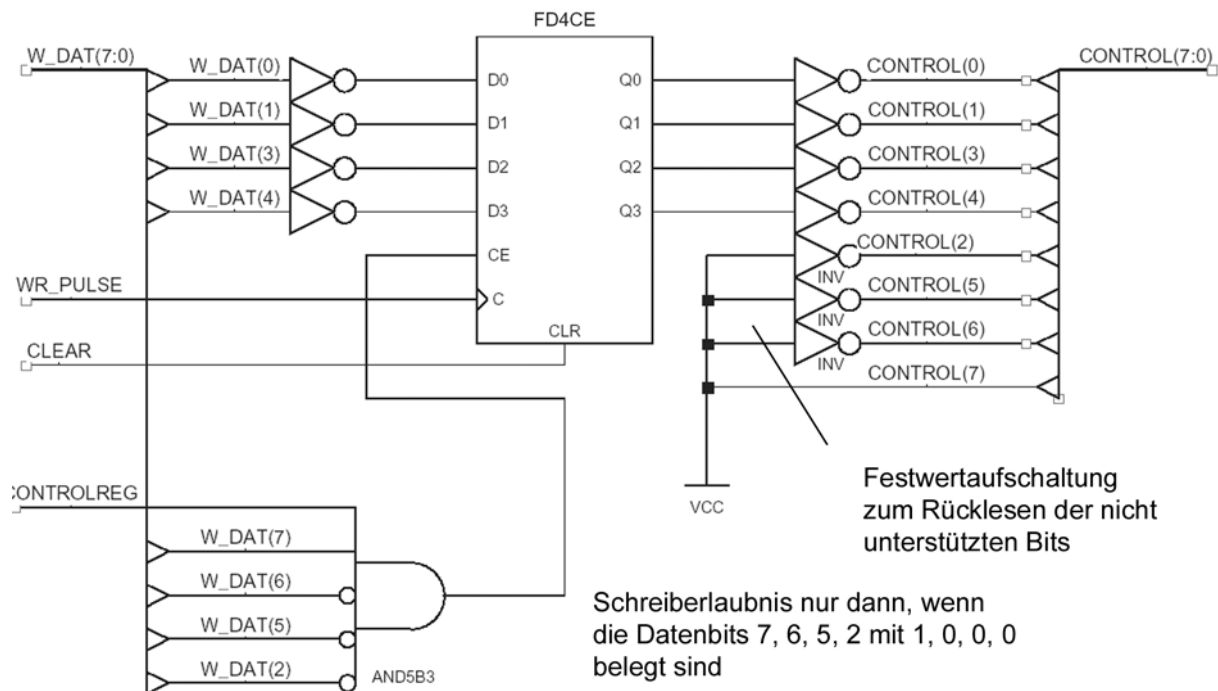
ATA 8255_03			
51	DD0	A0	5
23	DD1	A1	32
52	DD2	A2	80
67	DD3	A3	33
83	DD4	A4	19
11	DD5	A5	34
40	DD6	A6	63
24	DD7	A7	45
44	DA0	B0	3
70	DA1	B1	4
26	DA2	B2	75
54	CS0n	B3	79
69	CS1n	B4	17
9	DIORn	B5	18
10	DIOWn	B6	61
55	DMARQ	B7	62
56	DMACKn	C0	7
74	RESETn	C1	37
22	V _{CC}	C2	82
38		C3	39
64		C4	21
73		C5	48
78		C6	66
8	GND	C7	50
16		D0	6
27		D1	35
42		D2	81
49		D3	36
60		D4	20
12	PGND	D5	46
25		D6	65
31		D7	47
53		E0	1
77		E1	2
76	REI	E2	71
		E3	72
		E4	14
		E5	15
		E6	57
		E7	58
		REO	68
		DH0n	13
		DH1n	41
		DH2n	84
		DH3n	43
28	TDI		
29	TMS		
30	TCK	TDO	59



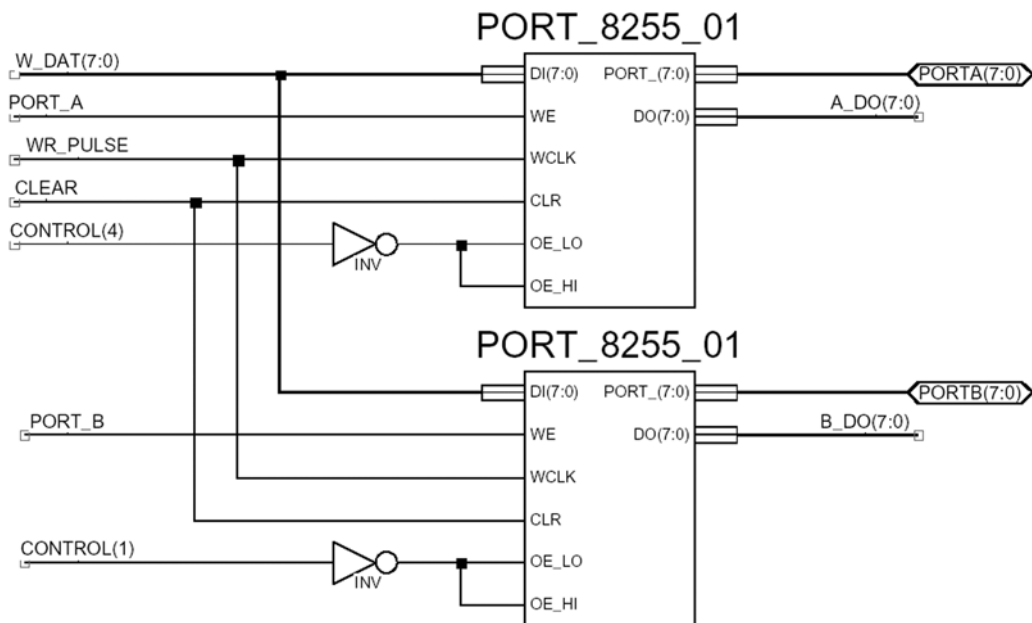
Die eigentliche ATA-Schnittstelle. Alle Adaptertypen enthalten im Grunde die gleiche Schaltung. Abweichungen bei 8255_03: kein CSEL, kein SELECTEDn



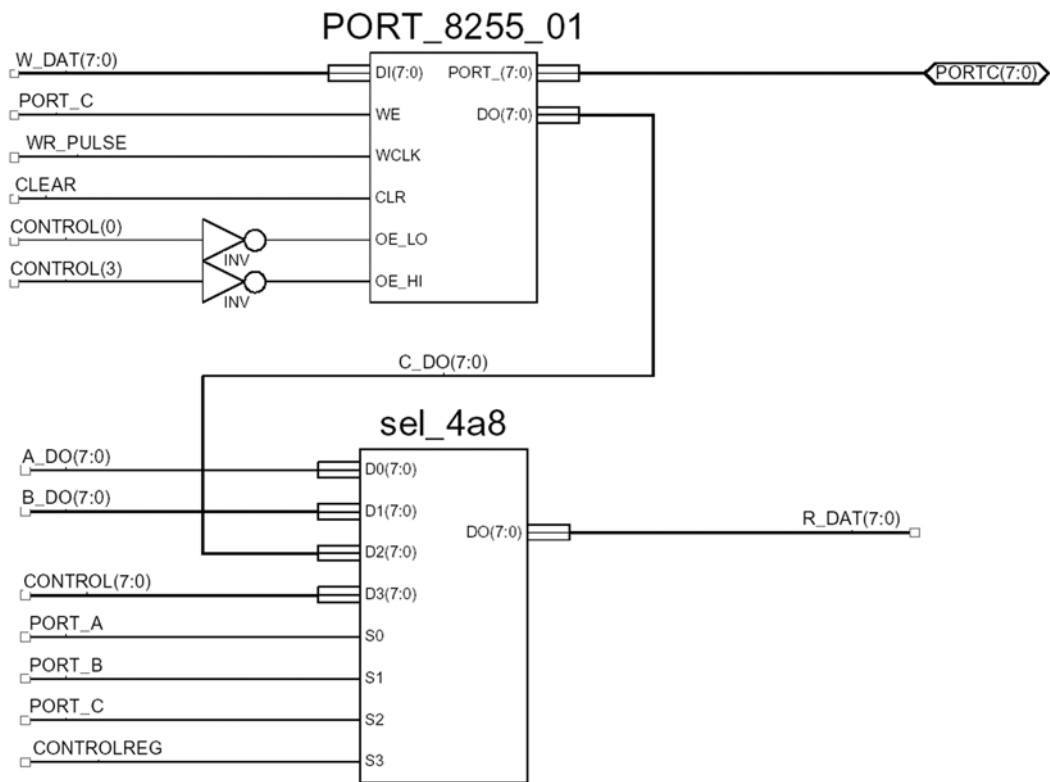
Bildung der Zugriffssteuersignale für die 8255-Register (Ports A, B, C, Steuerregister)



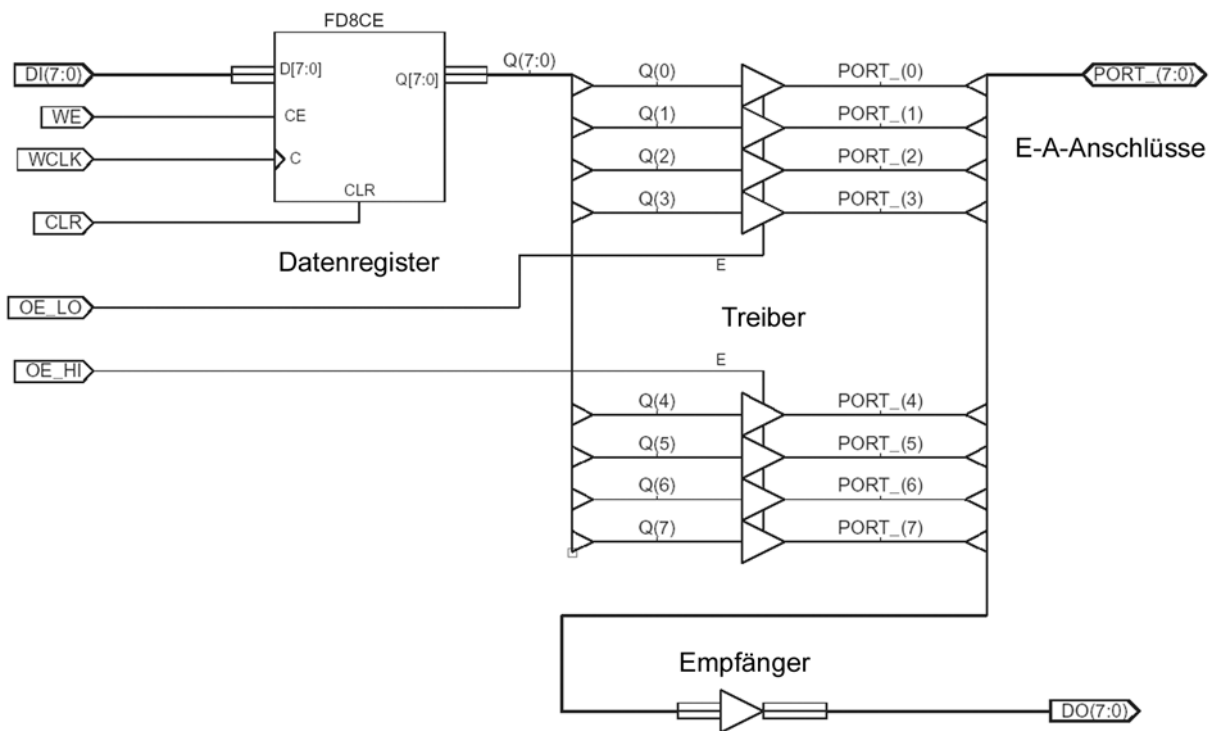
Das 8255-Steuerregister. Es werden nur die Bitpositionen 0, 1, 3, 4 unterstützt. Funktion beim Rücksetzen: Register wird auf Null gelöscht; über die ausgangsseitigen Negatoren werden Einsen gelesen. Beim Schreiben dienen die eingangsseitigen Negatoren dazu, die Wirkung der ausgangsseitigen aufzuheben. Die Festwertaufschaltung sorgt dafür, daß stets der komplette Registerinhalt zurückgelesen wird.



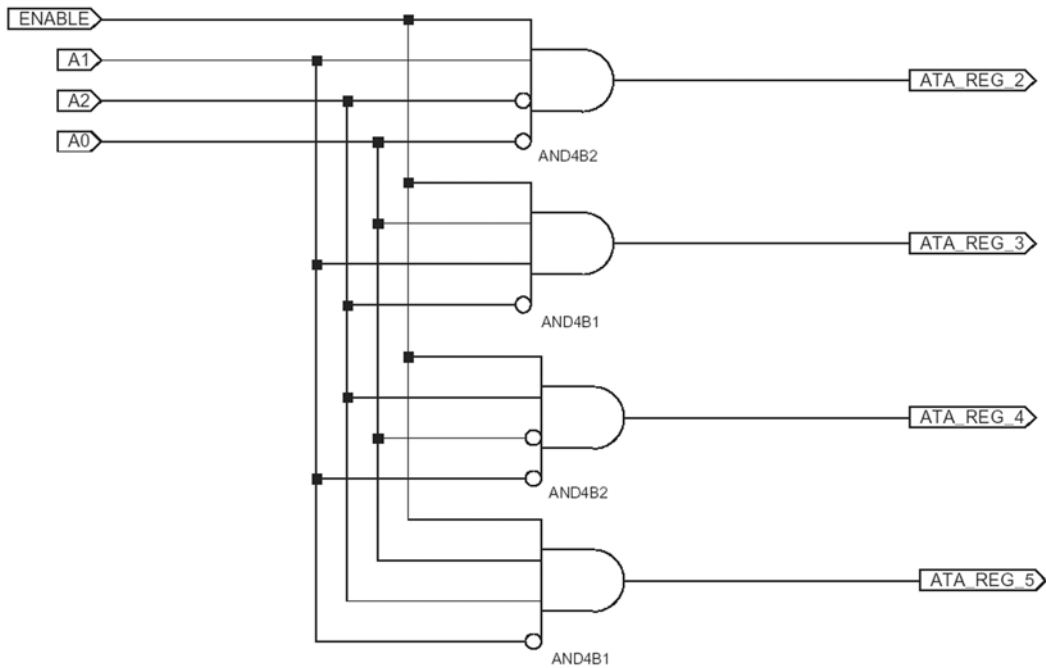
Die 8255-Ports A und B



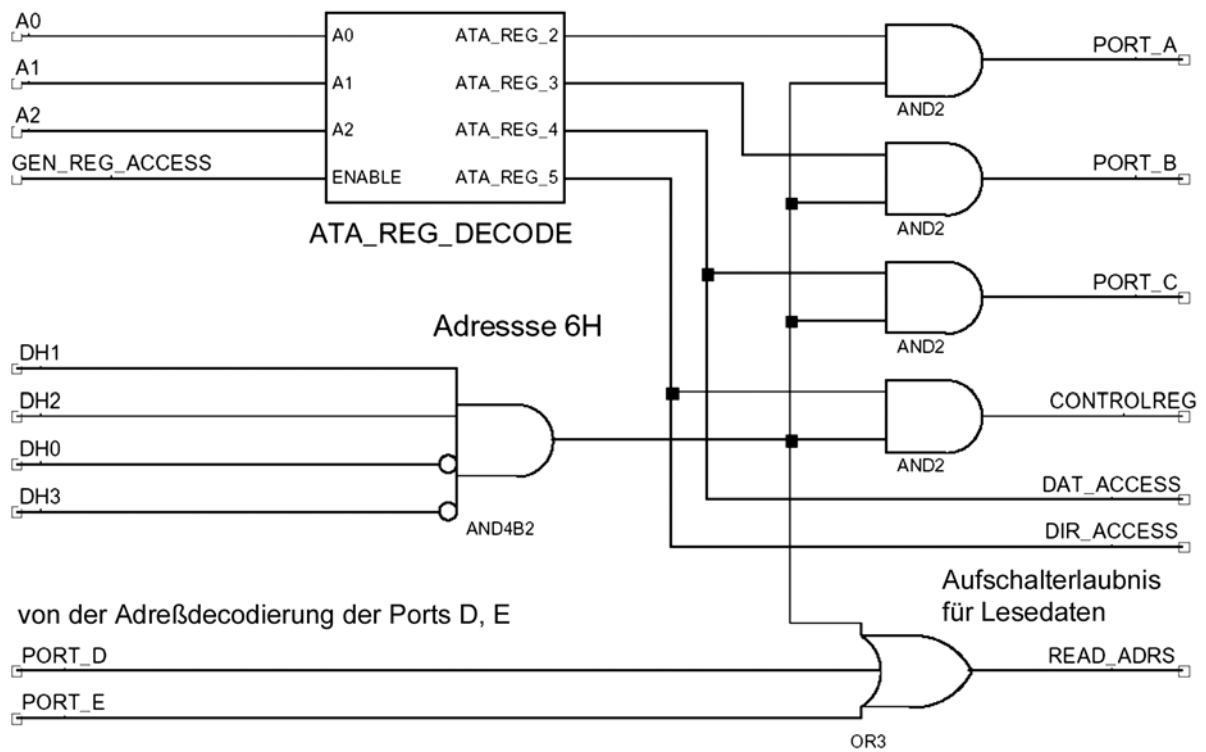
Der 8255-Port C und der Datenselektor für die Lesedaten



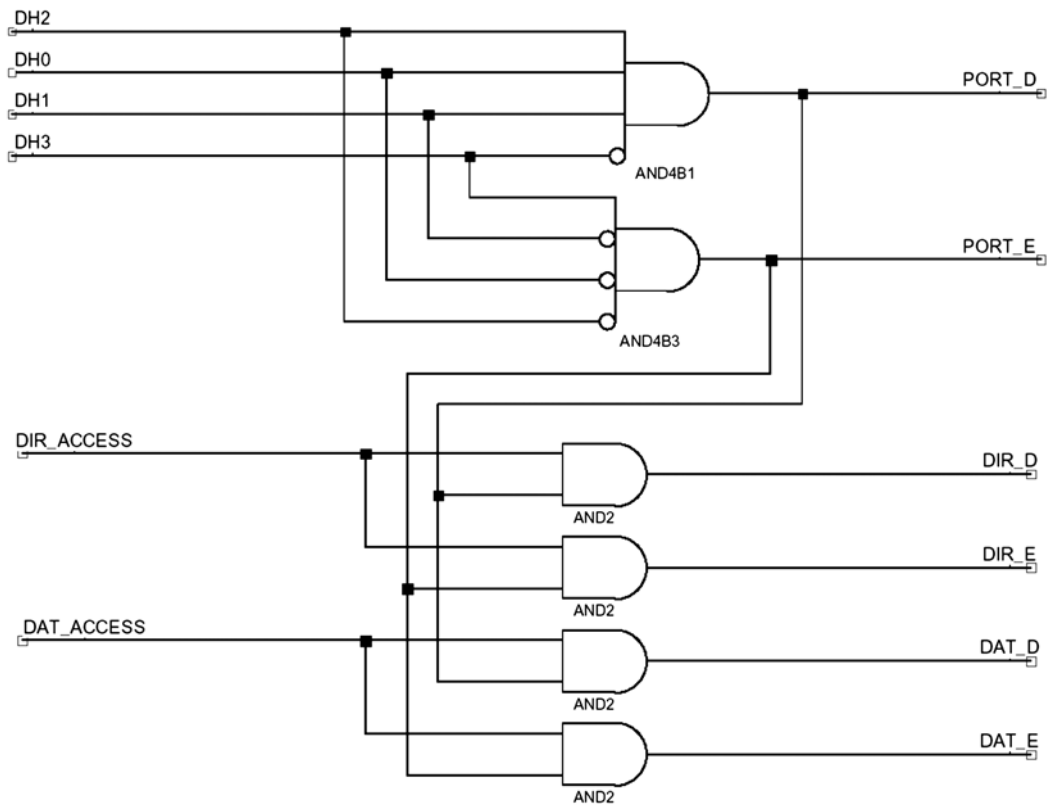
Ein 8255-Port. Die Treiber sind in zwei 4-Bit-Gruppen aufgeteilt (Unterstützung der halbbyteweisen Umsteuerung des Ports C)



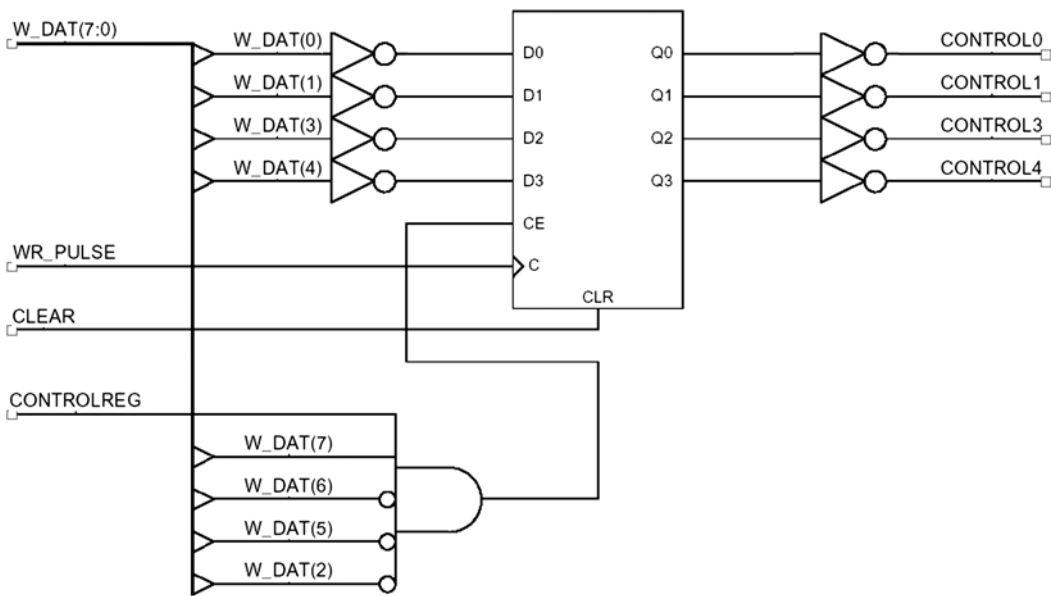
Die Decodierung der ATA-Adreßsignale



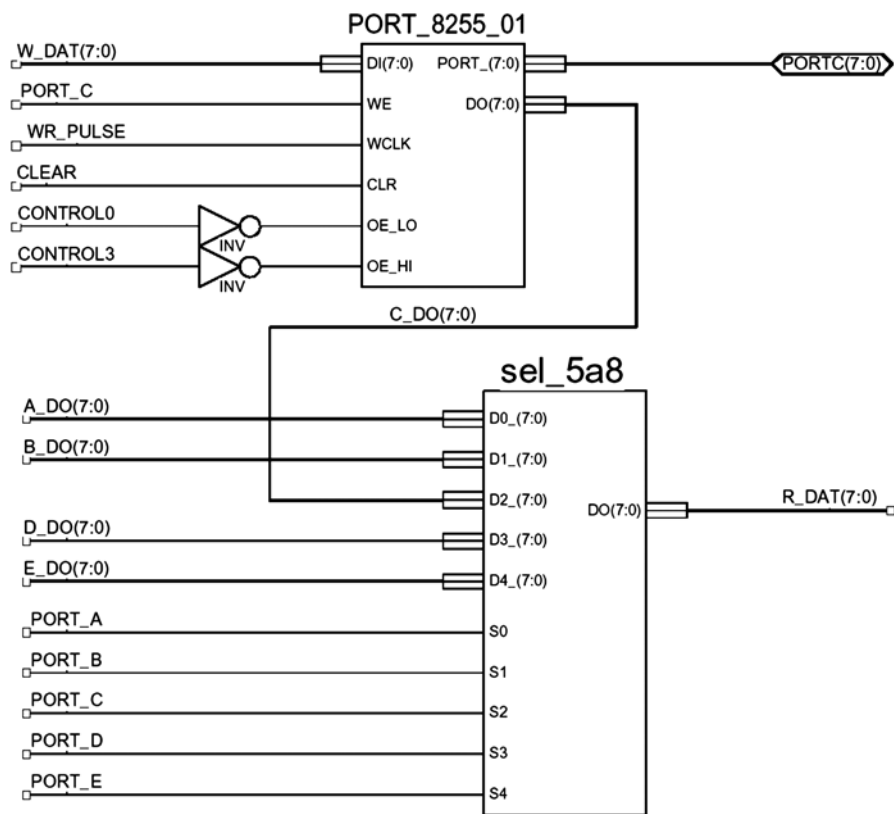
Adreßdecodierung der Adapter 8255_02/03 (zusätzliche Ports D, E)



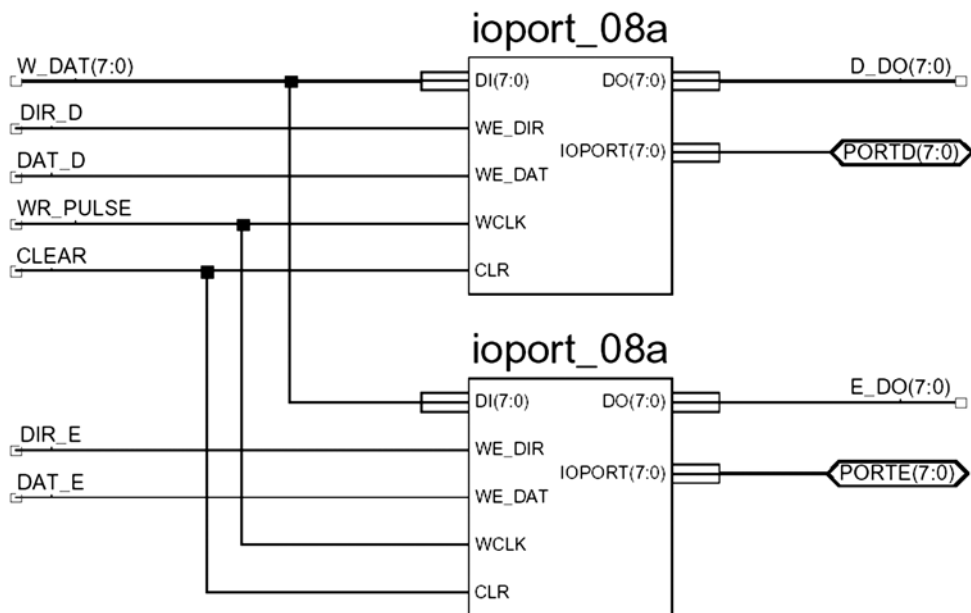
Adreßdecodierung der Ports D und E



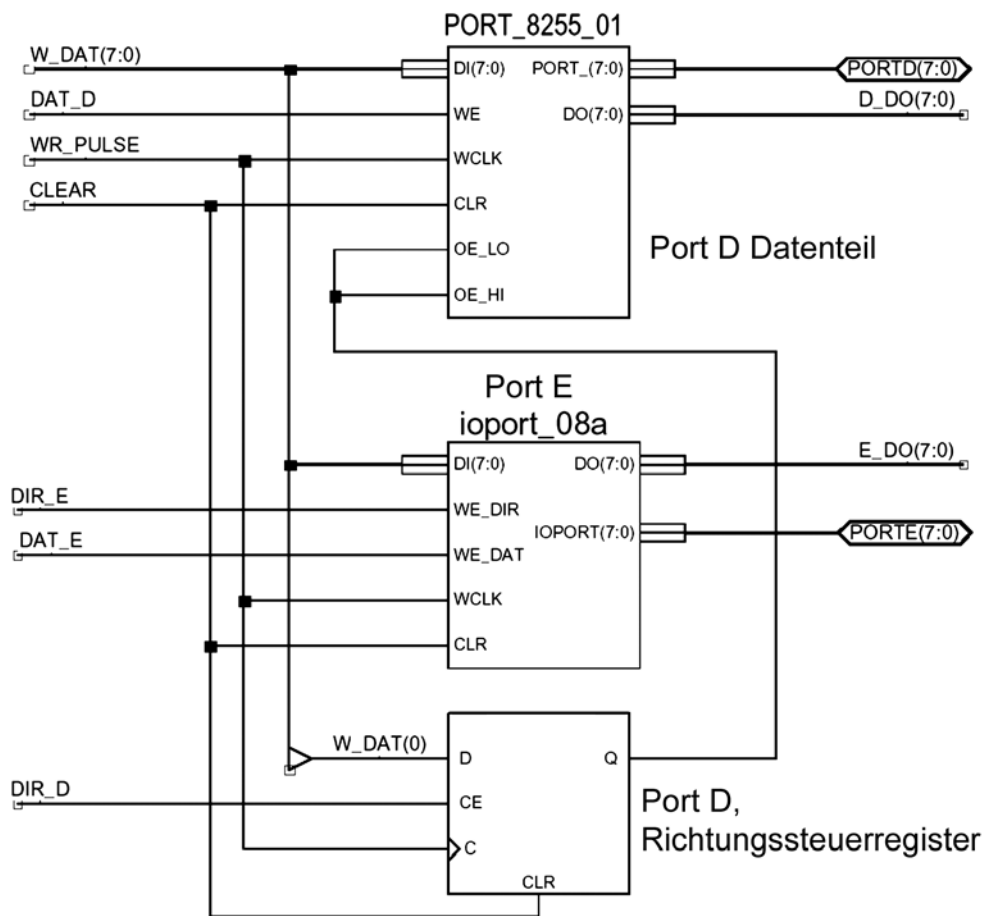
Das vereinfachte (nicht rücklesbare) 8255-Steuerregister



Der 8255-Port C und der für die Ports D, E erweiterte Datenselektor



Die Ports D und E im Adapter 8255_02



Die Ports D und E im Adapter 8255_03. Als Datenteil des Ports B wird ein weiterer 8255-Port verwendet, als Richtungssteuerregister ein einzelnes Flipflop