

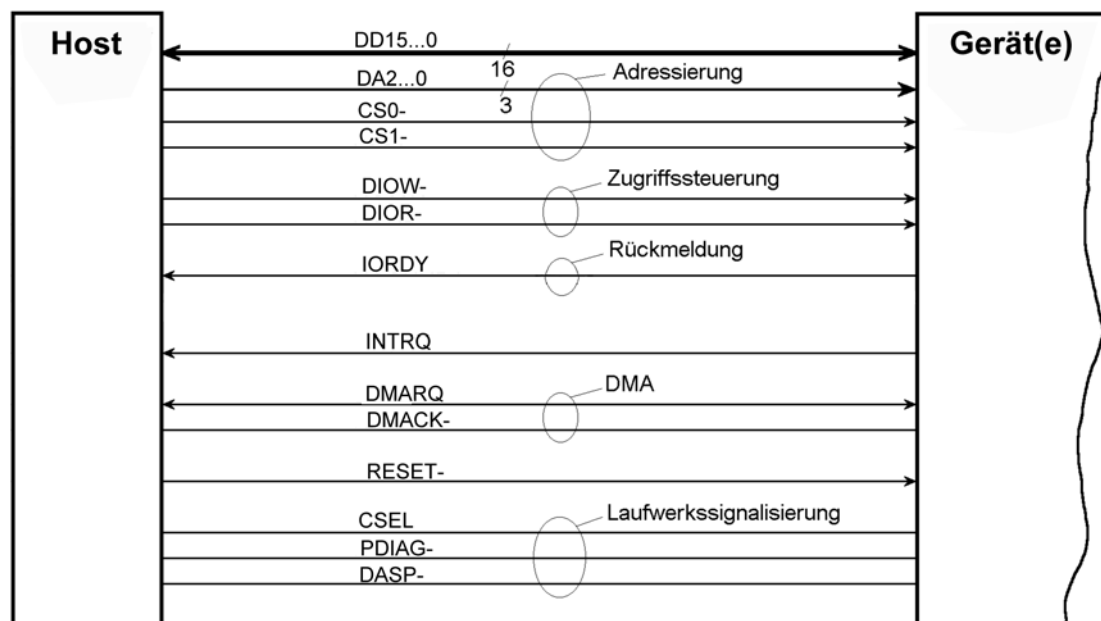
## 3. Parallel ATA

### 3.1 Das Interface aus funktioneller Sicht

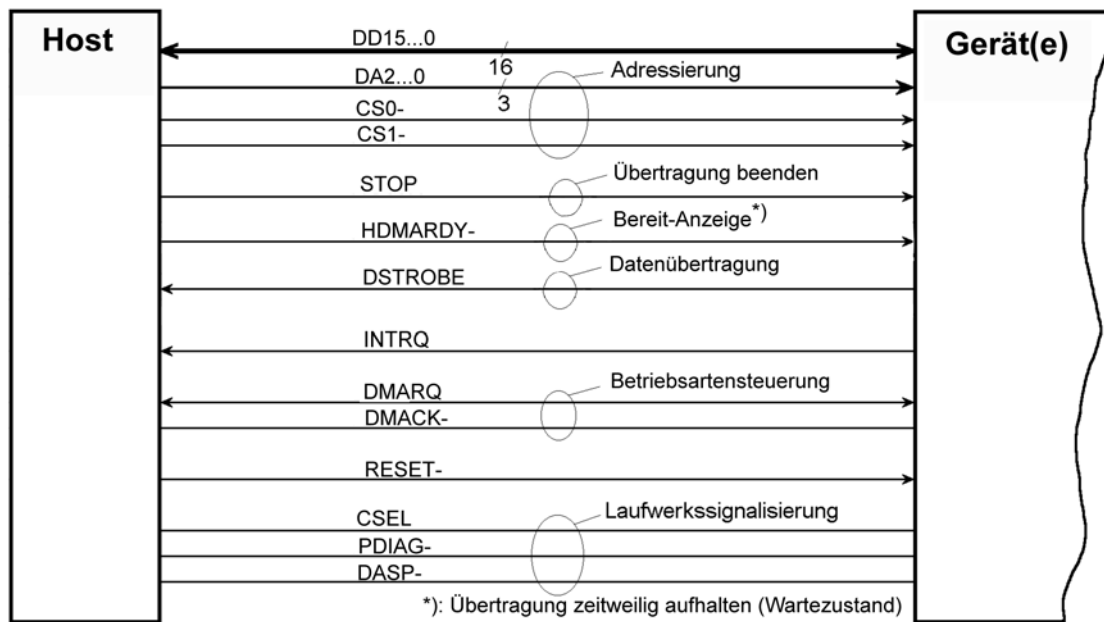
Die Abb. 3.1 bis 3.3 zeigen das Interface zwischen Host und Gerät(en) aus funktioneller Sicht. Die Abb. 3.4 und 3.5 veranschaulichen die Anschlußbelegungen des 40poligen und des 44poligen Steckverbinders (Abschnitt 3.9).

*Hinweise:*

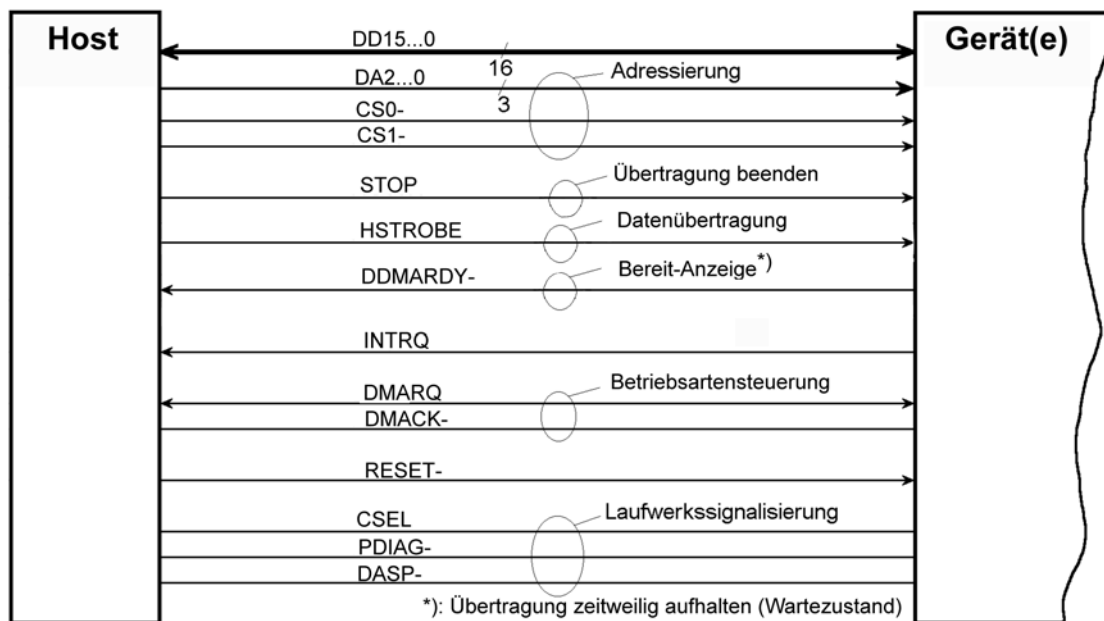
1. Alle Abbildungen zeigen die gleichen Signale in gleicher Anordnung. Beim Ultra-DMA-Betrieb haben einige Signale andere Funktionen und demgemäß andere Bezeichnungen.
2. Ein Strich am Ende des Signalbezeichners (Beispiel: CS0-) kennzeichnet ein Signal, das aktiv Low ist.
3. Die Abbildungen beziehen sich auf das aktuelle – mit ATA/ATAPI-4 festgelegte – Interface. Folgende – in ATA-1 beschriebene – Signale sind im Laufe der Weiterentwicklung entfallen:
  - SPSYNC. Die ursprüngliche Absicht: Drehzahlsynchronisation zwischen beiden Laufwerken (Spindle Synchronization). Kaum verwendet; als “herstellerspezifisch” definiert. In noch früheren IDE-Schnittstellen teils mit dem ALE-Signal (entsprechend ISA-Bus) belegt.
  - IOCS16-. Zeigt an, daß eine 16-Bit-Übertragung stattfindet (entsprechend ISA-Bus). Von ATA-3 an entfallen (Übertragungsbreite ergibt sich stets implizit aus der Art der Übertragung).



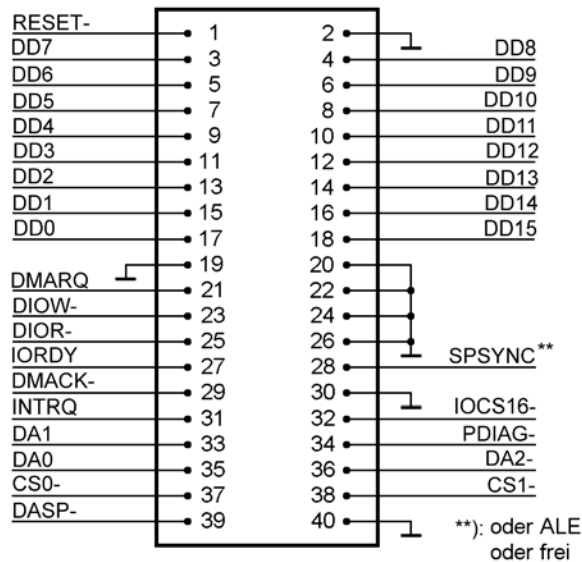
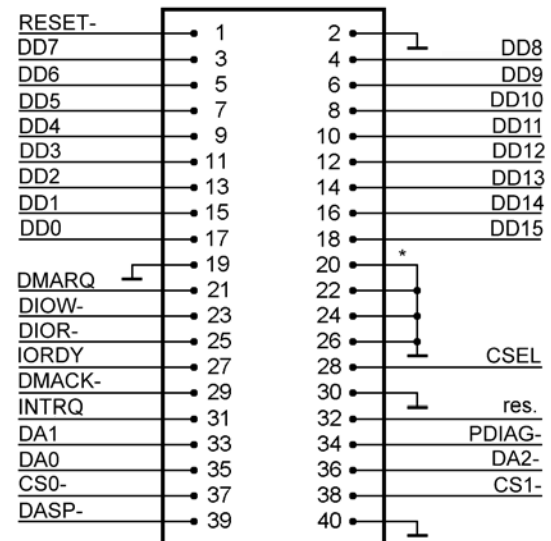
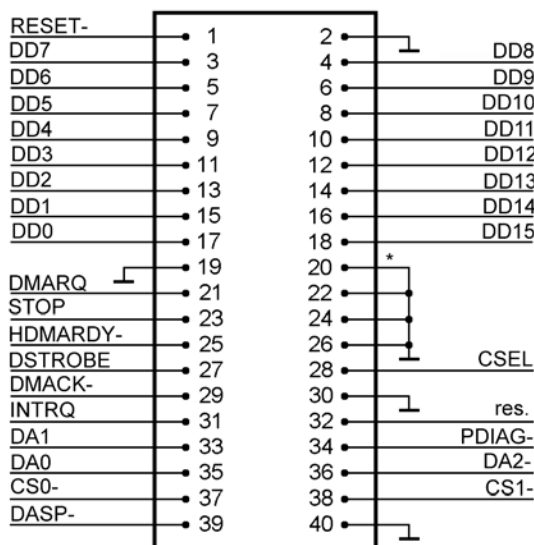
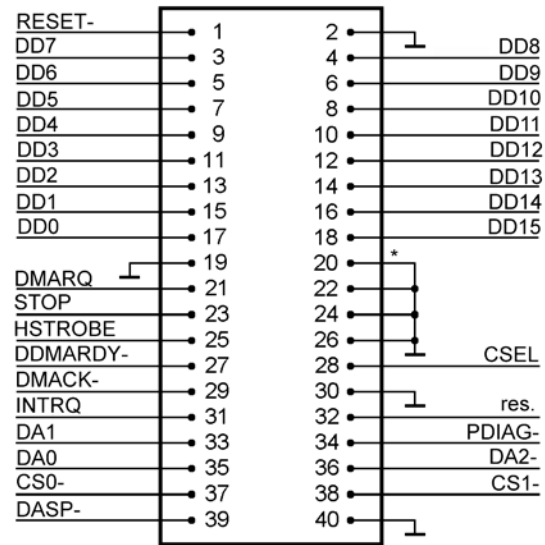
**Abb. 3.1** Das IDE-Interface aus funktioneller Sicht (1): PIO- und herkömmlicher DMA-Betrieb



**Abb. 3.2** Das IDE-Interface aus funktioneller Sicht (2): Ultra-DMA-Betrieb, Lesen

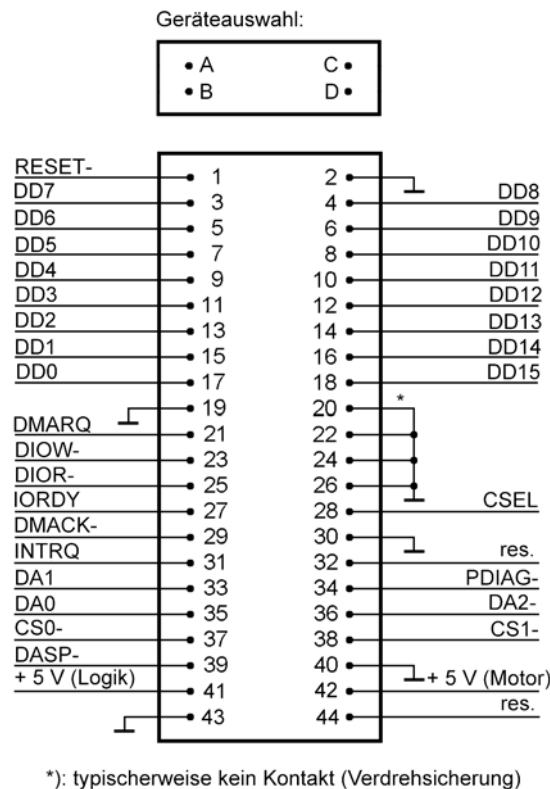


**Abb. 3.3** Das IDE-Interface aus funktioneller Sicht (3): Ultra-DMA-Betrieb, Schreiben

**a) IDE/ATA, herkömmlich (ATA-1/-2)****b) ATA (PIO- und DMA-Betrieb)****c) Ultra DMA, Lesen****c) Ultra DMA, Schreiben**

\*) : typischerweise kein Kontakt (Verdrehsicherung)

**Abb. 3.4** Belegungen des 40-poligen Steckverbinders. a) Belegung gemäß dem ursprünglichen Standard (ATA-1); b), c), d) Belegung gilt von ATA/ATAPI-4 an



**Abb. 3.5** Belegung des 44-poligen Steckverbinders

Die Belegung entspricht im Grunde der des 40-poligen Steckverbinders. Die Ergänzungen:

- Speisespannungs- und Massezuführung über die Kontakte 41...43,
- zusätzliche, abgesetzte Kontakte A...D zum Einstellen der Geräteauswahl (über Jumper).

## 3.2 Signalkennwerte

### *Herkömmliche Kennwerte*

Die Interfacesignale haben übliche TTL-Pegel. Die allgemeinen Zeitkennwerte entsprechen jenen des ISA-Bus bzw. der LS-TTL-Baureihe. (Tabelle 3.1).

### *Kennwerte moderner Schnittstellen (ATA/ATAPI-6/7)*

Die allgemeinen Kennwerte unterscheiden sich nur unwesentlich von den vorhergehenden Ausgaben des Standards (vgl. Tabelle 3.1). Die einzige wirkliche Verschärfung betrifft die Flankensteilheit. Für Betriebsarten von Ultra DMA Mode 5 an (Ultra DMA 100/133) müssen zusätzliche Anforderungen eingehalten werden (Tabelle 3.2).

Bezeichnung	minimal	maximal
High-Ausgangsstrom	4 mA	
High-Ausgangsstrom für Signal DASP-	12 mA	
Low-Ausgangsstrom	0,4 mA	
Low-Ausgangsstrom für DMARQ	0,5 mA	
High-Ausgangsspannung	2,4 V	
High-Eingangsspannung	2 V	5,5 V
Low-Ausgangsspannung		0,5 V
Low-Eingangsspannung		0,8 V
Anstiegszeit		5 ns (für 2 V Signalhub) <sup>1)</sup>
Anstiegs- und Abfallrate		1,25 V/ns (2,5 ns für 2 V Signalhub) <sup>2)</sup>

1): herkömmliche Spezifikation; 2): aktuelle Spezifikation (ab ATA/ATAPI-6)

**Tabelle 3.1** Allgemeine Signalkennwerte im Überblick

Bezeichnung	minimal	maximal
Speisespannung für Treiber und Empfänger	3,04 V (3,3 V - 8%)	3,56 V (3,3 V + 8%)
Schaltswelle Low-High	1,5 V	2,0 V
Schaltswelle High-Low	1,0 V	1,5 V
Hysterese (Differenz der Schaltswellen)	320 mV	
Anstiegs- und Abfallrate	0,4 V/ns (5 ns für 2 V Signalhub)	1,0 V/ns (2 ns für 2 V Signalhub)

**Tabelle 3.2** Zusätzliche Signalkennwerte für Ultra DMA 100/133

*Hinweise:*

1. Beide Tabellen dienen nur dem Überblick; sie enthalten nicht alle Kennwerte.
2. Um die zeitlichen Anforderungen für Ultra DMA 100/133 einhalten zu können, müssen vor allem die Laufzeitunterschiede zwischen den einzelnen Signalleitungen gering gehalten werden. Hierzu hat man das Schaltverhalten genauer spezifiziert (definierte Schaltswellen). Um die Störsicherheit zu verbessern, werden Eingänge mit Hysterese gefordert, und es wird eine maximale Flankensteilheit vorgegeben (Signalflanken weder zu flach noch zu steil).
3. Die Speisespannung der Buskoppelstufen wurde auf 3,3 V beschränkt.
4. Weitere Kennwerte, die für Ultra DMA 100/133 einzuhalten sind, betreffen vor allem das Einkoppeln von Störungen beim gleichzeitigen Schalten vieler Signale

### 3.3 Treiber und Empfänger

Der Standard wurde ursprünglich für den Einsatz von LS-TTL-Schaltkreisen ausgelegt. Neuerdings werden CMOS-Buskoppelstufen in hochintegrierten Schaltkreisen verwendet. Ultra DMA erfordert einen Leitungsabschluß mit Serienwiderständen, um die Signalreflexionen zu verringern. Manche Signale sind mit Pull-Up- oder Pull-Down-Widerständen zu beschalten (Tabelle 3.3, Abb. 3.6).

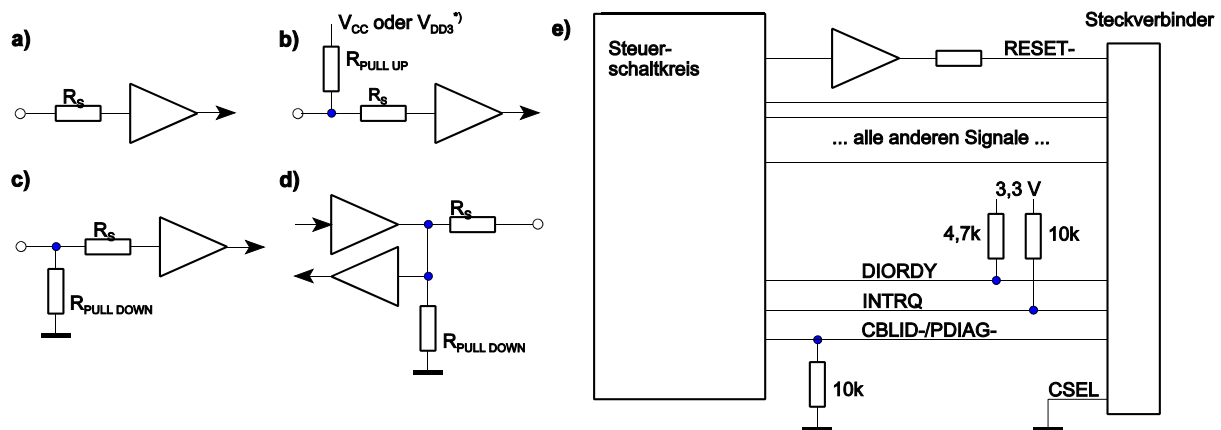
Signal	Quelle	Treiber	Host		Gerät	
			$R_S$	$R_{PULL}$	$R_S$	$R_{PULL}$
RESET-	Host	TP	33 $\Omega$		82 $\Omega$	
DD15...0	bidirektional	TS	33 $\Omega$	10 k (Down)*)	33 $\Omega$	
DMARQ	Gerät	TS	82 $\Omega$	5,6 k (Down)	22 $\Omega$	
DIOR- (HDMARDY-, HDMASTROBE)	Host	TS	22 $\Omega$		82 $\Omega$	
DIOW (STOP)	Host	TS	22 $\Omega$		82 $\Omega$	
IORDY- (DDMARDY-, DSTROBE)	Gerät	TS	82 $\Omega$	4,7 k (Up)	22 $\Omega$	
CSEL	Host	Masse	-		-	10 k (Up)
DMACK-	Host	TP	22 $\Omega$		82 $\Omega$	
INTRQ	Gerät	TS	82 $\Omega$	10 k (Down) oder 6,2 k (Up)	22 $\Omega$	
DA2...0	Host	TP	33 $\Omega$		82 $\Omega$	
PDIAG-/CBLID-	Gerät	TS				10 k (Up)
CS0-, CS1-	Host	TP	33 $\Omega$		82 $\Omega$	
DASP-	Gerät	OC				10 k (Up)

TP = Totem Pole (Gegentaktausgang); TS = Tri State; OC = Open Collector;  $R_S$  = Serienwiderstand;  $R_{PULL}$  = Pull-Down- oder Pull-Up-Widerstand. \*): betrifft nur DD7

**Tabelle 3.3** Der Signalanschluß im Überblick

#### ATA-Kanäle auf Motherboards

Typischerweise werden jeweils zwei ATA-Kanäle (und damit Kabelanschlüsse) von einem Steuerschaltkreis aus betrieben (Dual Cable Configuration). Sparsame Entwickler haben in der Vergangenheit oft gemeinsame Treiber- und Empfängerstufen für beide Kabel vorgesehen (Abb. 3.7). Aus Tabelle 3.4 ist ersichtlich, welche Sparlösungen in moderner Hardware zugelassen sind.

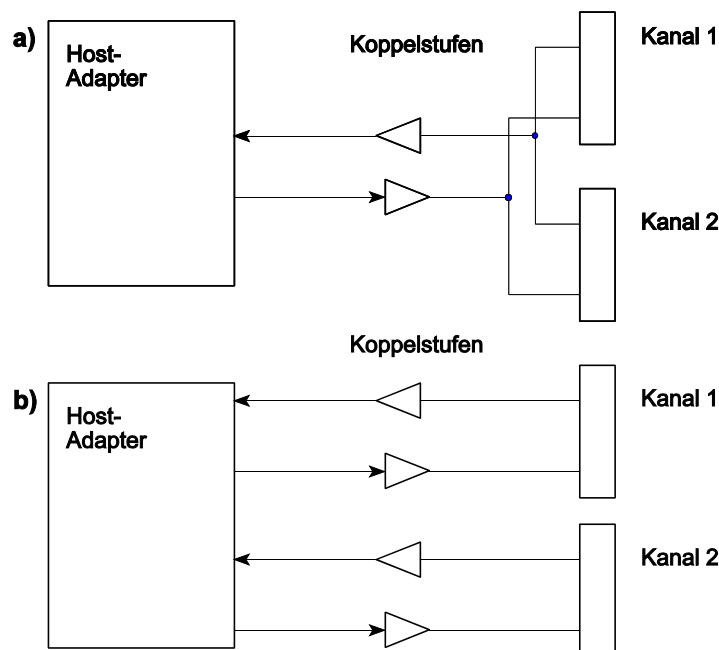


a) nur Serienwiderstand; b) mit zusätzlichem Pull-Up-Widerstand (z. B. IORDY); c) mit zusätzlichem Pull-Down-Widerstand (z. B. DMARQ); d) Beschaltung des Datensignals DD7; e) ATA-Anschluß auf Motherboard (nach Intel).

**Abb. 3.6** Typische Signalanschlüsse

Die Serienwiderstände sind im Steuerschaltkreis eingebaut. Nur das Rücksetzsignal (das z. B. vom PCI-Bus abgeleitet wird) braucht einen besonderen Treiber. Man beachte, daß keinerlei Entstör- und Schutzmaßnahmen (Kondensatoren, Suppressordioden o. dergl. usw.) vorgesehen sind – ATA betrifft nur das Innere des PCs, so daß die einschlägigen Anforderungen (z. B. in Hinsicht auf ESD) nicht erfüllt werden müssen.

*Zur Beschaltung des Datensignals DD7 (Abb. 3.6d):* Der Host soll in Bitposition 7 eine Null lesen, falls kein Gerät angeschlossen ist. Er sieht somit stets ein gelöscht BUSY-Bit, wenn er auf das Zustandsregister eines nicht vorhandenen Gerätes zugreift.



**Abb. 3.7** Varianten des Kabelanschlusses. a) mit gemeinsamen, b) mit unabhängigen Koppelstufen

Betriebsart	zulässig	empfohlen
alle PIO- und Multiwort-DMA-Betriebsarten	gemeinsame Koppelstufen für alle Signale	unabhängige Koppelstufen wenigstens für DIOR-, DIOW-, IORDY oder für CS1-, CS0-
Ultra DMA bis Mode 2	gemeinsame Koppelstufen für alle Signale außer DMACK-	
Ultra DMA ab Mode 3	gemeinsame Koppelstufen nur für RESET-, INTRQ, DA2...0, CS1-, CS0- und DASP-	unabhängige Koppelstufen für alle Signale (vgl. Abb. 3.6e)

**Tabelle 3.4** Sparlösungen des Interfaceanschlusses

*Hinweis:*

Sparlösungen (mit gemeinsamen Koppelstufen) haben zur Folge, daß sich Fehler in einem Kanal auch am anderen auswirken (daran, daß es an Kanal 1 nicht funktioniert, können auch Kabel oder Gerät(e) des Kanals 2 schuld sein - und umgekehrt).

*Praxistip:*

Ggf. mittels Durchgangsprüfung (an den Steckverbindern) herausfinden, welche Signale mit gemeinsamen Koppelstufen beschaltet sind.

## 3.4 Signalbeschreibung

### 3.4.1 Datenübertragung

#### DD15...0

Die 16 Datenleitungen dienen zum Schreiben und Lesen. Zu den Zugriffsbreiten siehe Tabelle 3.5  
Erregung: beim Schreiben vom Host, beim Lesen vom Gerät (bidirektionaler Datenweg).

Zugriffsbreite	beteiligte Datenleitungen	Anwendung
8 Bits	DD7...0	<ul style="list-style-type: none"> <li>Registerzugriffe,</li> <li>Datenzugriffe auf CFA-Geräte<sup>*)</sup></li> </ul>
16 Bits	DD15...0	Datenzugriffe

<sup>\*)</sup>: CFA = Compact Flash Association. CFA-Geräte sind Speicherkarten mit Flash-ROMs, die über das ATA-Interface betrieben werden

**Tabelle 3.5** Zugriffsbreiten

### 3.4.2 Adressierung

#### DA2...0

Die drei Adreßleitungen dienen zur Registerauswahl (vgl. Kapitel 2). Erregung: vom Host.

#### CS1-, CS0-

Auswahl des Registerblocks (vgl. Kapitel 2):

- CS0-: Kommandoregisterblock,
- CS1-: Steuerregisterblock.



In DMA-Zugriffen müssen beide Signale inaktiv sein. Erregung: vom Host.

Bei allen unzulässigen Belegungen der DA- und CS-Signale (ungültige Registeradressen, CS1- und CS0-beide aktiv) ignoriert das Gerät den Zugriff und hält den Datenbus hochohmig.

### 3.4.3 Gerätezuweisung

#### **CSEL**

Eine Festbelegung, die dann wirksam wird, wenn in den Geräten die Kabelauswahl (Cable Select) aktiviert ist:

- das Gerät, das CSEL = 0 empfängt, wird zu Gerät 0,
- das Gerät, das CSEL = 1 empfängt, wird zu Gerät 1.

Die Nutzung von CSEL erfordert ein entsprechendes Kabel (vgl. Abschnitt 3.9). An einem Kabel, in dem die CSEL-Anschlüsse 1:1 durchverbunden sind, funktioniert diese Form der Zuweisung nicht.

### 3.4.4 Zugriffssteuerung

#### **DIOW- (Ultra DMA: STOP)**

Erregung: vom Host. Die Nutzung hängt von der Betriebsart ab:

- herkömmliche Zugriffe: Strobe-Signal für Schreibzugriffe. Datenübernahme (ins Gerät) mit der Low-High-Flanke.
- Ultra-DMA-Zugriffe: Endesignalisierung vom Host. Vor Beginn der Datenübertragung muß der Host STOP deaktivieren. Aktivierung während der laufenden Übertragung zeigt das Ende des Übertragungsablaufs an.

#### **DIOR- (Ultra DMA: HDMARDY- (Lesen) oder HSTROBE (Schreiben))**

Erregung: vom Host. Die Nutzung hängt von der Betriebsart ab:

- herkömmliche Zugriffe: Strobe-Signal für Lesezugriffe. Datenübernahme (in den Host) mit der Low-High-Flanke.
- Ultra DMA (Lesen): Übertragungssteuersignal. HDMARDY- = 0 zeigt dem Gerät an, daß der Host zur Datenübernahme bereit ist. HDMARDY- = 1 bewirkt, daß die laufende Datenübertragung zeitweilig angehalten wird (eine Art Wartezustand).
- Ultra DMA (Schreiben): Strobesignal für Schreibzugriffe, das die Daten begleitet (gleiche Signalflußrichtung). Datenübertragung mit beiden Signalflanken.

#### **IORDY (Ultra DMA: DSTROBE (Lesen) oder DDMARDY- (Schreiben))**

Erregung: vom Gerät. Die Nutzung hängt von der Betriebsart ab:

- herkömmliche Zugriffe: Verlängerung des aktuellen Zugriffs (Einfügen von Wartezuständen). Folgende Zugriffe können verlängert werden: (1) Registerzugriffe, (2) PIO-Zugriffe (typischerweise ab Modus 3).
- Ultra DMA (Lesen): Strobesignal für Lesezugriffe, das die Daten begleitet (gleiche Signalflußrichtung). Datenübertragung mit beiden Signalflanken.
- Ultra DMA (Schreiben): Übertragungssteuersignal. DDMARDY- = 0 zeigt dem Host an, daß das Gerät zur Datenübernahme bereit ist. DDMARDY- = 1 bewirkt, daß die laufende Datenübertragung zeitweilig angehalten wird (eine Art Wartezustand).

### 3.4.5 Unterbrechungsauslösung

#### INTRQ

Interruptauslösung im Host. Erregung: vom Gerät:

- Aktivierung: vom aktuell ausgewählten Gerät, wenn (1) eine Unterbrechungsbedingung vorliegt und wenn (2) die Interruptauslösung erlaubt ist (Erlaubnisbit  $nIEN = 0$ ).
- Deaktivierung: (1) durch Auswahl des jeweils anderen Gerätes; (2) durch Setzen des  $nIEN$ -Bits im Kommandoregister; (3) durch Lesen des Zustandsregisters.

### 3.4.6 DMA-Zugriffe

#### DMARQ

Durch Aktivieren dieser Leitung fordert das Gerät einen DMA- oder Ultra-DMA-Zugriff vom Host an. Erregung: vom Gerät.

#### DMACK-

Durch Aktivieren dieser Leitung signalisiert der Host dem Gerät, daß der DMA- oder Ultra-DMA-Zugriff ausgeführt wird. Erregung: vom Host.

DMARQ und DMACK- wirken im Sinne eines Handshaking-Signalspiels zusammen:

- das Gerät aktiviert DMARQ ( $=> 1$ ),
- daraufhin antwortet der Host mit DMACK- ( $=> 0$ ),
- solange DMARQ und DMACK- beide aktiv sind (1, 0), läuft der jeweilige Zugriff (DMA oder Ultra DMA),
- Beenden des Zugriffs: es gibt zwei Möglichkeiten:
  - der Host signalisiert das Ende durch Deaktivieren von DMARQ ( $=> 0$ ). Daraufhin deaktiviert das Gerät DMACK- ( $=> 1$ ).
  - das Gerät signalisiert das Ende durch Deaktivieren von DMACK- ( $=> 1$ ). Daraufhin deaktiviert der Host DMARQ ( $=> 0$ ).

### 3.4.7 Rücksetzen

#### RESET

Hardwareseitiges Rücksetzen (z. B. nach dem Einschalten). Erregung: vom Host. Minimale Impulsbreite: 25  $\mu$ s.

### 3.4.8 Gerätesignalisierung

#### PDIAG-/CBLID

Kombinierte Nutzung:

- zwischen beiden Geräten: Testendesignalisierung (PDIAG-). Hiermit meldet das Gerät 1 dem Gerät 0, daß es seinen internen Selbsttest beendet hat. Erregung: von Gerät 1. Auswertung: durch Gerät 0. Das Signal ist wirksam: (1) während des Hardware- und des Software-Rücksetzens, (2) im Rahmen des Kommandos "Ausführen Geräteprüfung" (EXECUTE DRIVE DIAGNOSTICS).
- vom Host: Kabelerkennung (CBLID). Der Host wertet PDIAG- an sich nicht aus. Hierdurch wird es möglich, den entsprechenden Anschluß zur Kabelerkennung zu verwenden:

- ein herkömmliches Kabel (40 Leitungen) hat eine 1:1-Verbindung. Der Host erkennt ein solches Kabel daran, daß sich das Signal an seinem Anschluß wie PDIAG- verhält.
- ein Ultra-DMA-Kabel (80 Leitungen) hat in seinem Host-Steckverbinder eine Masseverbindung. Der Host erkennt ein solches Kabel daran, daß sein Anschluß eine feste Nullbelegung führt.

### DASP-

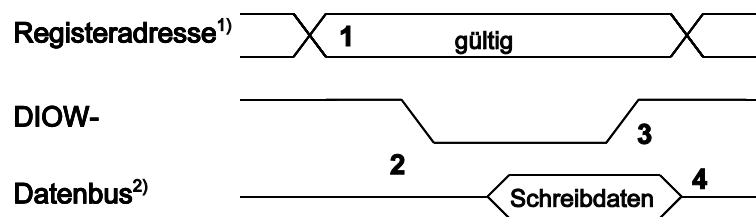
Während des Hardware-Rücksetzens zeigt das Gerät 1 durch Aktivieren von DASP- dem Gerät 0 an, daß es vorhanden ist. Erregung: von Gerät 1. Auswertung: durch Gerät 0. Während des normalen Betriebes wird DASP- vom jeweils ausgewählten Gerät zur Aktivitätsanzeige verwendet (es steuert üblicherweise direkt eine LED an). Erregung: vom ausgewählten Gerät.

## 3.5 Funktionsbeschreibung

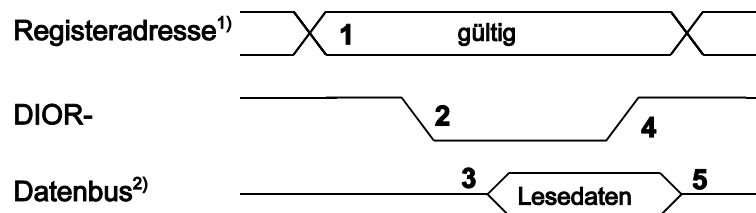
### 3.5.1 Registerzugriffe

Registerzugriffe sind herkömmliche Zugriffe mit einer Zugriffsbreite von 8 Bits (Abb. 3.8 bis 3.10, Tabellen 3.6 und 3.7).

#### a) Schreibzugriff



#### b) Lesezugriff

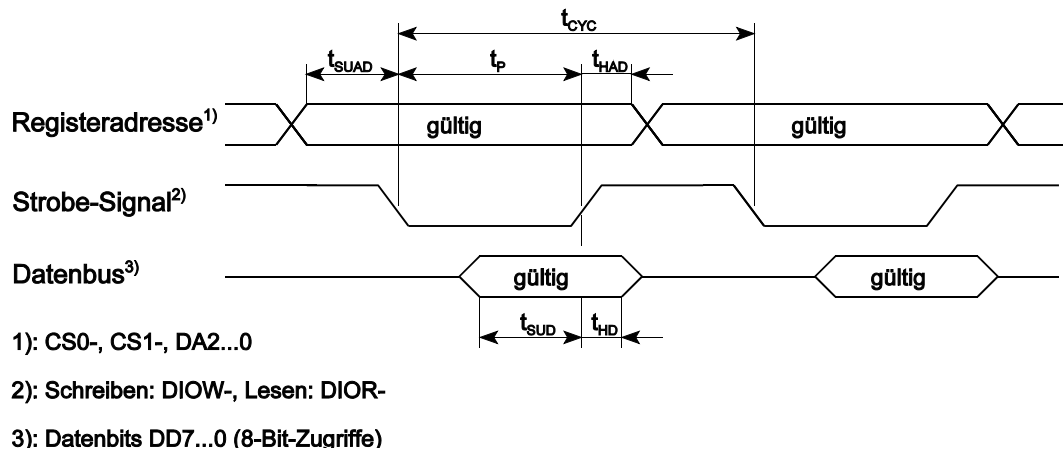


1): CS0-, CS1-, DA2...0

2): Datenbits DD7...0 (8-Bit-Zugriffe)

**Abb. 3.8** Registerzugriffe (1). a) Schreiben, b) Lesen. Nähere Erklärung im folgenden Text

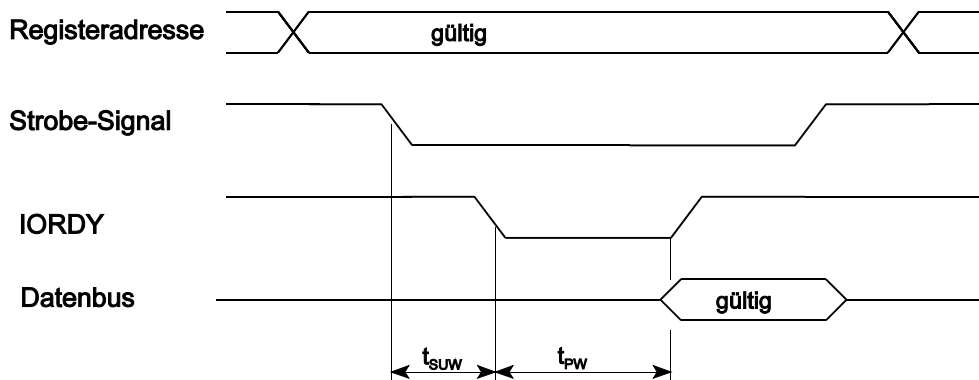
- Schreibzugriff: 1 - Host schaltet Registeradresse auf; 2 - Host aktiviert das Strobesignal und belegt den Datenbus mit dem zu schreibenden Byte; 3 - Host deaktiviert das Strobesignal. Infolgedessen werden die Schreibdaten vom Gerät übernommen; 4 - Host gibt Datenbus frei.
- Lesezugriff: Der Datenbus ist anfänglich hochohmig. 1 - Host schaltet Registeradresse auf; 2 - Host aktiviert das Strobesignal; 3 - Gerät belegt den Datenbus mit dem gelesenen Byte; 4 - Host übernimmt die Lesedaten und deaktiviert das Strobesignal; 5 - Gerät gibt Datenbus frei.



**Abb. 3.9** Registerzugriffe (2). Der allgemeine Ablauf (ohne Wartezustände)

Kennwert	Bedeutung	Betriebsart (Mode)				
		0	1	2	3	4
$t_{CYC}$	Zykluszeit (schnellste Folge von Registerzugriffen)	600	383	330	180	120
$t_p$	minimale Strobe-Impulsdauer	290	290	290	80	70
$t_{SUAD}$	minimale Setup-Zeit für Registeradressierung	70	50	30	30	25
$t_{HAD}$	minimale Haltezeit für Registeradressierung	20	15	10	10	10
$t_{SUD}$	minimale Setup-Zeit für Datenbelegung (Schreiben)	60	45	30	30	20
	minimale Setup-Zeit für Datenbelegung (Lesen)	50	35	20	20	20
$t_{HD}$	minimale Haltezeit für Datenbelegung (Schreiben)	30	20	15	10	10
	minimale Haltezeit für Datenbelegung (Lesen)	5	5	5	5	5

**Tabelle 3.6** Zeitkennwerte zu Abb. 3.9 (alle Angaben in ns). Siehe auch die Hinweise im Anschluß an Tabelle 3.8



**Abb. 3.10** Registerzugriffe (3). Vom Gerät verlängerter Zugriff (Einfügen von Wartezuständen)

Das Gerät kann durch Aktivieren von IORDY den jeweiligen Zugriff verlängern, also Wartezustände einfügen. IORDY muß spätestens 35 ns nach Aktivierung des Strobe-Signals erregt werden ( $t_{SUW}$ ) und darf höchstens 1,25  $\mu$ s lang aktiv bleiben ( $t_{PW}$ ).

Kennwert	Bedeutung	Zeitangabe (in ns)
$t_{SUW}$	maximale Setup-Zeit zum Einleiten des Wartezustandes	35
$t_{PW}$	maximale Dauer des Wartezustandes (IORDY-Impulsdauer)	1250

**Tabelle 3.7** Zeitkennwerte zu Abb. 3.10

### 3.5.2 Datenzugriffe (1): PIO-Betriebsarten

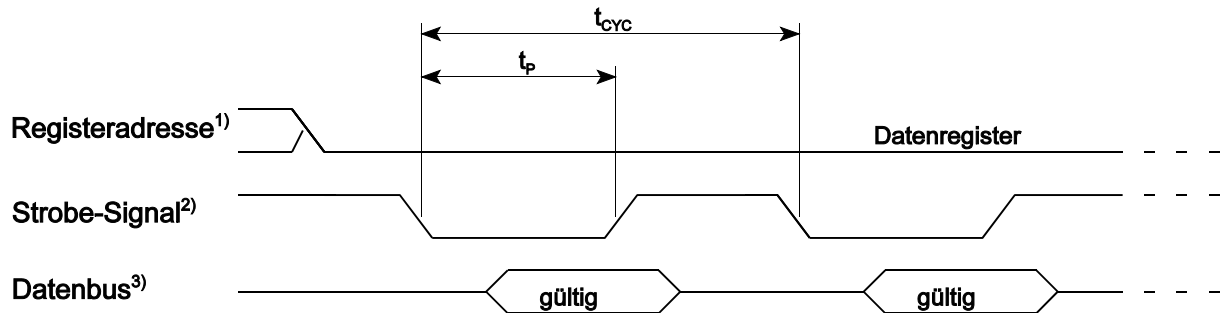
PIO-Zugriffe (Abb. 3.11, Tabelle 3.8) sind herkömmliche Zugriffe auf das Datenregister mit einer Zugriffsbreite von typischerweise 16 Bits (8 Bits bei Zugriffen auf CFA-Geräte). Aufeinanderfolgende Zugriffe betreffen aufeinanderfolgende Worte bzw. Bytes im jeweiligen Pufferbereich. Die Signalspiele entsprechen denen der Registerzugriffe.

Kennwert	Bedeutung	Betriebsart (PIO Mode)				
		0	1	2	3	4
$t_{CYC}$	Zykluszeit (schnellste Folge von PIO-Zugriffen)	600	383	240	180	120
-	max. Datenübertragungsfrequenz (MHz)	1,66	2,61	4,16	5,55	8,33
-	maximale Datenrate (MBytes/s)	3,31	5,22	8,32	11,1	16,66
$t_p$	minimale Strobe-Impulsdauer	290	290	290	80	70

**Tabelle 3.8** Zeitkennwerte zu Abb. 3.11 (alle Angaben in ns)

*Hinweise:*

1. Hochfahren: Geräte, die die PIO-Modi 3 oder 4 unterstützen, beginnen nach dem Einschalten in einem der Modi 0...2.
2. Verlängern von PIO-Zugriffen durch Aktivieren von IORDY (vgl. Abb.3.10). Für Datenübertragungen war dies ursprünglich nicht vorgesehen. Viele Hosts unterstützen aber diese Betriebsweise (typischerweise von PIO-Modus 3 an).



1): CS0- = 0, CS1- = 1, DA2...0 = 0H (Datenregister ausgewählt)

2): Schreiben: DIOW-, Lesen: DIOR-

3): Datenbits DD15...0 (16-Bit-Zugriffe), oder DD7...0 (8-Bit-Zugriffe)

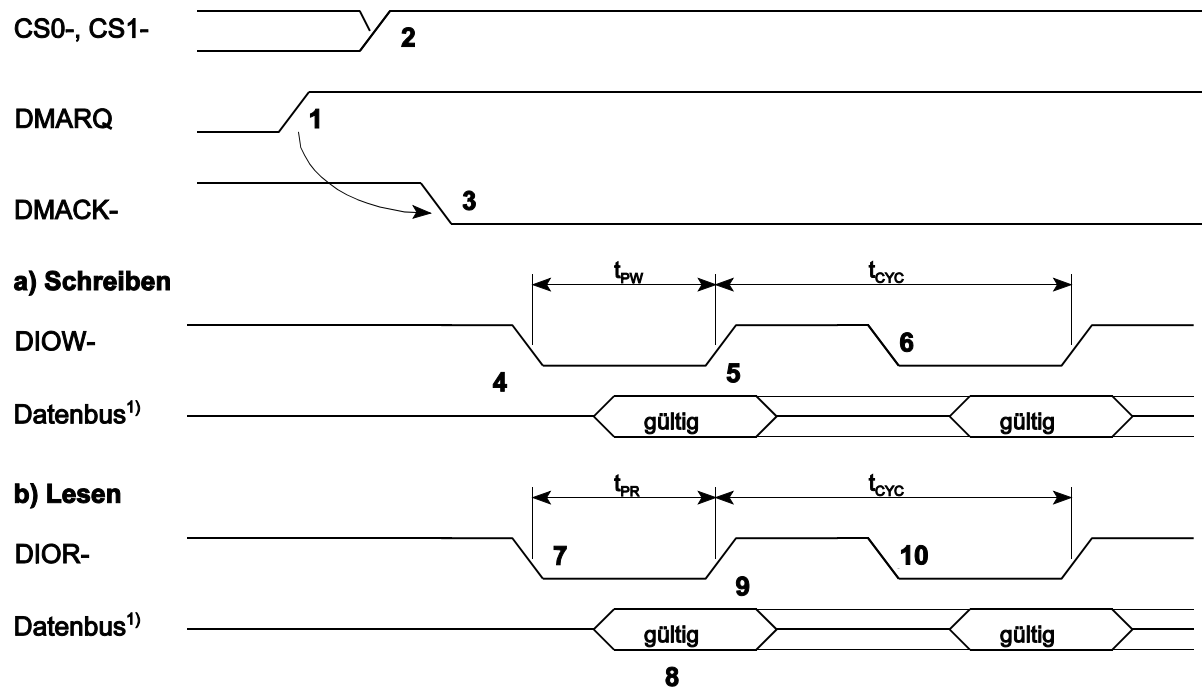
**Abb. 3.11** PIO-Datenzugriffe: der allgemeine Ablauf

### 3.5.3 Datenzugriffe (2): herkömmliche DMA-Zugriffe

DMA-Zugriffe (Abb. 3.12 und 3.13, Tabelle 3.9) beziehen sich auf das Datenregister. Die Zugriffsbreite beträgt 16 Bits. Aufeinanderfolgende Zugriffe betreffen aufeinanderfolgende Worte bzw. Bytes im jeweiligen Pufferbereich. Die über Strobe-Signale gesteuerten Datentransportabläufe entsprechen denen der Registerzugriffe. Typischerweise werden mehrere Worte nacheinander übertragen (Multiword DMA).

Kennwert	Bedeutung	Betriebsart (Multiword DMA Mode)		
		0	1	2
$t_{cyc}$	Zykluszeit (schnellste Folge von Registerzugriffen)	480	150	120
-	max. Datenübertragungsfrequenz (MHz)	2,08	6,66	8,33
-	maximale Datenrate (MBytes/s)	4,16	13,32	16,66
$t_{PW}$	minimale Strobe-Impulsdauer (Schreiben)	215	50	25
$t_{PR}$	minimale Strobe-Impulsdauer (Lesen)	50	50	25

**Tabelle 3.9** Zeitkennwerte zu Abb. 3.12 (alle Angaben in ns)

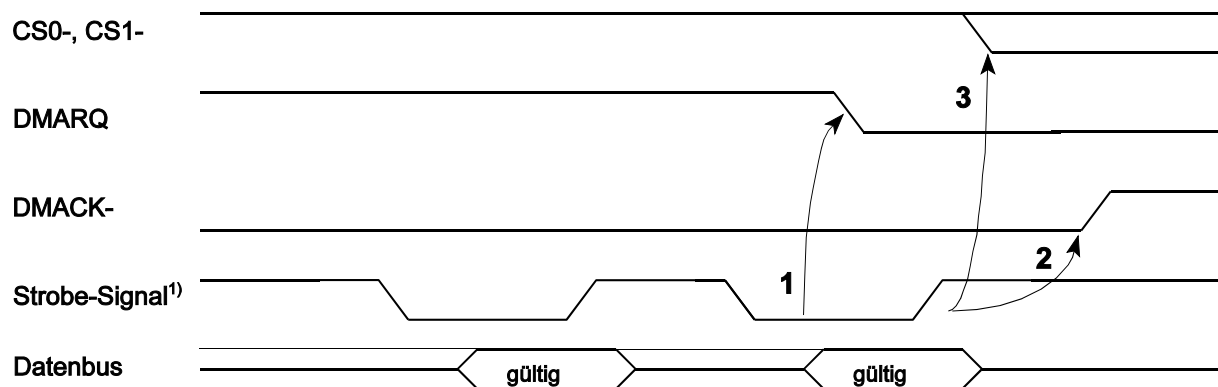
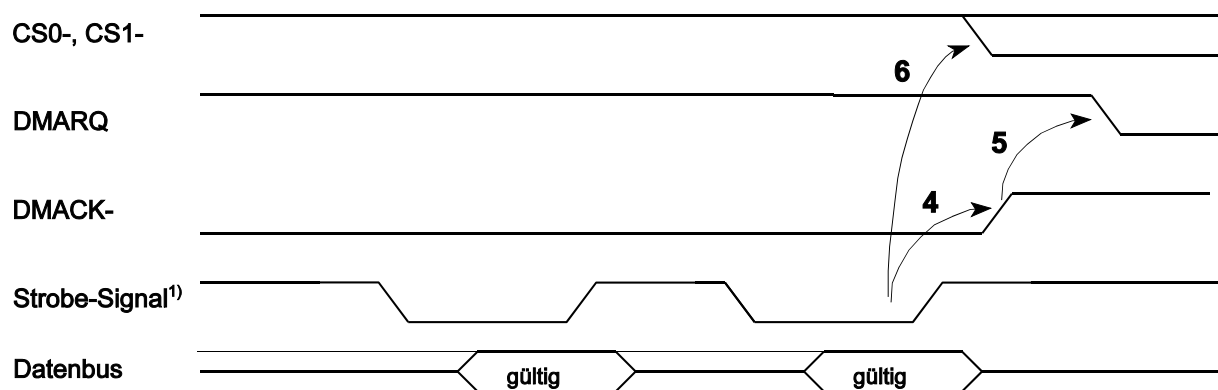


1): Datenbits DD15...0 (nur 16-Bit-Zugriffe)

1 - durch Aktivieren von DMARQ fordert das Gerät eine DMA-Übertragung an; 2 - der Host deaktiviert die Auswahlsignale CS1-, CS0-; 3 - der Host startet die DMA-Zugriffe durch Aktivieren von DMACK. Der weitere Ablauf richtet sich nach der Art des Zugriffs.

**Abb. 3.12** DMA-Zugriffe. Zugriffseinleitung und allgemeine Übertragungsabläufe. a) Schreiben, b) Lesen. Nähere Erklärung im folgenden Text

- a) Schreibzugriff: 4 - Host aktiviert das Strobesignal DIOW- und belegt den Datenbus mit dem zu schreibenden Byte; 5 - Host deaktiviert das Strobesignal. Infolgedessen werden die Schreibdaten vom Gerät übernommen; 6 - Host überträgt das nächste Wort.
- b) Lesezugriff: Der Datenbus ist anfänglich hochohmig. 7 - Host aktiviert das Strobesignal DIOR-; 8 - Gerät belegt den Datenbus mit dem gelesenen Wort; 9 - Host übernimmt die Lesedaten und deaktiviert das Strobesignal; 10 - Lesen des nächsten Wortes.

**a) Gerät beendet die Übertragung****b) Host beendet die Übertragung**

1): Schreiben: DIOW-, Lesen: DIOR-

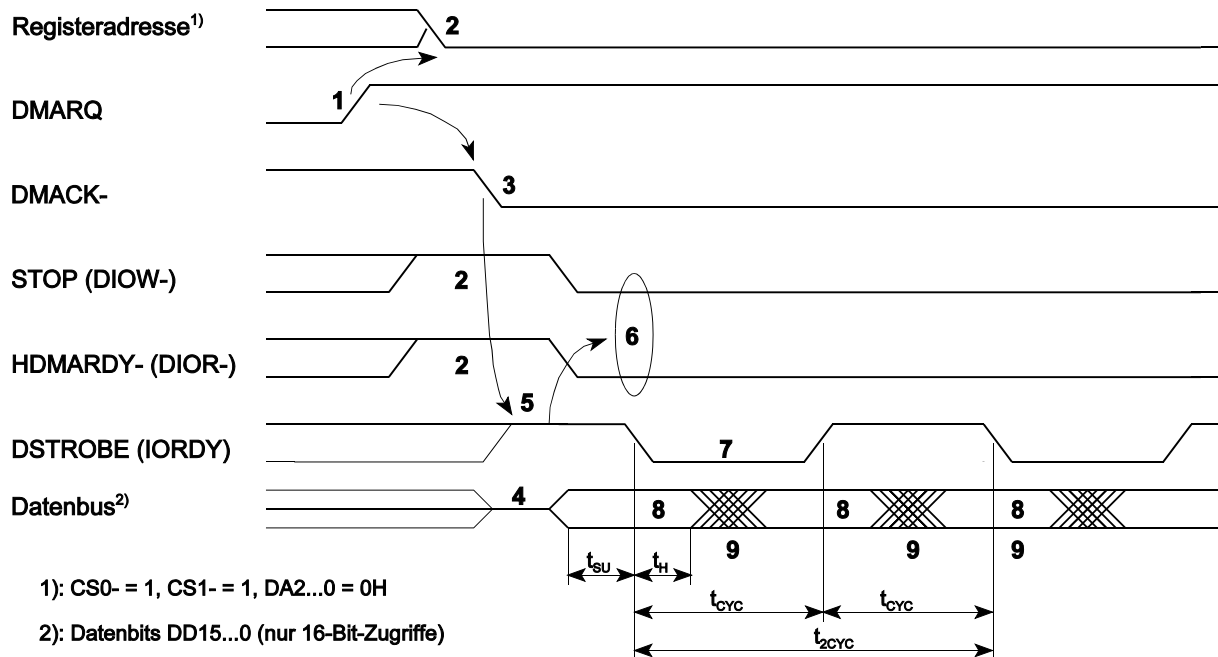
**Abb. 3.13** Beenden von DMA-Zugriffen. Nähere Erklärung im folgenden Text

- a) das Gerät signalisiert das Ende. 1 - während der Strobe-Impuls des letzten übertragenen Wortes noch aktiv ist, deaktiviert das Gerät DMARQ; 2 - nach Ende der Übertragung (= nach dem Deaktivieren des Strobe-Signals) deaktiviert der Host DMACK-; 3 - nach Ende der Übertragung darf der Host die Auswahlssignale (CS1-, CS0-) umschalten.
- b) der Host signalisiert das Ende. 4 - nach Ende der letzten Übertragung (= nach dem Deaktivieren des Strobe-Signals) deaktiviert der Host DMACK-; 5 - daraufhin deaktiviert das Gerät DMARQ; 6 - nach Ende der Übertragung darf der Host die Auswahlssignale (CS1-, CS0-) umschalten.

### 3.5.4 Datenzugriffe (3): Ultra DMA

Ultra-DMA-Zugriffe (Abb. 3.14 bis 3.21, Tabelle 3.10) beziehen sich auf das Datenregister. Die Zugriffsbreite beträgt 16 Bits. Aufeinanderfolgende Zugriffe betreffen aufeinanderfolgende Worte bzw. Bytes im jeweiligen Pufferbereich. Für jede Übertragungsrichtung gibt es ein Strobe-Signal, das die Datensignale begleitet (gleiche Signalflußrichtung). Beide Flanken des jeweiligen Strobe-Signals werden zur Datenübertragung ausgenutzt. Typischerweise werden mehrere Worte nacheinander übertragen (Ultra DMA Burst). Der jeweilige Empfänger kann über ein Übertragungssteuersignal veranlassen, daß der jeweilige Sender die Datenübertragung zeitweise aussetzt. Nach Abschluß der Übertragung wird ein CRC-Wort vom Host an das Gerät geschickt (Fehlerkontrolle).





1 - durch Aktivieren von DMARQ fordert das Gerät eine Ultra-DMA-Übertragung an; 2 - der Host deaktiviert die Auswahl- und Adreßsignale CS1-, CS0-, DA2...9, aktiviert STOP und deaktiviert HDMARDY-; 3 - der Host startet die Ultra-DMA-Zugriffe durch Aktivieren von DMACK-; 4- hierzu gibt er ggf. den Datenbus frei (spätester Zeitpunkt); 5 - nach dem Eintreffen von DMACK- aktiviert das Gerät DSTROBE; 6 - der Host deaktiviert STOP und aktiviert HDMARDY-. Hiermit zeigt er seine Bereitschaft zur Datenübertragung an. 7 - das Gerät beginnt mit der eigentlichen Datenübertragung (ein 16-Bit-Wort mit jeder DSTROBE-Flanke). 8 - gültige Daten auf Bus; 9 - Umschalten der Busbelegung.

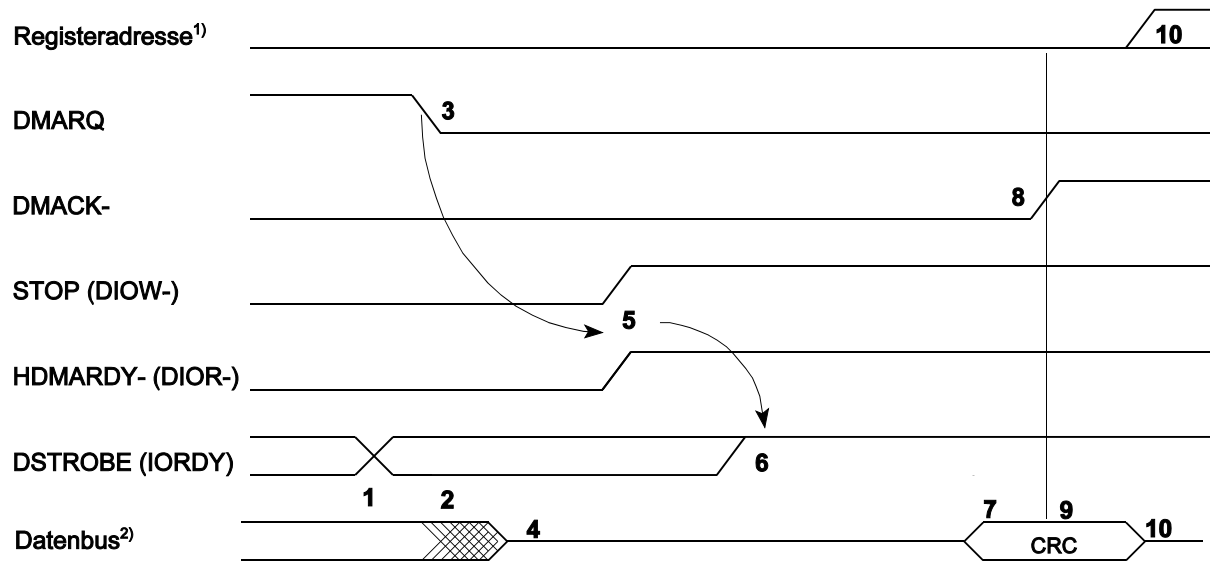
**Abb. 3.14** Ultra-DMA-Zugriffe (1). Lesen: Zugriffseinleitung und allgemeine Übertragungsabläufe

Kennwert	Bedeutung	Betriebsart (Ultra DMA Mode)						
		0	1	2	3	4	5	6
$t_{2CYC}$	Zykluszeit zwischen zwei gleichartigen Strobe-Flanken <sup>*)</sup>	240 (230)	160 (153)	120 (115)	90 (86)	60 (57)	40 (38)	30 (29)
$t_{CYC}$	minimale Strobe-Impulsdauer	112	73	54	39	25	16,8	13
-	max. Datenübertragungsfrequenz (MHz)	4,16	6,25	8,33	11,11	16,66	25	33,33
-	max. Datenrate (MBytes/s)	16,6	25	33,3	44,4	66,6	100	133,3
$t_{SU}$	Daten-Setup-Zeit vor Strobe-Flanke	70	48	31	20	6,7	4,8	4,0
$t_H$	Daten-Haltezeit nach Strobe-Flanke	6,2	6,2	6,2	6,2	6,2	4,8	4,0

<sup>\*)</sup>: oben: der jeweils typische Wert. Darunter (in Klammern) der jeweilige Minimalwert

**Tabelle 3.10** Zeitkennwerte zu Abb. 3.14 (alle Angaben in ns)



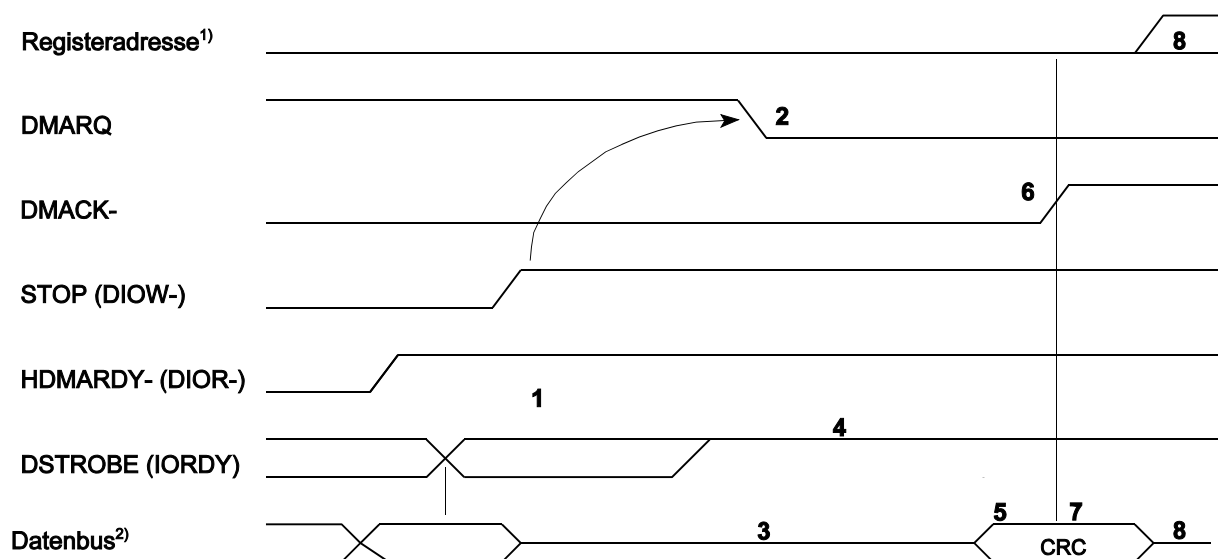


1): CS0- = 1, CS1- = 1, DA2...0 = 0H

2): Datenbits DD15...0 (nur 16-Bit-Zugriffe)

1 - die letzte Übertragung eines Datenwortes mit einer Strobe-Flanke; 2 - das Gerät sendet keine Strobe-Flanken mehr; 3 - das Gerät deaktiviert DMARQ; 4 - das Gerät gibt den Datenbus frei; 5 - der Host aktiviert STOP und deaktiviert HDMARDY-; 6 - das Gerät aktiviert ggf. DSTROBE (nur um es auf 1 zu bringen - keine Datenübertragung); 7 - der Host legt das berechnete CRC-Wort auf den Datenbus; 8 - der Host deaktiviert DMACK-; 9 - mit der Low-High-Flanke von DMACK- übernimmt das Gerät das CRC-Wort vom Datenbus; 10 - Ultra-DMA-Ablauf beendet. Der Datenbus ist freigegeben. Alle anderen Signale haben wieder ihre ursprüngliche Bedeutung und sind inaktiv.

**Abb. 3.16** Ultra-DMA-Zugriffe (3). Lesen: Gerät beendet den Übertragungsvorgang

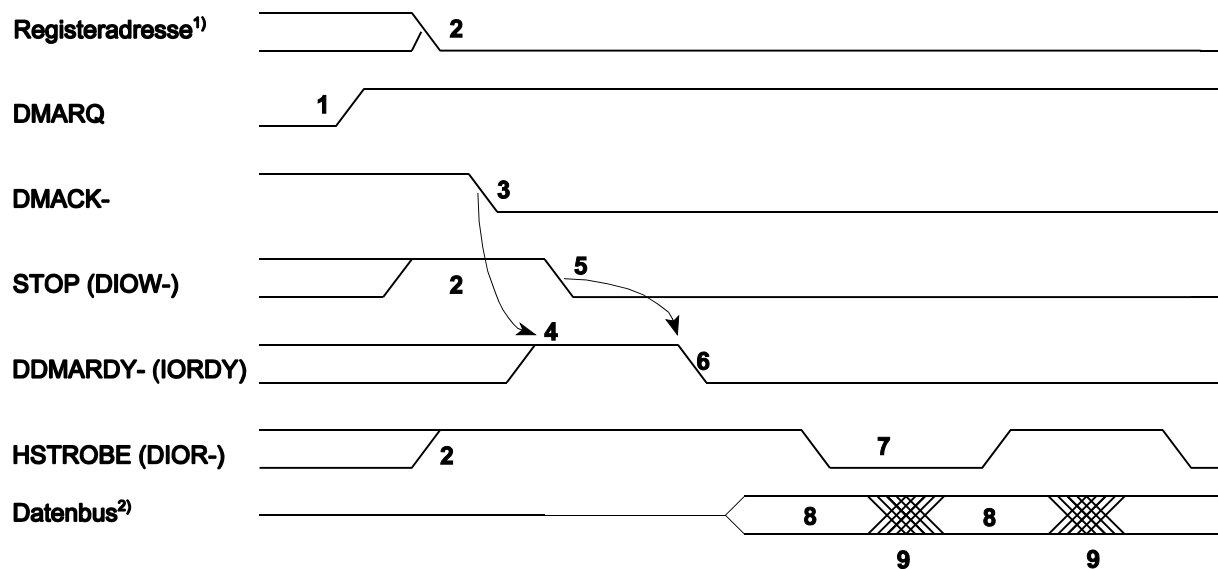


1): CS0- = 1, CS1- = 1, DA2...0 = 0H

2): Datenbits DD15...0 (nur 16-Bit-Zugriffe)

1 - der Host signalisiert zunächst eine Übertragungspause (vgl. Abb. 3.15): Deaktivieren von HDMARDY- => Entgegennahme der noch ankommenden Daten => Aktivieren von STOP. 2 - nach dem Eintreffen von STOP deaktiviert das Gerät DMARQ; 3 - das Gerät gibt den Datenbus frei; 4 - das Gerät aktiviert ggf. DSTROBE (nur um es auf 1 zu bringen - keine Datenübertragung); 5 - der Host legt das berechnete CRC-Wort auf den Datenbus; 6 - der Host deaktiviert DMACK-; 7 - mit der Low-High-Flanke von DMACK- übernimmt das Gerät das CRC-Wort vom Datenbus; 8 - Ultra-DMA-Ablauf beendet. Der Datenbus ist freigegeben. Alle anderen Signale haben wieder ihre ursprüngliche Bedeutung und sind inaktiv.

**Abb. 3.17** Ultra-DMA-Zugriffe (4). Lesen: Host beendet den Übertragungsvorgang

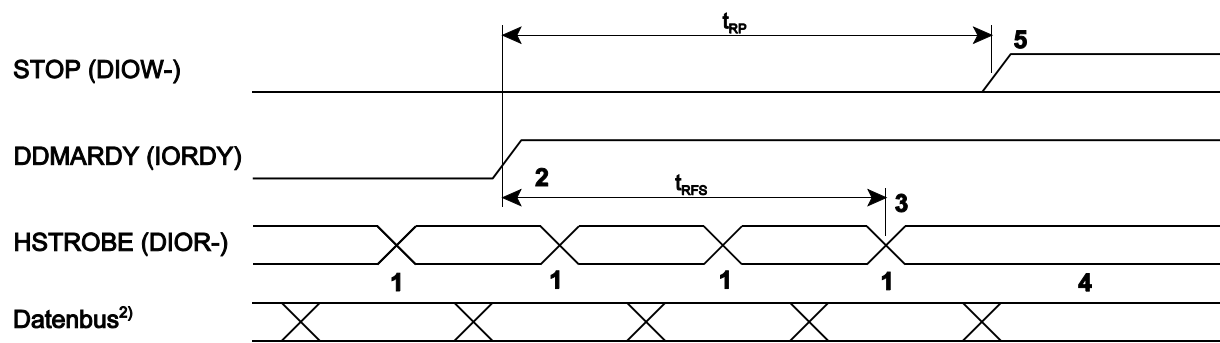


1): CS0- = 1, CS1- = 1, DA2...0 = 0H

2): Datenbits DD15...0 (nur 16-Bit-Zugriffe)

1 - durch Aktivieren von DMARQ fordert das Gerät eine Ultra-DMA-Übertragung an; 2 - der Host deaktiviert die Auswahl- und Adreßsignale CS1-, CS0-, DA2...9 und aktiviert STOP und HSTROBE; 3 - der Host startet die Ultra-DMA-Zugriffe durch Aktivieren von DMACK-; 4 - das Gerät deaktiviert DDMARDY-; 5 - der Host deaktiviert STOP; 6 - das Gerät aktiviert DDMARDY-. Hiermit zeigt es seine Bereitschaft zur Datenübertragung an. 7 - der Host beginnt mit der eigentlichen Datenübertragung (ein 16-Bit-Wort mit jeder DSTROBE-Flanke). 8 - gültige Daten auf Bus; 9 - Umschalten der Busbelegung.

**Abb. 3.18** Ultra-DMA-Zugriffe (5). Schreiben: Zugriffseinleitung und allgemeine Übertragungsabläufe



1): CS0- = 1, CS1- = 1, DA2...0 = 0H

2): Datenbits DD15...0 (nur 16-Bit-Zugriffe)

1 - Strobe-Flanken mit den zugehörigen gültigen Datenbelegungen (werden zum Gerät übertragen); 2 - Gerät deaktiviert DDMARDY-; 3 - spätestens nach Ablauf des Zeitkennwerts  $t_{RFS}$  muß der Host das Senden weiterer Daten einstellen ( $t_{RFS}$  liegt - je nach Betriebsart - zwischen 75 und 50 ns); 4 - Strobe in Ruhe, Datenbus in Ruhe (Übertragungspause). 5 - hier beendet das Gerät die Datenübertragung endgültig (durch Deaktivieren von DMARQ).

**Abb. 3.19** Ultra-DMA-Zugriffe (6). Schreiben: Gerät veranlaßt zeitweiliges Aussetzen der Datenübertragung (Übertragungspause)

#### *Übertragungspause seitens des Gerätes:*

Kommt das Gerät mit dem Übernehmen der Daten nicht nach, so kann es DDMARDY- deaktivieren, um dem Host eine Übertragungspause anzuzeigen. Das Gerät muß darauf eingestellt sein, nach dem Signalisieren der Übertragungspause noch bis zu 3 Datenworte entgegenzunehmen.

#### *Wiederaufnehmen der Datenübertragung:*

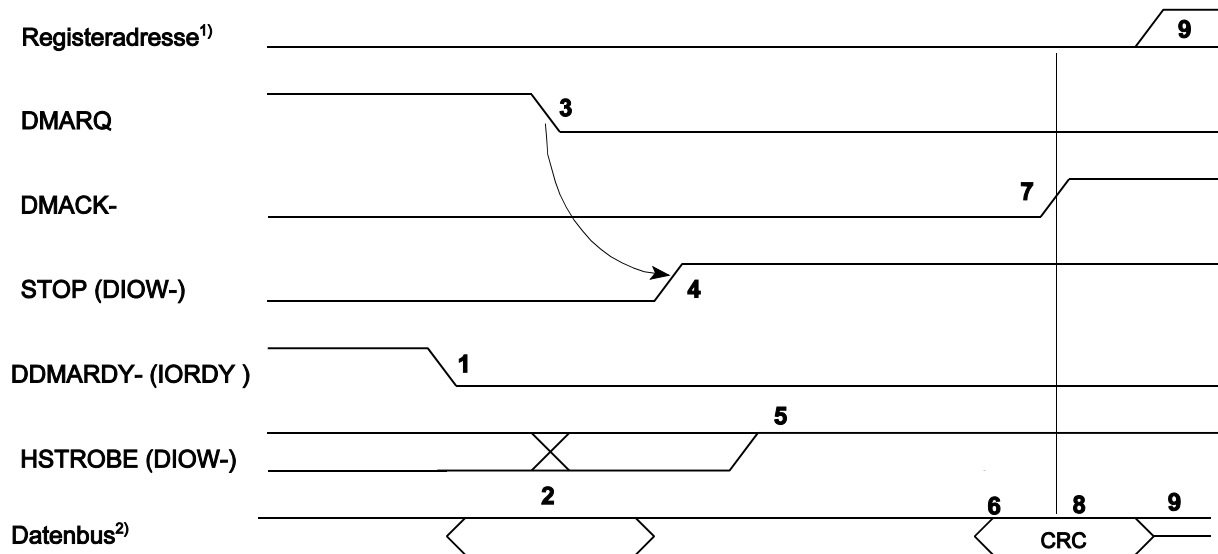
Das Gerät aktiviert DDMARDY-, woraufhin der Host mit dem Senden von Strobe-Flanken und der zugehörigen Datenworte wieder einsetzt.

#### *Beenden der Datenübertragung:*

Falls das Gerät die Datenübertragung ganz und gar beenden möchte (durch Deaktivieren von DMARQ), muß es nach dem Deaktivieren von DDMARDY- wenigstens den Zeitkennwert  $t_{RP}$  abwarten (je nach Betriebsart zwischen 160 und 85 ns).

#### *Vom Host eingeleitete Übertragungspausen:*

Kommt der Host von sich aus mit dem Liefern der Daten nicht nach, so setzt er das Senden von Strobe-Flanken entsprechend lange aus.

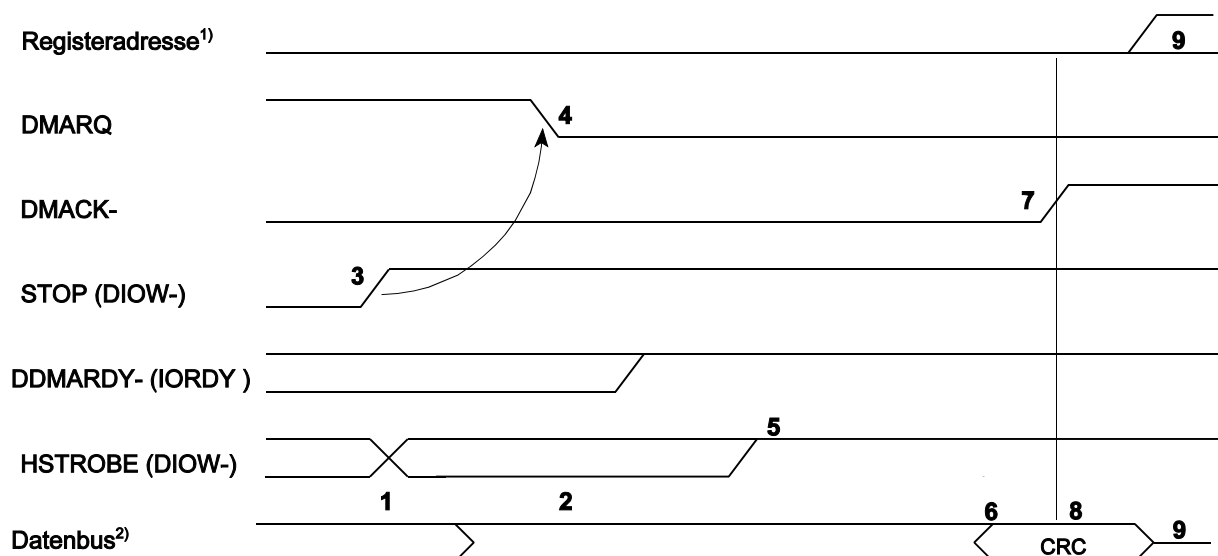


1): CS0- = 1, CS1- = 1, DA2...0 = 0H

2): Datenbits DD15...0 (nur 16-Bit-Zugriffe)

1 - das Gerät signalisiert zunächst eine Übertragungspause (das Gegenstück zum entsprechenden hostseitigen Ablauf; vgl. Abb. 3.15): Deaktivieren von DDMARDY- => Entgegennahme der noch ankommenden Daten. 2 - die letzte Datenübertragung; 3 - das Gerät deaktiviert DMARQ; 4 - der Host aktiviert STOP; 5 - der Host aktiviert ggf. HSTROBE (nur um es auf 1 zu bringen - keine Datenübertragung); 6 - der Host legt das berechnete CRC-Wort auf den Datenbus; 7 - der Host deaktiviert DMACK-; 8 - mit der Low-High-Flanke von DMACK- übernimmt das Gerät das CRC-Wort vom Datenbus; 9 - Ultra-DMA-Ablauf beendet. Der Datenbus ist freigegeben. Alle anderen Signale haben wieder ihre ursprüngliche Bedeutung und sind inaktiv.

**Abb. 3.20** Ultra-DMA-Zugriffe (7). Schreiben: Gerät beendet den Übertragungsvorgang



1): CS0- = 1, CS1- = 1, DA2...0 = 0H

2): Datenbits DD15...0 (nur 16-Bit-Zugriffe)

1 - die letzte Übertragung eines Datenwortes mit einer Strobe-Flanke; 2 - der Host sendet keine Strobe-Flanken mehr; 3 - der Host aktiviert STOP; 4 - das Gerät deaktiviert DMARQ; 5 - der Host aktiviert ggf. HSTROBE (nur um es auf 1 zu bringen - keine Datenübertragung); 6 - der Host legt das berechnete CRC-Wort auf den Datenbus; 7 - der Host deaktiviert DMACK-; 8 - mit der Low-High-Flanke von DMACK- übernimmt das Gerät das CRC-Wort vom Datenbus; 9 - Ultra-DMA-Ablauf beendet. Der Datenbus ist freigegeben. Alle anderen Signale haben wieder ihre ursprüngliche Bedeutung und sind inaktiv.

**Abb. 3.21** Ultra-DMA-Zugriffe (8). Schreiben: Host beendet den Übertragungsvorgang

#### *Die CRC-Fehlerkontrolle*

Sowohl Gerät als auch Host bilden während der Datenübertragung ein CRC-Wort von 16 Bits Länge. Am Ende eines jeden Ultra-DMA-Bursts sendet der Host sein CRC-Wort an das Gerät (vgl. die Abb. 3.16, 3.17, 3.20 und 3.21). Das Gerät vergleicht dieses CRC-Wort mit seinem eigenen. Bei Ungleichheit wird eine Fehlerbedingung gesetzt. Das Abfragen und Auswerten dieser Fehlerbedingung ist Sache der Software. Typische Reaktionen des Hosts im Fehlerfall:

- Wiederholen der Übertragung,
- bei Häufung von CRC-Fehlern: Zurückschalten auf eine langsamere Betriebsart.

## 3.6 Rücksetzabläufe

#### *Hardware-Rücksetzen (Hardware Reset)*

Auslösung: durch Zuschalten der Speisespannung oder durch Erregen des Interfacesignals RESET-. Zum Ablauf siehe Abb. 3.22 und Tabelle 3.11. Wirkung:

- in allen angeschlossenen Geräten wird ein Selbsttest ausgeführt. Anschließend wird der Anfangszustand eingestellt.
- Gerät 0 erkennt, ob Gerät 1 vorhanden ist (anhand des Signals DASP-) und merkt sich die An- oder Abwesenheit eines Gerätes 1,
- Gerät 0 registriert Selbsttestfehler des Gerätes 1 (anhand des Signals PDIAG-).

Nur beim Einschalt- oder Hardware-Rücksetzen speichert Gerät 0 die Gerätekonfiguration (Gerät 0 allein oder beide Geräte vorhanden).

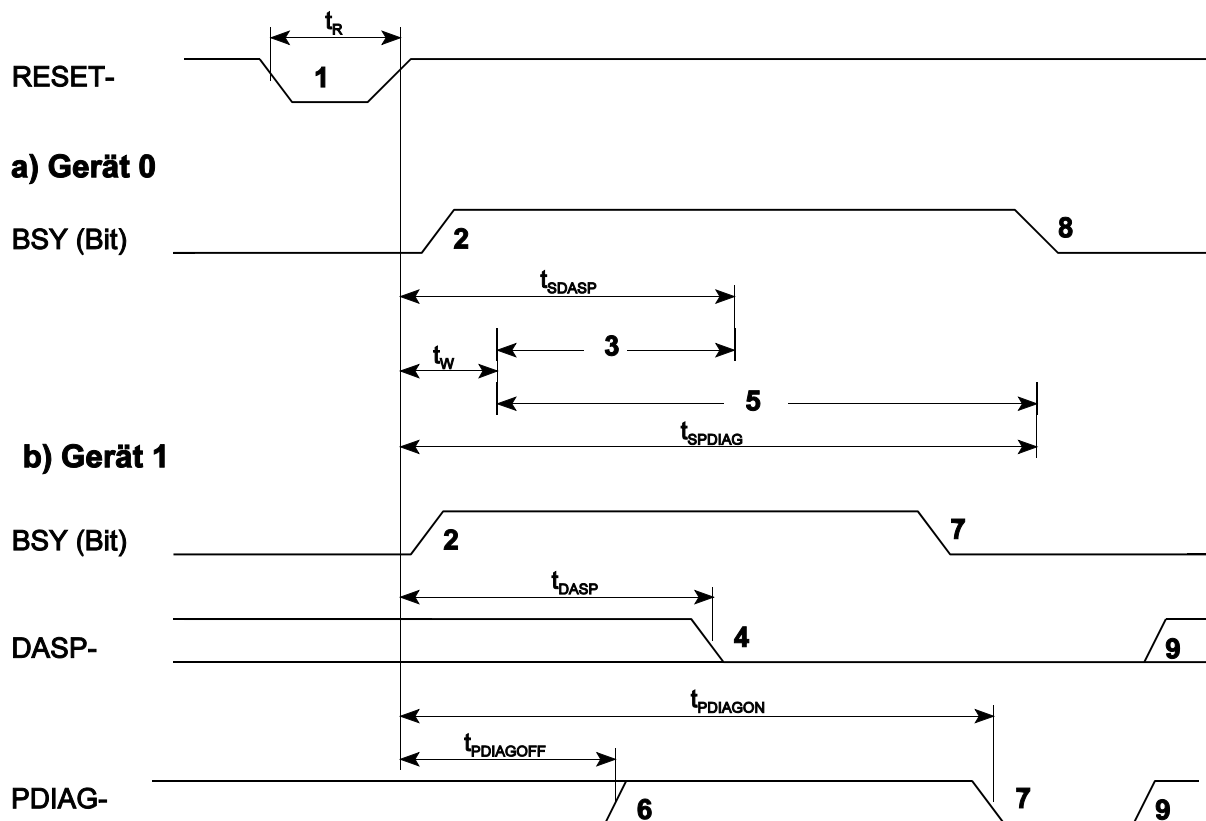
#### *Programmseitiges Rücksetzen (1): Software Reset*

Auslösung: durch Setzen des Bits SRST im Gerätesteuerregister. Die Zeitverhältnisse entsprechen grundsätzlich Abb. 3.22 und Tabelle 3.11, nur ist DASP- ohne Bedeutung, und es gibt keinen RESET-Impuls. Wirkung:

- in allen angeschlossenen Geräten wird ein Selbsttest ausgeführt. Anschließend wird jeweils der Anfangszustand eingestellt.
- ist Gerät 1 vorhanden, so registriert Gerät 0 dessen Selbsttestfehler (anhand des Signals PDIAG-).

#### *Programmseitiges Rücksetzen (2): Kommando "Gerät rücksetzen" (DEVICE RESET)*

Auslösen: durch Kommandoausführung. Wirkung: das ausgewählte Gerät beendet ggf. ein laufendes Kommando und stellt einen Anfangszustand her.



**Abb. 3.22** Das Hardware-Rücksetzen im Überblick. Nähere Erklärung im folgenden Text

Der Host sendet einen Rücksetzimpuls 1. Mit der fallenden Flanke dieses Impulses beginnt der eigentliche Rücksetzablauf:

- a) Gerät 0: 2 - für die Dauer des Rücksetzablaufs aktiviert es sein Besetztbit (BSY  $\Rightarrow$  1). Gerät 0 erkennt sich als solches anhand der Geräteauswahl (über Jumper oder Kabelauswahl). 3 - in diesem Zeitabschnitt beobachtet es das DASP-Signal. Wird dabei DASP- als aktiv vorgefunden, so weiß Gerät 0, daß Gerät 1 vorhanden ist. 5 - hat sich Gerät 1 als vorhanden herausgestellt, so beobachtet Gerät 0 in diesem Zeitabschnitt das PDIAG-Signal. 8 - Ausschalten des Besetztbits nach Ablauf des Selbsttests (BSY  $\Rightarrow$  0). Bei erkanntem Gerät 1 wird es dann ausgeschaltet, wenn beide Selbsttests abgelaufen sind (Ende des Selbsttests von Gerät 1 wird anhand des PDIAG-Signals erkannt).
- b) Gerät 1: 2 - für die Dauer des Rücksetzablaufs aktiviert es sein Besetztbit (BSY  $\Rightarrow$  1). Gerät 1 erkennt sich als solches anhand der Geräteauswahl (über Jumper oder Kabelauswahl). 4 - Gerät 1 aktiviert DASP-, um dem Gerät 0 sein Vorhandensein anzuzeigen. 6 - PDIAG- wird zunächst deaktiviert, um es Gerät 0 zu ermöglichen, zwischen Hängenbleiben und erfolgreichem Testdurchlauf zu unterscheiden. 7 - bei erfolgreichem Testdurchlauf wird das Besetztbit ausgeschaltet (BSY  $\Rightarrow$  0) und PDIAG- aktiviert. 9 - Ausschalten von DASP- und PDIAG- nach Empfang des ersten Kommandos oder spätestens 31 s nach Auslösung des Rücksetzens (je nachdem, was eher kommt).



Kennwert	Bezeichnung	minimal	maximal
$t_r$	Rücksetzimpulsdauer	25 $\mu$ s	
$t_w$	Warten bis zum Auswerten der Signale von Gerät 1	1 ms	
$t_{SDASP}$	Auswerteintervall für DASP-		450 ms
$t_{SPDIAG}$	Auswerteintervall für PDIAG-		31 s
$t_{DASP}$	Beginn der Aktivierung von DASP-		400 ms
$t_{PDIAGOFF}$	Deaktivierung von PDIAG-		1 ms
$t_{PDIAGON}$	Aktivierung von PDIAG-		30 s

**Tabelle 3.11** Zeitkennwerte des Hardware-Rücksetzens (Überblick)

#### *Zur Auswertung von DASP-:*

Gerät 0 wartet zunächst  $t_w = 1$  ms ab. Dann wird DASP- abgefragt. Ist DASP- innerhalb von  $t_{SDASP} = 450$  ms nicht aktiv geworden, wird angenommen, daß es kein Gerät 1 gibt (dann wird auch kein PDIAG- ausgewertet).

#### *Zur Auswertung von PDIAG-:*

Bei erkanntem DASP- wird PDIAG- abgefragt. Wird PDIAG- sofort nach dem Erkennen von DASP- als aktiv vorgefunden, so nimmt Gerät 0 einen Fehler in Gerät 1 an (Hängenbleiben im Selbsttest - dem Gerät 1 ist es offensichtlich nicht gelungen, PDIAG- zunächst zu deaktivieren). Sinngemäß wird ein Fehler in Gerät 1 angenommen, wenn PDIAG- nach spätestens 31 s nicht als aktiv erkannt wird.

#### *Hinweise:*

1. Die Geräte dürfen keine Rücksetzimpulse auswerten, die kürzer sind als 20  $\mu$ s.
2. Daß *gar kein Gerät angeschlossen ist*, erkennt der Host daran, daß er das Besetztbit (Bitposition 7 im Zustandsregister) stets als Null (= gelöscht) vorfindet (vgl. die Beschaltung in Abb. 3.6d).
3. Gerät 0 liefert (anhand von PDIAG-) nur eine pauschale Fehleraussage zu Gerät 1 (ob es o.k. ist oder nicht). Um den Fehlerzustand des Gerätes 1 genauer zu bestimmen, muß die Software dessen Fehlerregister abfragen.
4. Das Deaktivieren von PDIAG- mit dem ersten Kommando ist von ATA-3 an standardisiert. Beim Anschließen noch älterer Geräte über Kabel mit 40 Leitungen kann es ggf. zu Schwierigkeiten kommen (weil ein aktives PDIAG- (Low-Pegel) dem Host ein Kabel mit 80 Leitungen vortäuscht).
5. Nach dem Rücksetzen hinterlassen die Geräte im Registersatz eine typische Kennung, die *Signatur* (Kapitel 2).

## 3.7 Registeradressierung

Die Register des ATA-Registersatzes werden über die CS- und DA-Signale adressiert. Es gibt insgesamt 9 gültige Registeradressen, über die insgesamt 12 verschiedene Register zugänglich sind (manche Adressen sind beim Lesen und Schreiben jeweils anderen Registern zugeordnet). Einige Register sind fest belegt, einige haben eine Belegung, die von der Art des Gerätes abhängt (Abb. 3.23 bis 3.25; Näheres in Kapitel 2).

*Grundlagen der Registeradressierung*

Der Registersatz ist in zwei Blöcke eingeteilt:

- Kommandoregisterblock. 8 Registeradressen, 10 Register. CS1- = 1, CS0- = 0 (Auswahl über CS0-).
- Steuerregisterblock. 1 Registeradresse, 2 zugängliche Register. CS1- = 0, CS0- = 1 (Auswahl über CS1-). Adreßbelegung: DA2...0 = 6.

Auf ungültige Registeradressen dürfen die Geräte nicht reagieren (Schreibversuche werden ignoriert, bei Leseversuchen bleiben die Datenleitungen hochohmig. Typischerweise wird eine Belegung FFH zurückgelesen.

*Geräteauswahl:* über das DEV-Bit im Geräteauswahlregister. Erst das Gerät auswählen, dann auf die anderen Register zugreifen.

- 0: Gerät 0,
- 1: Gerät 1.

Wann die Geräteauswahl *nicht* wirkt:

- beim Hardware-Rücksetzen,
- beim Software-Rücksetzen (durch Setzen des SRST-Bits im Geräteststeuerregister),
- beim Kommando "Ausführen Geräteprüfung" (EXECUTE DRIVE DIAGNOSTICS).

Diese Funktionen betreffen beide Geräte gleichzeitig. Gerät 0 verwaltet die pauschale Fehlermeldung von Gerät 1 auf Grundlage der Signalisierung über DASP- und PDIAG-.

*Zweifachzugriffe (Host + Gerät)*

Der Registersatz ist kein Dual-Port-RAM; auf die meisten Register kann jeweils nur der Host oder nur das Gerät zugreifen. Wer zugreifen darf, hängt vom Betriebszustand des Gerätes ab:

- BSY = 0: Prozessor hat Zugriff auf den Registersatz (Gerät in Ruhe).
- BSY = 1: Gerät hat Zugriff auf den Registersatz (Gerät besetzt = mit Kommandoausführung beschäftigt).

Folgende Register sind hingegen *stets* zugänglich:

- die beiden Zustandsregister (um das BSY-Bit abfragen zu können),
- das Geräteststeuerregister (um ggf. ein Software-Rücksetzen auslösen zu können).

Registerblock	CS		Registeradresse DA				Register	
	1-	0-	2	1	0	Hex	Lesezugriff	Schreibzugriff
Kommando- registerblock	1	0	0	0	0	0	Datenregister	
	1	0	0	0	1	1	Fehlerregister	Funktionsmerkmale
	1	0	0	1	0	2	Sektoranzahl	
	1	0	0	1	1	3	Sektornummer	
	1	0	1	0	0	4	Zylinder-Nr. niedrig (7...0)	
	1	0	1	0	1	5	Zylinder-Nr. hoch (15...8)	
	1	0	1	1	0	6	Geräte- und Kopfauswahl	
	1	0	1	1	1	7	Zustandsregister	Kommandoregister
Steuer- registerblock	0	1	1	1	0	6	Zustandsregister 2	Gerätesteuerregister

**Abb. 3.23** Der ATA-Registersatz in Geräten mit CHS-Adressierung

Registerblock	CS		Registeradresse DA				Register	
	1-	0-	2	1	0	Hex	Lesezugriff	Schreibzugriff
Kommando- registerblock	1	0	0	0	0	0	Datenregister	
	1	0	0	0	1	1	Fehlerregister	Funktionsmerkmale
	1	0	0	1	0	2	Sektoranzahl	
	1	0	0	1	1	3	LBA niedrig (7...0)	
	1	0	1	0	0	4	LBA mittel (15...8)	
	1	0	1	0	1	5	LBA hoch (23...16)	
	1	0	1	1	0	6	Geräteauswahl/LBA (27...24)	
	1	0	1	1	1	7	Zustandsregister	Kommandoregister
Steuer- registerblock	0	1	1	1	0	6	Zustandsregister 2	Gerätesteuerregister

**Abb. 3.24** Der Registersatz in Geräten mit LBA-Adressierung

Registerblock	CS		Registeradresse DA				Register	
	1-	0-	2	1	0	Hex	Lesezugriff	Schreibzugriff
Kommando- registerblock	1	0	0	0	0	0	Datenregister	
	1	0	0	0	1	1	Fehlerregister	Funktionsmerkmale
	1	0	0	1	0	2	Unterbrechungsursache	
	1	0	0	1	1	3		
	1	0	1	0	0	4	Byteanzahl niedrig	
	1	0	1	0	1	5	Byteanzahl hoch	
	1	0	1	1	0	6	Geräteauswahl	
	1	0	1	1	1	7	Zustandsregister	Kommandoregister
Steuer- registerblock	0	1	1	1	0	6	Zustandsregister 2	Gerätesteuerregister

**Abb. 3.25** Der Registersatz (3). In ATAPI-Geräten

## 3.8 Kabelerkennung

Um die jeweils zweckmäßige (= schnellstmögliche, aber trotzdem zuverlässige) Betriebsart automatisch einstellen zu können, muß die Software wissen, über welche Art von Kabel das Gerät angeschlossen ist.

### *Erkennung seitens des Hosts*

Das Signal CBLID- wird abgefragt. Beim Kabel mit 80 Leitungen ist es im hostseitigen Steckverbinder fest mit Masse verbunden (wird also ständig eine 0 gelesen, so handelt es sich wahrscheinlich um ein Kabel mit 80 Leitungen).

### *Erkennung seitens des Gerätes*

Das muß vom Motherboard schaltungstechnisch unterstützt werden, und zwar durch einen gegen Masse geschalteten Kondensator am CBLID-Anschluß. Das Gerät gibt Prüfpulse auf die PDIAG-Leitung. Handelt es sich um ein Kabel mit 80 Leitungen, so besteht keine Verbindung zum CBLID-Anschluß auf dem Motherboard; der Kondensator ist also wirkungslos. Handelt es sich hingegen um ein Kabel mit 40 Leitungen, so wirkt der Kondensator so, daß die Prüfpulse mit einer gewissen Zeitverzögerung inaktiv werden. Dieses Längerwerden des Prüfpulses wird vom Gerät erkannt.

Im Host gibt es zwei alternative Beschaltungen des CBLID-Anschlusses:

- das Signal ist an einen programmseitig abfragbaren Eingang geführt (vgl. Abb. 3.6e). Dann kann der Host die Kabelart erkennen.
- das Signal ist gar nicht an einen Schaltkreis angeschlossen. Dann muß es mit einem Kondensator gegen Masse beschaltet sein (Richtwert: 47 nF), so daß das Gerät die Kabelart erkennen kann. Diesen Trick hat man sich einfallen lassen, weil PDIAG- vom Host an sich nicht ausgewertet wird. Herkömmliche Entwürfe (vor ATA/ATAPI-4) hatten deshalb dieses Signal gar nicht berücksichtigt. Beispielsweise fehlt beim NLX-Formfaktor der entsprechende Signalweg zwischen Anschlußplatine (Riser Card) und Motherboard, so daß es gar keine Gelegenheit gibt, das CBLID-Signal abzufragen.

## 3.9 Steckverbinder und Kabel

### *Formfaktoren, Kabel, Steckverbinder*

Der Kabelanschluß richtet sich nach dem Formfaktor des jeweiligen Gerätes:

- 3½" und 5¼": Kabel mit 40 oder 80 Leitungen, 40poliger Steckverbinder (Abb. 3.26b). Anschlußbelegung in Abb. 3.4.
- 2,5": Kabel mit 44 Leitungen, 44- oder 50poliger Steckverbinder (Abb. 3.26c). Anschlußbelegung in Abb. 3.5.
- PCMCIA (1,8"): 68poliger Steckverbinder.

### *Der Kabelanschluß am Host*

Es sind typischerweise 40polige Steckverbinder vorgesehen, die denen der Geräte entsprechen.

### *Anschlußabstände:*

- 40poliger Steckverbinder: 2,54 mm (0,1"),
- 44- bzw. 50poliger Steckverbinder: 2 mm.

### *Kabel mit 40 Leitungen*

Diese Kabel eignen sich für alle herkömmlichen Betriebsarten (PIO, DMA) sowie für Ultra DMA bis Mode 2 (Ultra ATA/33). Es handelt sich um eine 1:1-Verbindung aller 40 Leitungen. Kabelmaterial und Steckverbinder sind handelsüblich. Das Kabel darf weder zu lang noch zu kurz sein (Abb. 3.27).

### *Kabel mit 80 Leitungen*

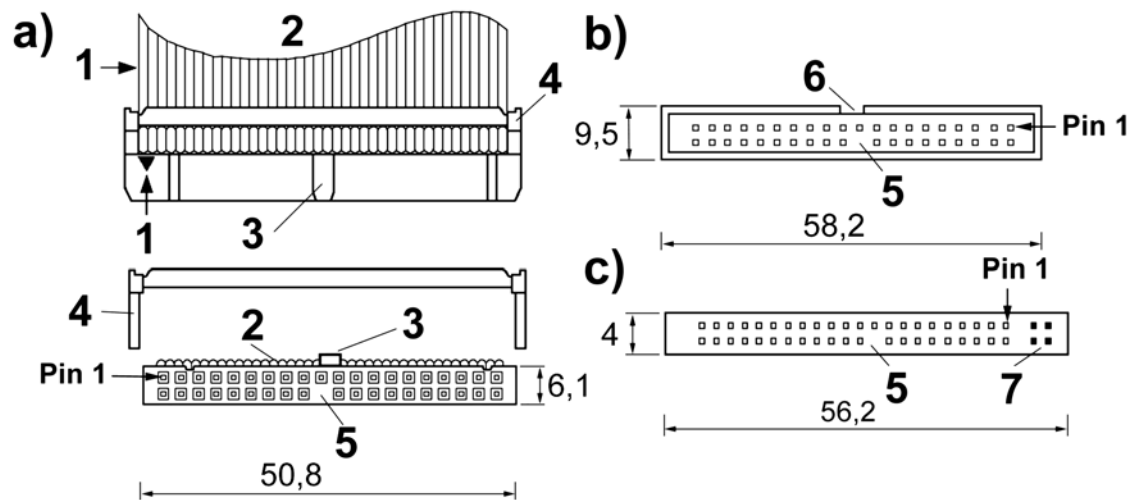
Ein solches Kabel ist für alle Ultra-DMA-Betriebsarten von Mode 3 an aufwärts (Ultra DMA/66/100/133) erforderlich (Abb. 3.28 und 3.29). In diesen Kabeln ist jeder Signalleitung eine zusätzliche Masseleitung zugeordnet. Die Steckverbinder haben die herkömmlichen 40 Anschlüsse, sind aber Sonderausführungen. Jeder der drei Steckverbinder hat seine Eigenheiten, und zwar in Hinsicht auf die Signale CBLID/PDIAG und CSEL (Abb. 3.29). Die 40 zusätzlichen Masseleitungen werden im Innern des Steckverbinders über Kontaktschienen mit den herkömmlicherweise vorgesehenen Masseanschlüssen verbunden (Abb. 3.30).

### *Hinweise:*

1. Es gibt keine besondere Kennzeichnung, an welches Kabelende der Host anzuschließen ist. Im Zweifelsfall: die beiden näher beieinander angeordneten Steckverbinder sind die Geräteanschlüsse.
2. Wenn nur ein einziges Gerät anzuschließen ist: das Gerät gehört ans andere Ende des Kabels. Es ist gleichgültig, welches Kabelende am Host und welches am Gerät angesteckt wird.

### *Kabellänge:*

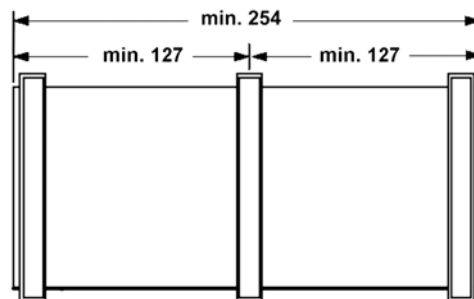
- Festplattenanschluß: höchstens 46 cm (18"). Manche Hersteller empfehlen nicht mehr als 30 cm, wenn – bezogen auf diesen Kabeltyp – "schnelle" Betriebsarten genutzt werden sollen (PIO Mode 4, Multiwort-DMA Mode 2, Ultra-DMA Mode 2 (Ultra ATA/33)). Im Verdachtsfall ausprobieren.
- ein Kabel, an das nur ATAPI-Geräte angeschlossen werden, darf typischerweise länger sein. Mehr als 50...60 cm sind aber riskant (im Handel werden Kabel angeboten, die über 1 m lang sind...).



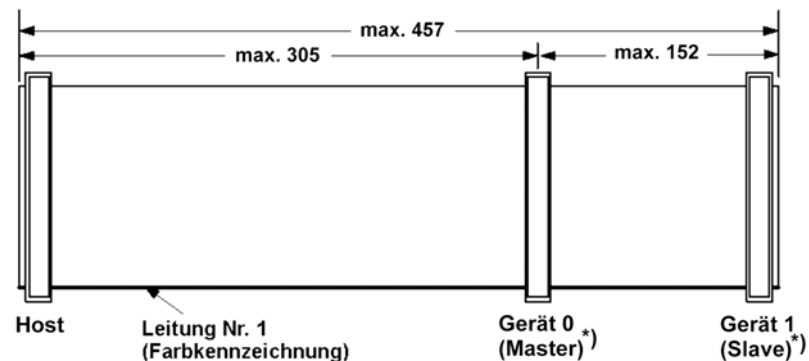
a) Flachbandkabel mit Steckverbinder; b) Gerätesteckverbinder, 40polig; c) Gerätesteckverbinder, 50polig. 1 - Leitung Nr. 1 (farblich hervorgehoben); 2 - Flachbandkabel; 3 - Nase (Verdrehsicherung); 4 - Zugentlastungsbügel; 5 - fehlender Anschluß Nr. 20 (Verdrehsicherung); 6 - Kerbe (Verdrehsicherung; hier greift Nase 3 ein); 7 - Konfigurationsanschlüsse (Geräteauswahl). Die Anschlüsse mit ungeraden Nummern (1, 3 usw.) liegen in der einen Reihe, die Anschlüsse mit geraden Nummern (2, 4 usw.) in der anderen. Außenabmessungen in mm (gerundet, nur zur Orientierung).

**Abb. 3.26** ATA-Steckverbinder

**a) minimale Längen**

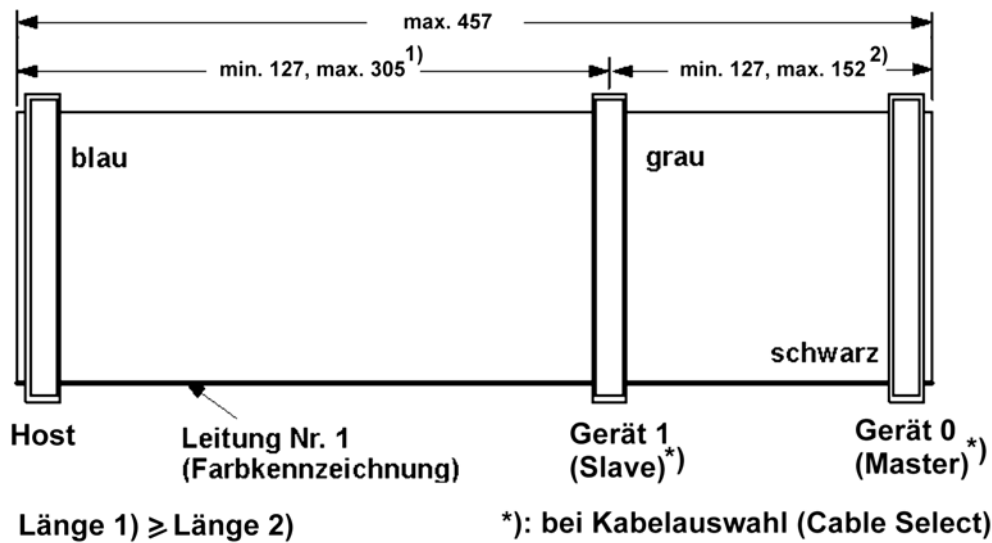


**b) maximale Längen**



\*) bei Kabelauswahl (Cable Select)

**Abb. 3.27** Kabel mit 40 Leitungen (1). a) minimale, b) maximale Abmessungen

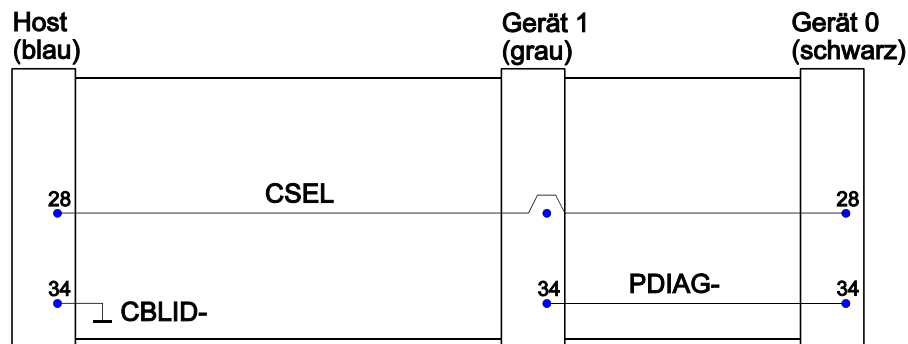


1 - Leitung Nr. 1 ist farblich hervorgehoben; 2 - dieser Steckverbinder (grau) ist auf der anderen Kabelseite angeordnet; 3 - der weiße Pfeil deutet die Lage der Nase dieses Steckverbinders an; 4 - Steckverbinder am Ende des Kabels (schwarz). Der schwarze Pfeil zeigt auf dessen Nase.

**Abb. 3.28** Kabel mit 80 Leitungen (1). Abmessungen

*Hinweise:*

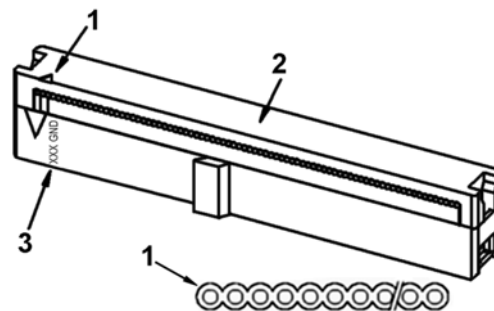
1. Die meisten angebotenen Kabel haben die maximale Länge (etwa 460 mm). Selbstkonfektionieren ist praktisch ausgeschlossen.
2. Die Farbangaben betreffen die eigentlichen Steckverbinder (= die Kunststoff-Umhüllungen der Kontakte). Die Klemm- und Zugentlastungsbügel sind gelegentlich alle schwarz.
3. Nicht alle Kabelkonfektionierer halten sich an das Farbschema.



**Abb. 3.29** Kabel mit 80 Leitungen (2). Besonderheiten des Aufbaus. Nähere Erklärung im folgenden Text

*Erklärung:*

- Anschluß 28 = Cable Select (CSEL). Ist im Steckverbinder des Gerätes 1 nicht angeschlossen. Siehe weiterhin Abb. 3.34.
- Anschluß 34 ist im hostseitigen Steckverbinder mit Masse verbunden. Hieran kann der Host erkennen, daß ein Kabel mit 80 Leitungen installiert ist (CBLID = Cable Assembly Identification). Vgl. Abschnitt 3.8.
- Zwischen den beiden geräteseitigen Steckverbindern sind die Anschlüsse 34 miteinander verbunden. Über das Signal PDIAG (Passed Diagnostics) zeigt das Gerät 1 dem Gerät 0 an, daß es seinen Selbsttest erfolgreich durchlaufen hat. (Das ist ein Ablauf, der den Host gar nichts angeht. Vgl. Abschnitt 3.6.)



**Abb. 3.30** Steckverbinder an einem Kabel mit 80 Leitungen. Oben: Ansicht eines Steckverbinders; darunter: Kabelquerschnitt. 1 - Anschluß (Pin) bzw. Ader Nr. 1; 2 - Klemmbügel; 3 - Beschriftung (XXX entweder "ODD" oder "EVEN")

Das Kabel hat 80 Adern, die ihrerseits von 1 an durchnummeriert sind. Das Belegungsschema: herkömmliches Signal - zusätzliche Masse - herkömmliches Signal - zusätzliche Masse usw. Im Standard hat man die Wahl gelassen, das Kabel von Ader 1 an nach diesem Schema zu belegen oder genau umgekehrt, also zusätzliche Masse - herkömmliches Signal - zusätzliche Masse - herkömmliches Signal - usw. Dementsprechend gibt es zwei Ausführungen der Steckverbinder:

- Beschriftung ODD: die zusätzlichen Masseverbindungen belegen alle Adern mit ungeraden Nummern (1, 3 usw.).
- Beschriftung EVEN: die zusätzlichen Masseverbindungen belegen alle Adern mit geraden Nummern (2, 4 usw.).

Wichtig: alle Steckverbinder eines Kabels müssen vom selben Typ sein (entweder ODD oder EVEN). Diese Forderung ist typischerweise nur für die Kabelkonfektionierung von Bedeutung (oft fehlt die ODD/EVEN-Beschriftung).

*Absicherung gegen Falsch-Stecken (Verdrehsicherung)*

Es gibt zwei Vorkehrungen (vgl. Abb. 3.26):

1. Kontaktposition 20: diese ist als Sperre (Key) vorgesehen. Im Stecker am Kabel fehlt die Bohrung, im Stecker des Geräts der Kontaktstift.
2. Der Stecker am Kabel trägt eine Kunststoff-Nase, die in eine Kerbe am Steckverbinder des Gerätes paßt. Nase und Kerbe befinden sich oberhalb der Reihe mit den ungeraden Kontaktnummern.

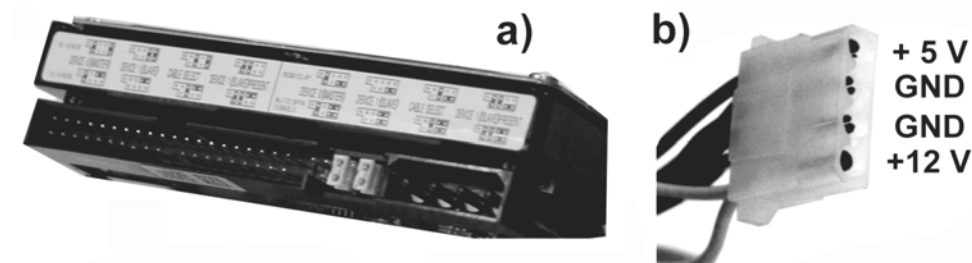


**Achtung:** Nicht alle Steckverbinder haben diese Vorkehrungen. Wenn sie sowohl am Kabel als auch am Gerät bzw. am Host fehlen, werden Fehler beim Stecken nicht verhindert. Deshalb stets aufpassen. Die im Kabel hervorgehobene Leitung 1 beachten. Die betreffende Kontaktposition ist auf den Leiterplatten zumeist gekennzeichnet. Weitere Anhaltspunkte ergeben sich aus den typischen Anordnungen der Steckverbinder am Gerät.

*Sollte es nicht passen* (neueres Kabel, aber ältere Geräte (oder Wechselrahmen)): nicht am Gerät, sondern am Kabel ändern (Kontaktposition 20 aufbohren, Nase abfeilen).

### 3.10 Stromversorgungsanschlüsse

Der Geräteanschluß hat 4 Kontakte (Abb. 3.31, Tabelle 3.12). Die Stromversorgungskabel sind typischerweise fest mit dem Netzteil verbunden.



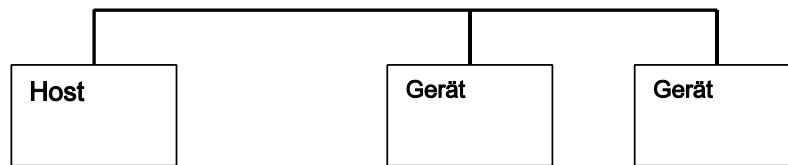
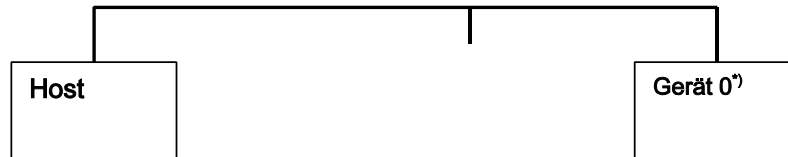
**Abb. 3.31** Der ATA-Stromversorgungsanschluß. a) Anschluß am Gerät; b) Gerätestecker. Abmessungen des Gerätesteckers: ca. 22 mm breit, ca. 6,4 mm dick. Anschlußabstand: 5,08 mm (0,2")

Anschluß	Belegung	Kabelfarbe
1	+ 12 V	gelb
2	Masse (Rückleitung für + 12 V)	schwarz
3	Masse (Rückleitung für + 5 V)	schwarz
4	+ 5 V	rot

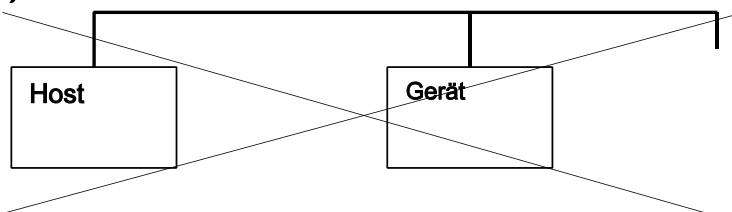
**Tabelle 3.12** Die Belegung des ATA-Stromversorgungsanschlusses

### 3.11 Geräte anschließen

Ein Ende des Kabels wird am Host angeschlossen. Der Geräteanschluß richtet sich nach der Anzahl der Geräte, nach der Art des Kabels und nach dem Prinzip der Geräteadrezuordnung (Abb. 3.32 bis 3.34).

**a) richtig: zwei Geräte am Kabel****b) richtig: ein Gerät am Kabel**

\*): vorzugsweise

**c) falsch****Abb. 3.32** Grundlagen des Geräteanschlusses. Erklärung im folgenden Text

- Anschluß zweier Geräte. Bei direkter Geräteadrezuordnung (über Jumper) ist die Anschlußreihenfolge an sich gleichgültig, bei Zuordnung über Kabelauswahl (Cable Select) kommt es auf das Kabel an (Abb. 3.33, 3.34).
- Ein einzelnes Gerät ist stets am anderen Ende des Kabels anzuschließen. Adrezuordnung: am besten als Gerät 0 (Master-Only-Konfiguration). Konfigurationen mit Gerät 1 werden nicht von allen Hosts unterstützt (und auch nicht von älteren Geräten gemäß ATA-1 oder ATA-2).
- So nicht anschließen – das unabgeschlossene Kabelende bewirkt Störungen, die den Betrieb des Interfaces beeinträchtigen können.

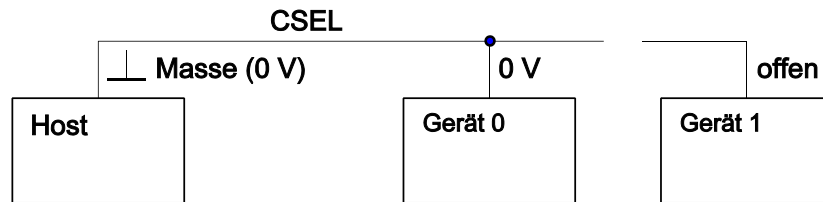
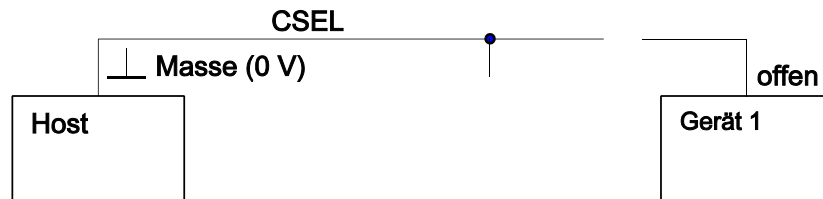
*Empfehlungen:*

- das jeweils schnellere Gerät am Kabelende anschließen (Anregung zum Experimentieren beim Verdacht auf unzuverlässige Übertragung/übermäßige Störungen),
- sind ein ATA- und ein ATAPI-Gerät an dasselbe Kabel anzuschließen (z. B. Festplatte + CD/DVD), das ATA-Gerät als Gerät 0 und das ATAPI-Gerät als Gerät 1 betreiben.

*Geräteadrezuordnung über Kabelauswahl (Cable Select)*

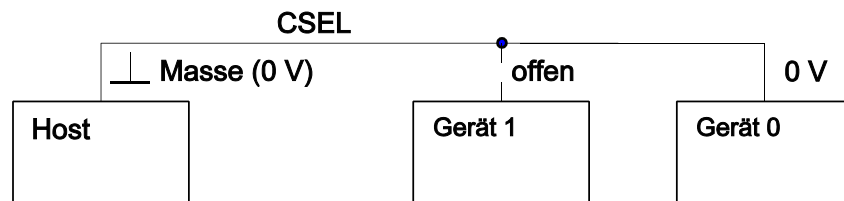
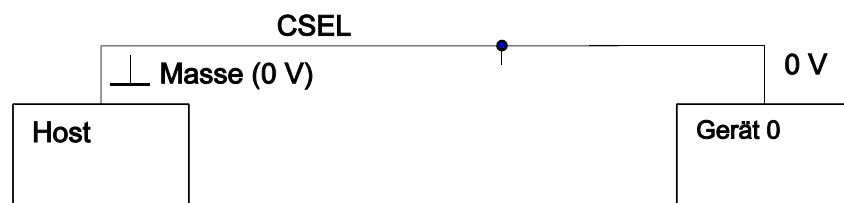
Auf Kabelauswahl eingestellte Geräte werden das an ihrem Steckverbinder anliegende Interfacesignal CSEL (Cable Select) aus:

- Cable Select = 0 (Masseverbindung): Gerät wird zum Gerät 0 (Master).
- Cable Select nicht angeschlossen (keine Masseverbindung): Gerät wird zum Gerät 1 (Slave).

**a) zwei Geräte am Kabel****b) ein Gerät am Kabel****Abb. 3.33** Geräteanschluß mit Kabelauswahl über ein Kabel mit 40 Leitungen

Solche Kabel werden typischerweise mit handelsüblichen IDC-Steckverbindern konfektioniert. Deshalb haben gewöhnliche Kabel mit 40 Leitungen eine durchgehende Cable-Select-Leitung. Sie sind somit für diese Art der Geräteauswahl unbrauchbar. Die einzige Möglichkeit, so ein Kabel auf einfache Weise passend herzurichten, besteht darin, die Cable-Select-Leitung (= Leitung Nr. 28) vor dem Steckverbinder am Kabelende durchzutrennen (spitzes Messer, Schraubenzieher). Daraus ergibt sich zwangsläufig die gezeigte Adreßzuordnung. Sie hat aber gelegentlich Nachteile:

- Gerät 0 befindet sich stets in der Mitte. Gerät 0 ist aber oft das schnellere Gerät. Somit ist diese Anschlußposition nicht immer die beste.
- wird nur ein Gerät angeschlossen (notwendigerweise außen; vgl. Abb. 3.32b), so wird es stets zum Gerät 1. Es ergibt sich also eine Slave-Only-Konfiguration, die nicht immer unterstützt wird.

**a) zwei Geräte am Kabel****b) ein Gerät am Kabel****Abb. 3.34** Geräteanschluß mit Kabelauswahl über ein Kabel mit 80 Leitungen

Die Steckverbinder sind von Grund auf für diesen Einsatzfall entwickelt worden. Dabei hat man es so eingerichtet, daß sich jeweils zweckmäßige Konfigurationen ergeben:

- am mittleren Steckverbinder ist der Cable-Select-Kontakt nicht mit der Interfaceleitung verbunden. Das angeschlossene Gerät wird somit zum Gerät 1.
- ein einzeln (also außen) angeschlossenes Gerät wird automatisch zum Gerät 0; es ergibt sich also von selbst eine Master-Only-Konfiguration.

*Praxistips:*

1. Cable Select ist nur dann ungünstig, wenn es dazu zwingt, die Geräte in unzuweckmäßiger Reihenfolge einzubauen. Ansonsten hat es den Vorteil, daß man alle Geräte einheitlich einstellen kann. Das ist u. a. wichtig beim Austauschen von Geräten (Reparatur/Upgrade) und beim Einsatz von Wechselrahmen (jedes Gerät kann ohne weiteres in jeden Rahmen geschoben werden).
2. Kabel mit 80 Leitungen sind lediglich teurer, schaden aber sonst nicht. Man kann sie also – um Cable Select zu unterstützen – auch in Zusammenhang mit älterer oder langsamerer Hardware einsetzen.

*Aufnahme der Betriebsart Ultra-DMA/66/100/133*

Hierauf muß alles eingerichtet sein:

- das Motherboard,
- das Gerät,
- das Kabel,
- die Systemsoftware.

Motherboard und Gerät müssen wissen, was sie können. Welche Betriebsarten unterstützt werden, ist softwareseitig abfragbar. Sowohl das Motherboard als auch das Gerät können erkennen, ob ein 80adriges Kabel angeschlossen ist oder nicht (vgl. Abschnitt 3.8).

*Zwei verschiedenartige Geräte an einem Interface*

Beispiel: das eine Gerät unterstützt Ultra DMA/33, das andere Ultra DMA/100. Dann wird herkömmlicherweise das gesamte Interface gemäß Ultra DMA/33 betrieben (das langsamere Gerät bestimmt die Betriebsweise). Das macht man aber nur, um zu verhindern, daß die schnelleren Signalspiele die Hardware des langsameren Gerätes beeinträchtigen. Beispiele: (1) allzu schnelle Signalflanken an den Eingängen von LS-TTL-Schaltkreisen können zu internen Fehlschaltungen führen, (2) herkömmliche CMOS-Schaltkreise können zuviel Strom aufnehmen. Bei moderner Hardware sind aber derartige Befürchtungen zumeist gegenstandslos. Es gibt Treibersoftware, die es ermöglicht, jedes Gerät mit der ihm eigenen jeweils schnellsten Betriebsart zu nutzen. Beispiel: der Intel Ultra ATA Storage Driver. Quellen derartiger Programme: die den Motherboards beigegebenen CDs sowie die Internet-Seiten der Motherboard-Hersteller und der Hersteller von Motherboard-Schaltkreissätsen.