

## 9. IDE/ATA-Schnittstelle

### 9.1. Grundlagen

Die herkömmliche IDE/ATA-Schnittstelle (Parallel ATA) ist ein E-A-Interface mit 16 Bits breiten Datenbus und asynchroner Datenübertragung, die durch Strobe-Signale gesteuert wird. Serial ATA (SATA) ist die Weiterentwicklung zum seriellen Hochgeschwindigkeits-Interface (gleiche Software-Schnittstelle und gleicher Anwendungsbereich, aber schneller und mit dünnem Kabel).

#### 9.1.1. Zweckbestimmung

IDE/ATA dient dazu, in den PC eingebaute Geräte mit dem Motherboard zu verbinden (Abbildungen 9.1 bis 9.4). Zum Anschließen externer Geräte ist es nicht geeignet. Es wurde ursprünglich für Festplatten entwickelt. Seit längerem gibt es eine Vielzahl anderer Geräte, die an dieses Interface angeschlossen werden können. IDE/ATA ist vor allem für Geräte des Massenmarktes vorgesehen.

*Typische Merkmale der herkömmlichen IDE/ATA-Schnittstelle:*

- Verkabelung: vorzugsweise Flachbandkabel mit 40 bzw. (für Ultra DMA) 80 Leitungen,
- Steckverbinder: vorzugsweise 40-polige, 2-reihige Pfosten-Steckverbinder (Buchse am Kabel, Stecker auf Motherboard bzw. am Gerät),
- Anzahl der anschließbaren Geräte: 2 je Kabel,
- maximale Kabellänge: 45 cm (18"),
- anschließbare Kabel in üblichen PCs: 2 (Erweiterung: über Steckkarten).

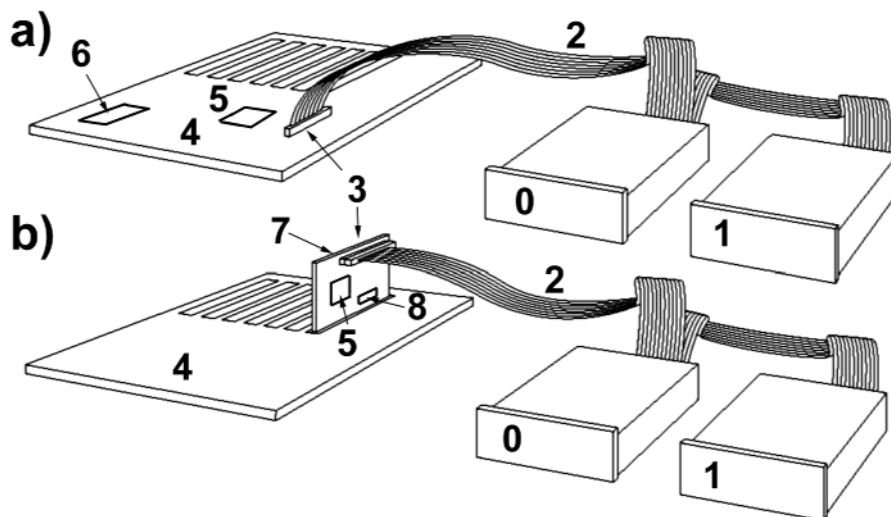
*Typische Merkmale von Serial ATA:*

- Verkabelung: dünne Kabel mit zwei Leitungspaaren,
- miniaturisierte Steckverbinder für Signal- und Stromversorgungsanschluß,
- ein Gerät je Kabel (Punkt-zu-Punkt-Verbindung),
- maximale Kabellänge: 1 m,
- Beschränkung auf Geräteanschluß im Innern des PCs. Somit können Hardware und Übertragungsprotokolle vergleichsweise einfach ausgelegt werden ( nur Verbindung zwischen Host und Gerät, nur ein Host (keine Vernetzung), keine isochrone Übertragung).
- softwareseitig kompatibel zur herkömmlichen IDE/ATA-Schnittstelle (gleicher Registersatz, gleiche Kommandos),
- Kombinierbarkeit mit der herkömmlichen IDE/ATA-Schnittstelle (über Zwischenadapter (Abbildung 9.4)).

*Wichtige Abkürzungen und Fachbegriffe:*

- IDE = Integrated Drive Electronics,
- ATA = AT Attachment,
- EIDE = Enhanced IDE (weiterentwickelter IDE-Anschluß),
- Ultra DMA = leistungsgesteigertes Interface (auch: Ultra ATA),
- ATAPI = ATA Packet Interface. Eine Spezifikation, die das Anschließen von Geräten mit wechselbarem Datenträger (CD, DVD, ZIP, LS-120, Bandlaufwerke usw.) an ATA-Schnittstellen betrifft.
- Device: Sammelbegriff für die anschließbaren Geräte. Es können nicht nur (Festplatten-) Laufwerke (Drives) angeschlossen werden, sondern x-beliebige Speichereinrichtungen (sofern sie sich an den Standard halten).
- Host: Sammelbegriff für die zentrale Steuerung. Die Host-Funktionen werden von Prozessor und Hostadapter ausgeführt. Hierbei gibt es verschiedene Formen der Arbeitsteilung (Abschnitt 9.1.4.). Der Hostadapter befindet sich entweder auf dem Motherboard oder auf einer Steckkarte (Abbildung 9.1).

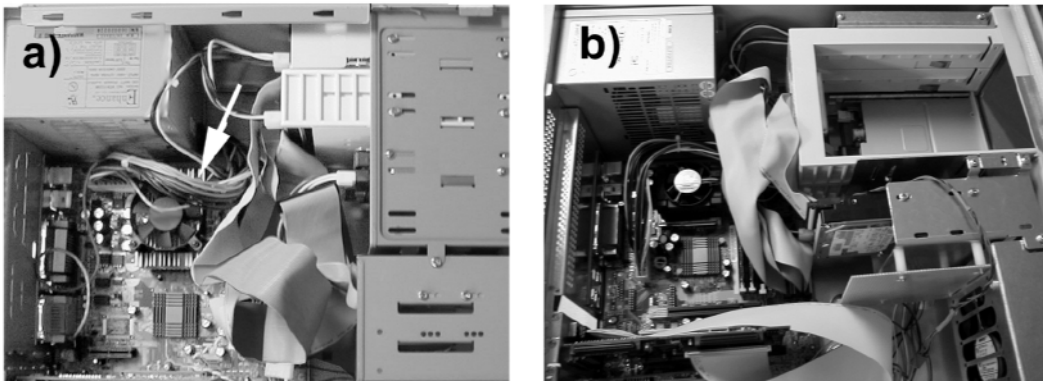
Manche Hersteller bezeichnen ihre Schnittstellen mit eigenen Handelsnamen, z. B. Fast ATA oder Enhanced IDE. „IDE“ und „ATA“ bedeuten im wesentlichen das gleiche. Genaugenommen bezeichnet ATA einen ANSI-Standard, von dem es verschiedene Versionen gibt (ATA-1 bis ATA/ATAPI-7 usw.) Das zuständige ANSI-Gremium: das Technische Komitee T13 beim Standardisierungskomitee NCITS.



**Abbildung 9.1** Geräteanschluß über IDE/ATA (1). Das Prinzip

*Erklärung:*

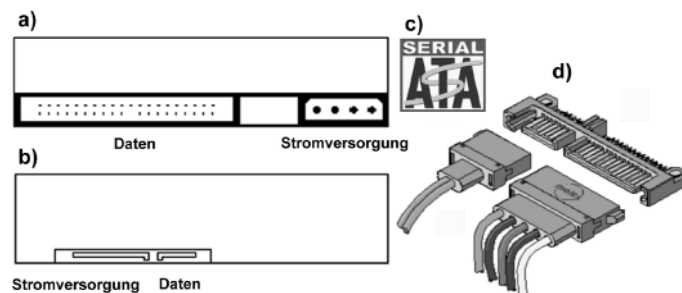
a) Hostadapter auf Motherboard; b) - Hostadapter auf Steckkarte. 0, 1 - Geräte; 2 - Flachbandkabel; 3 - hostseitiger Interfaceanschluß; 4 - Motherboard; 5 - Steuerschaltkreis; 6 - BIOS-ROM; 7 - Steckkarte; 8 - ROM mit BIOS-Erweiterung (zwecks Modernisierung).



**Abbildung 9.2** Geräteanschluß über IDE/ATA (2). Die Praxis

*Erklärung:*

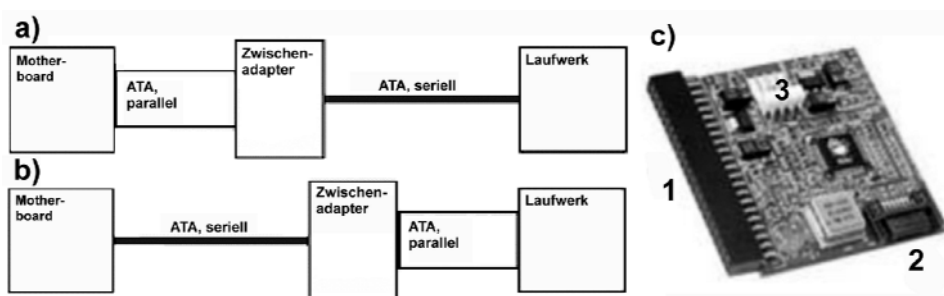
Die herkömmliche ATA-Verkabelung ist ein Ärgernis (breite Flachbandkabelkabel, schwergängige Stromversorgungssteckverbinder). Die Abbildung zeigt zwei Verkabelungsbeispiele: a) in einem Midi-Tower, b) in einem 19"-Gehäuse. Die breiten Kabel blockieren Kühlluftwege. Lüfter müssen vom Kabelsalat freigehalten werden. Gelegentlich kommt ein Kabel dem Flügelrad des Lüfters gefährlich nahe (Pfeil).



**Abbildung 9.3** Serial ATA im Überblick

*Erklärung:*

a) - die Anschlüsse eines herkömmlichen Gerätes; b) - Gerät mit Serial-ATA-Schnittstelle. Kleine Steckverbinder und dünne Kabel erleichtern das Installieren. c) - das Serial-ATA-Logo; d) - geräteseitige Steckverbinder.



**Abbildung 9.4** Serial ATA und herkömmliche Hardware

*Erklärung zu Abbildung 9.4:*

Alte und neue Hardware wird über Zwischenadapter (Interfacewandler) miteinander verbunden. a) - herkömmliches Motherboard und modernes Gerät; b) - modernes Motherboard und herkömmliches Gerät; c) - Beispiel eines Zwischenadapters. 1 - herkömmliche ATA-Schnittstelle; 2 - Serial-ATA-Anschluß; 3 - Stromversorgungsanschluß (entspricht hier dem der Diskettenlaufwerke).

## 9.1.2. Zur Entwicklungsgeschichte

Anfänglich (Mitte der 80er Jahre) hatten die in PCs eingesetzten Festplattenlaufwerke eine einfache, dem Interface der Diskettenlaufwerke ähnliche Schnittstelle, das sog. ST-506-Interface. Zum Anschluß solcher Laufwerke war eigens eine Controller-Steckkarte erforderlich. Mit dem Fortschritt der Schaltungsintegration wurde es möglich, den Controller so klein zu bauen, daß man ihn im Laufwerk unterbringen konnte (daher „Integrated Drive Electronics“ = „ins Laufwerk eingebaute Elektronik“). Um ein solches Laufwerk mit eingebautem Controller ansteuern zu können, hat man die erforderlichen Signale des ISA-Bus (seinerzeit: AT-Bus) einfach über ein Flachbandkabel geführt (daher „AT-Attachment“ = „Anschluß an den AT-Bus“). Hierzu war es notwendig, den Datenweg über Bustreiber zu entkoppeln. Um mit möglichst wenig Leitungen auszukommen, wurde der Adreßbereich des Festplattencontrollers bereits auf dem Motherboard decodiert; das Interface enthält nur so viele Adreßleitungen, wie zur Auswahl der einzelnen Register im Laufwerks-Controller notwendig sind. Auf diese Weise konnte man sowohl die Laufwerke als auch die PCs kostengünstig auslegen. 1987 erschien die erste IDE-Hardware (Laufwerke und Adapter-Steckkarten) am Markt. Anfang der 90er Jahre wurden die Bemühungen um eine herstellerunabhängige Standardisierung wirksam (ANSI-Standard ATA-1). Der weitere Entwicklungsweg ist durch eine Folge verschiedener Betriebsarten, durch Erweiterungen des Kommandosatzes und durch immer höhere Datenraten gekennzeichnet (Tabelle 9.1). Von Zeit zu Zeit wurde das alsbaldige Verschwinden von ATA vorausgesagt: Mitte der 90er Jahre sollte SCSI und Ende der 90er Jahre Firewire die ATA-Schnittstelle ablösen. Den Entwicklern ist es aber immer wieder gelungen, das Leistungsvermögen zu steigern und dabei die Kosten konkurrenzlos niedrig zu halten. Alternative Interfaces sind hardwareseitig teurer (Schaltkreise, Kabel) und softwareseitig komplizierter. Zudem werden deren Vorteile\*) in den typischen PCs des Massenmarktes (die oft nur mit einer Festplatte und einem CD- oder DVD-Laufwerk ausgeliefert werden) gar nicht wirksam. Deshalb hat man sich, nachdem die tatsächlichen Grenzen der Datenrate erreicht wurde (Ultra DMA/133), dazu entschlossen, die Schnittstelle in ihrer technischen Auslegung radikal umzustellen, aber die Beschränkung auf das vergleichsweise bescheidene Einsatzgebiet beizubehalten und die softwareseitige Kompatibilität zu gewährleisten (Serial ATA).

\*) : Anschließbarkeit mehrerer Geräte, Kabellängen von mehreren Metern, Kabelverlegung außerhalb des Gehäuses (zu extern aufgestellten Geräten), gleichzeitige (überlappte) Ausführung mehrerer Kommandos, Hot Swapping.

Bezeichnung	erste Ausgabe *)	zum Inhalt
ATA-1	1991	erster ANSI-Standard der IDE-Schnittstelle, PIO bis Mode 2, Single Word DMA bis Mode 2, Multiword DMA Mode 0
ATA-2	1994	schnellere PIO- und DMA-Betriebsarten, verbesserte Geräte-Identifikation, Geräteadreßregister entfallen, LBA-Sektoradressierung, PIO bis Mode 4 und Multiword DMA bis Mode 2
ATA Attachment Packet Interface (ATAPI)	1994	Paketorientierter Kommandosatz (für CD-ROM, ZIP, LS-120 usw.)

Bezeichnung	erste Ausgabe <sup>*)</sup>	zum Inhalt
ATA-3	1995	IOCS16 entfallen, Geräte unterstützen Slave-Only-Betrieb
ATA/ATAPI-4	1996	Spindle Sync entfallen, Ultra DMA bis Mode 2, Kommando-überlappung und -Verkettung, Einführung des Kabels mit 80 Leitungen
ATA/ATAPI-5	1998	verschiedene Einzelheiten verbessert
ATA/ATAPI-6	2000	CHS-Adressierung entfallen, Ultra DMA bis Mode 5, 48-Bit-LBA
ATA/ATAPI Host Adapter Standard	2000	Hostadapter mit automatischer DMA-Übertragung (Ausführung von Kommandoketten ohne Eingriff des Prozessors)
ATA/ATAPI-7	2001	Ultra DMA Mode 6
Serial ATA	2001	Ablösung des herkömmlichen (parallelen) Interfaces durch ein serielles Hochgeschwindigkeits-Interface

\*) : Wirksamkeit am Markt: typischerweise 1...2 Jahre später

**Tabelle 9.1** ATA-Standards im Überblick

### 9.1.3. Betriebsarten

Die verschiedenen Betriebsarten des IDE/ATA-Interfaces werden durch die Zugriffsweise der Datenübertragung (PIO- oder DMA-Betrieb) und durch eine laufende Nummer gekennzeichnet. Zudem gibt es einige „werbewirksame“ Allgemeinbegriffe, die in Prospekten, Anzeigen und Katalogen gern verwendet werden, um eine bestimmte Leistungsklasse (hinsichtlich der maximalen Datenrate) zu kennzeichnen (Tabelle 9.2).

Allgemeinbegriff	unterstützte Betriebsarten	maximale Datenrate
Fast ATA	PIO Mode 3, Multiword DMA Mode 1	11,1 bzw. 13,1 MBytes/s
Fast ATA-2	PIO Mode 4, Multiword DMA Mode 2	16,67 MBytes/s
Ultra ATA/33	Ultra DMA Mode 2	33,33 MBytes/s
Ultra ATA/66	Ultra DMA Mode 4	66,67 MBytes/s
Ultra ATA/100	Ultra DMA Mode 5	100 MBytes/s
Ultra ATA/133	Ultra DMA Mode 6	133 MBytes/s

**Tabelle 9.2** Allgemeinbezeichnungen für IDE/ATA-Betriebsarten

#### Die PIO-Betriebsarten

Mit PIO-Zugriffen werden Kommandos und Steuerangaben in die Register des Gerätes geschrieben bzw. Zustandsmeldungen gelesen. Es ist aber auch möglich, auf diese Weise Datenzugriffe auszuführen. Solche Zugriffe laufen ähnlich ab wie die E-A-Zugriffe am ISA-Bus. Die einzelnen PIO-Betriebsarten unterscheiden sich in der Spezifikation der minimalen Zykluszeit (Tabelle 9.3).

Betriebsart	minimale Zykluszeit $t_c$	maximale Datenrate <sup>*)</sup>
PIO Mode 0	600 ns	3,33 MBytes/s
PIO Mode 1	383 ns	5,22 MBytes/s
PIO Mode 2	240 ns	8,33 MBytes/s
PIO Mode 3	180 ns	11,11 MBytes/s
PIO Mode 4	120 ns	16,67 MBytes/s

\*) : in jedem Zyklus werden 2 Bytes übertragen; Datenrate =  $2 : t_c$

**Tabelle 9.3** PIO-Betriebsarten

*Die herkömmlichen DMA-Betriebsarten*

DMA-Zugriffe dienen lediglich zur Datenübertragung. Die Abläufe entsprechen den DMA-Zugriffen am ISA-Bus. Die verschiedenen DMA-Betriebsarten unterscheiden sich in der Spezifikation der minimalen Zykluszeit (Tabelle 9.4).

Betriebsart	Einzelübertragung (Single Word DMA)		Mehrfachübertragung (Multiword DMA)	
	minimale Zykluszeit $t_c$	maximale Datenrate <sup>1)</sup>	minimale Zykluszeit $t_c$	maximale Datenrate <sup>1)</sup>
DMA Mode 0	960 ns	2,08 MBytes/s <sup>2)</sup>	480 ns	4,17 MBytes/s
DMA Mode 1	480 ns	4,17 MBytes/s	150 ns	13,33 MBytes/s
DMA Mode 2	240 ns	8,33 MBytes/s	120 ns	16,67 MBytes/s

1): in jedem Zyklus werden 2 Bytes übertragen; Datenrate =  $2 : t_c$ ; 2): noch als DMA-Zugriff über ISA-Bus möglich

**Tabelle 9.4** Herkömmliche DMA-Betriebsarten

*Die Ultra-Betriebsarten (Ultra DMA bzw. Ultra ATA)*

Um die Datenübertragung weiter zu beschleunigen, hat man grundsätzlich neuartige Signalprotokolle eingeführt (Tabellen 9.5, 9.6).

Merkmale	herkömmliche Betriebsarten	Ultra DMA
Richtung der Strobe-Signale	vom PC zum Gerät	in Richtung des jeweiligen Datenflusses
Datenübertragung	mit Low-High-Flanke des jeweiligen Strobe-Signals	mit beiden Flanken des jeweiligen Strobe-Signals
wer bestimmt das Zeitraster der Datenübertragung?	der Hostadapter	der jeweilige Sender

<b>Merkmale</b>	<b>herkömmliche Betriebsarten</b>	<b>Ultra DMA</b>
mit einem Strobe-Impuls werden übertragen	2 Bytes	4 Bytes
Fehlerkontrolle bei der Datenübertragung	nicht vorgesehen	mittels CRC

**Tabelle 9.5** Wesentliche Unterschiede zwischen den herkömmlichen und den Ultra-Betriebsarten

<b>Betriebsart</b>	<b>minimale Zykluszeit <math>t_{2c}</math></b>	<b>maximale Datenrate <sup>*)</sup></b>
Ultra DMA Mode 0	240 ns	16,67 MBytes/s
Ultra DMA Mode 1	160 ns	25 MBytes/s
Ultra DMA Mode 2 (Ultra DMA/33)	120 ns	33,33 MBytes/s
Ultra DMA Mode 3	90 ns	44,44 MBytes/s
Ultra DMA Mode 4 (Ultra DMA/66)	60 ns	66,67 MBytes/s
Ultra DMA Mode 5 (Ultra DMA/100)	40 ns	100 MBytes/s
Ultra DMA Mode 6 (Ultra DMA/133)	30 ns	133 MBytes/s

\*) in jedem Zyklus werden  $2 \cdot 2 = 4$  Bytes übertragen; Datenrate =  $4 : t_{2c}$

**Tabelle 9.6** Ultra-DMA-Betriebsarten

### Serial ATA

Es sind drei Generationen vorgesehen (Tabelle 9.7). Generation 2 ist zu Generation 1 anschlussseitig kompatibel (gleiche Steckverbinder, gleiche Kabel, gleiche Signalspezifikationen).

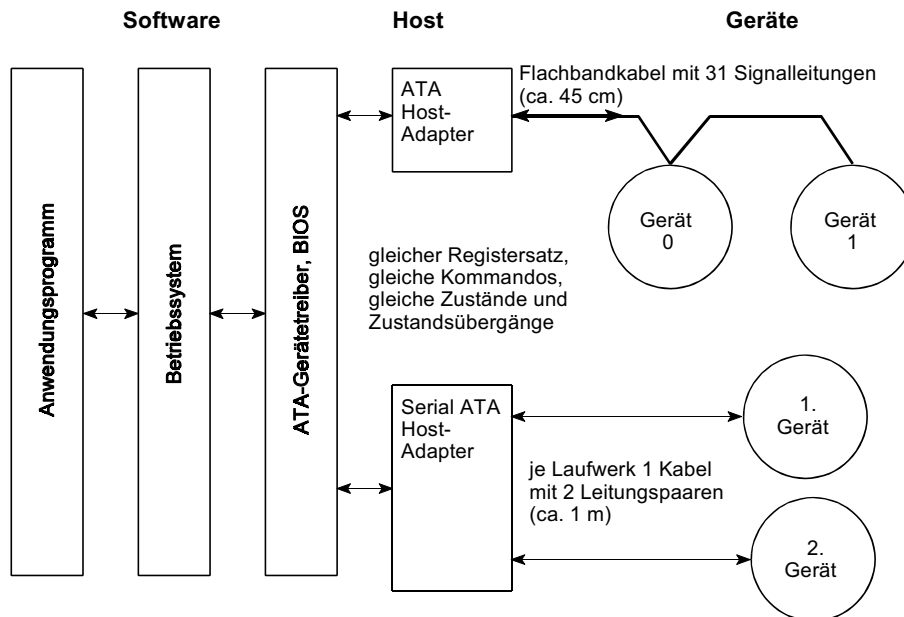
<b>Generation</b>	<b>Datenrate, pauschal</b>	<b>Datenrate am Interface (10 Bits/Byte)</b>
1	150 MBytes/ss	1,5 GBits/s
2	300 MBytes/s	3 GBits/s
3	600 MBytes/s	6 GBits/s

**Tabelle 9.7** Serial-ATA-Generationen

## 9.1.4. Aufbau und Wirkungsweise

### *ATA als Programmschnittstelle und Geräte-Interface*

Die ATA-Standards beschreiben nicht nur verschiedene Interfaces, sondern auch die Programmschnittstelle zu den angeschlossenen Geräten (Abbildung 9.5).



**Abbildung 9.5** ATA als Programmschnittstelle und Geräte-Interface. Oben das herkömmliche (parallele) Interface, darunter Serial ATA

### *Erklärung:*

Um Dateizugriffe auszuführen, ruft das Anwendungsprogramm das Betriebssystem. Dieses greift seinerseits auf entsprechende Gerätetreiber (und erforderlichenfalls auf das BIOS) zurück. Diese Programme sprechen die Hardware direkt an. Die eigentliche Schnittstelle zwischen Soft- und Hardware ist vergleichsweise elementar: es handelt sich um einen standardisierten Registersatz<sup>\*)</sup>, der über den E-A-Adreßraum zugänglich ist. Zudem können die Geräte Interrupts auslösen.

\*) : gelegentlich als ATA Task File bezeichnet.

### *Kanäle und Ports*

Der Zugriffsweg zu einem Registersatz wird auch als *ATA-Kanal* (Channel) oder als *Port* bezeichnet. Der ATA-Kanal ist ein vom Host zentral gesteuerter E-A-Bus (also *kein* Multimaster-Bussystem - der Hostadapter ist der einzige Master). An einen herkömmlichen (parallelen) ATA-Kanal können zwei Geräte angeschlossen werden. Ein typischer PC ist mit zwei ATA-Kanälen bestückt.

Serial ATA ist ein Punkt-zu-Punkt-Interface. An einen Kanal bzw. Port kann nur ein Gerät angeschlossen werden.



### *Die Anordnung des Registersatzes*

Der Registersatz des herkömmlichen (parallelen) Interfaces befindet sich in den Geräten (jedes Gerät hat gleichsam eine Kopie). Das ATA-Interface ist nur eine Art Durchreiche vom Host zum Registersatz im Gerät. Der Hostadapter besteht - im einfachsten Fall - nur aus einem Adreßdecoder und aus Buskopplungsstufen.

Beim Serial-ATA-Interface befindet sich eine Kopie des Registersatzes im Hostadapter („Schattenregister“). Der Prozessor greift auf die Register im Hostadapter zu. Die Interface-Hardware sorgt dafür, daß die Registerinhalte von Hostadapter und Gerät immer auf gleichem Stand gehalten werden - es handelt sich gleichsam um ein extrem schnelles bitserielles Umschalteln.

Die Software sieht stets denselben Registersatz, gleichgültig ob das Gerät über ein paralleles oder über ein serielles Interface angeschlossen ist.

### *Zugriffsbreite:*

- bei Zugriffen auf Register, die Kommando-, Steuer- und Zustandsangaben enthalten: 8 Bits,
- bei Zugriffen auf das Datenregister (Datenübertragung beim Ausführen von Schreib- oder Lesekommandos): 16 Bits.

### *Geräteauswahl (1): am gleichen Kanal*

An einem Kanal gibt es zwei Geräteadressen: Gerät 0 und Gerät 1 (Devices 0, 1).

Programmseitige Geräteauswahl: über ein Auswahlbit im Registersatz.

*Zuordnung der Geräteadressen:* grundsätzlich manuell über Steckbrücken (Jumper) in den einzelnen Geräten. Typischerweise gibt es folgende Wahlmöglichkeiten:

- Direktauswahl. Dem Gerät wird seine Adresse (0 oder 1) unmittelbar zugeordnet. Handelt es sich um Gerät 0, so ist typischerweise zusätzlich einzustellen, ob dieses Gerät allein oder zusammen mit einem Gerät 1 an das Interfacekabel angeschlossen wird.
- Kabelauswahl (Cable Select). Das Gerät wird auf Kabelauswahl eingestellt. Die eigentliche Geräteadresse wird dann über das Interfacekabel vorgegeben.

Näheres zur Kabelauswahl (Cable Select) in Abschnitt 9.2.1.6.

### *Master und Slave*

Das sind veraltete, unexakte Begriffe (sie sind unzutreffend, weil ATA kein Multimaster-Bussystem ist). Sie sind aber seit Beginn der IDE/ATA-Entwicklung in Gebrauch:

- Master = Gerät 0,
- Slave = Gerät 1.

### *Master-Slave-Konfiguration*

Das ist die Allgemeinbezeichnung für den Betrieb zweier Geräte am Interfacekabel (Geräte 0 und 1).

### *Geräteauswahl (2): an verschiedenen Kanälen*

Jeder Kanal hat seinen Registersatz. Die einzelnen Kanäle unterscheiden sich durch die E-A-Adressen ihrer Registersätze (Näheres in den Abschnitten 9.3.8. und 9.4.).

### *Nur ein Gerät am Interface*

Es sind zwei Fälle zu betrachten:

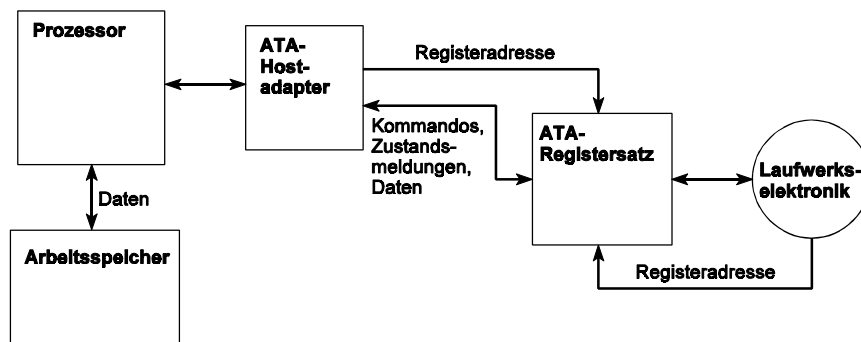
- Betrieb als Gerät 0. Die Allgemeinbezeichnung: Master-Only- oder Device-0-Only-Konfiguration. Das ist die grundsätzlich unterstützte Betriebsweise (funktioniert immer...).
- Betrieb als Gerät 1. Die Allgemeinbezeichnung: Slave-Only- oder Device-1-Only-Konfiguration. Es ist dem Host überlassen, ob er diese Betriebsweise unterstützt oder nicht. Entsprechende Vorkehrungen im Gerät sind von ATA-3 an spezifiziert worden.

### *Geräteauswahl (3): Serial ATA*

Jedes Gerät hängt an einem eigenen Interface (Punkt-zu-Punkt-Verbindung). Somit hat jedes Gerät die Geräteadresse 0 (Master) an einem eigenen Kanal (Master-Only-Konfiguration). Der Standard läßt es aber zu, daß der Hostadapter Master-Slave-Konfigurationen unterstützt. Hierzu werden zwei Ports mit ihren Registersätzen wie ein einziger Registersatz mit Geräteauswahl verwaltet (die steuernde Software sieht nur einen E-A-Adreßbereich und unterscheidet beide Geräte anhand des Auswahlbits im Registersatz, der Hostadapter muß die Zugriffe auf die beiden beteiligten Registersätze umsetzen).

### *Arbeitsteilung zwischen Prozessor und Hostadapter*

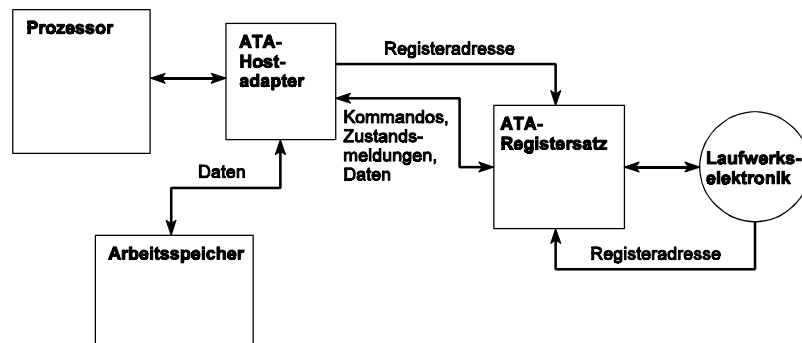
Es gibt verschiedene Betriebsarten. Ursprünglich wurde die Schnittstelle ausschließlich vom Prozessor aus angesteuert; der Hostadapter war im Grunde nur ein Adreßdecoder. Im Laufe der Entwicklung wurden dem Hostadapter immer mehr Funktionen übertragen (Abbildungen 9.6 bis 9.8)



**Abbildung 9.6** Arbeitsteilung zwischen Prozessor und Hostadapter (1): PIO-Betrieb

### *Erklärung:*

Die ATA-Schnittstelle ist nicht mehr als ein vereinfachter ISA-Bus, und der Prozessor tut alles selbst. Kommandos, Daten und Zustandsmeldungen werden ausschließlich mit programmseitigen E-A-Zugriffen übertragen (PIO = Programmed Input/Output). Neben der Adreßdecodierung hat der Hostadapter vor allem die Aufgabe, das jeweils gewählte PIO-Zeitraaster des ATA-Interfaces zu unterstützen. Dies ist die herkömmliche Betriebsweise (Legacy Mode). Alle - auch die modernsten - Hostadapter sind anfänglich (nach dem Hardware-Rücksetzen) auf diese Betriebsweise eingestellt.



**Abbildung 9.7** Arbeitsteilung zwischen Prozessor und Hostadapter (2): DMA-Betrieb

*Erklärung:*

Der Prozessor sendet die Kommandos und wertet die Zustandsmeldungen aus. Die eigentliche Datenübertragung wird aber vom Hostadapter autonom ausgeführt. Wenn in Zusammenhang mit ATA von DMA die Rede ist, kann es um zweierlei gehen:

1. um die Betriebsweise des Interfaces,
2. um die Arbeitsweise des Hostadapters in Hinsicht auf die Arbeitsspeicherzugriffe.

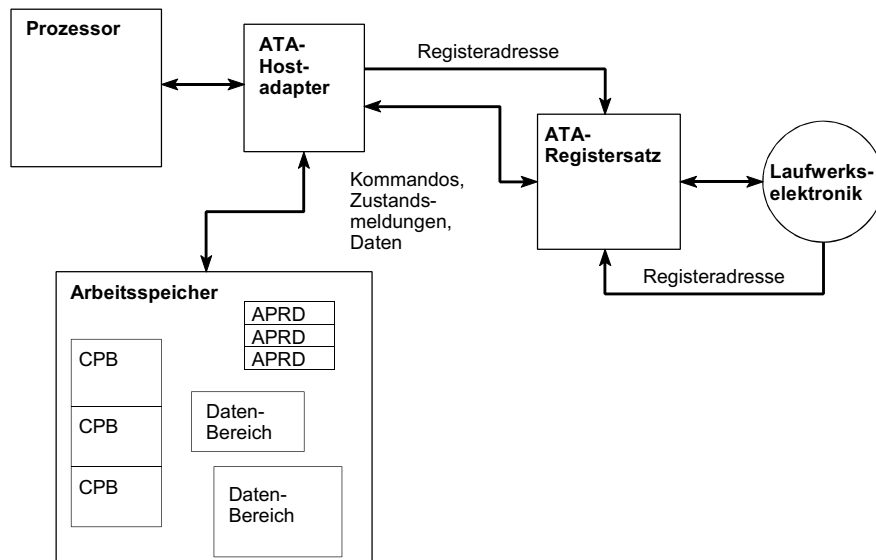
*DMA-Betriebsweisen am Interface:*

- Single-Word-DMA. Die ursprüngliche Lösung. Der Adapter nutzt die DMA-Vorkehrungen im Host. Mit jedem DMA-Signalspiel wird ein 16-Bit-Wort übertragen. Veraltet.
- Multiword-DMA. Die typische herkömmliche Betriebsweise. Es werden jeweils mehrere 16-Bit-Worte aufeinanderfolgend übertragen.
- Ultra DMA. Eine Betriebsart zur besonders schnellen Datenübertragung. Dabei werden einige Interfaceleitungen in neuartiger Weise ausgenutzt. Das DMA-Handshaking wird verwendet, um diese Betriebsart einzuleiten und von der herkömmlichen Nutzung des Interfaces zu unterscheiden (im DMA-Betrieb neuartige Nutzung des Interfaces, außerhalb des DMA-Betriebs herkömmliche Nutzung (PIO-Betrieb)).

*Arbeitsspeicherzugriffe des Hostadapters:*

- DMA-Betrieb im eigentlichen Sinne (wie am ISA-Bus). Hierzu wird einer der herkömmlichen DMA-Controller auf dem Motherboard ausgenutzt. Veraltet (und auch in älteren PCs nicht zu empfehlen - vom 386 an ist PIO typischerweise deutlich schneller).
- BMIDE-Betrieb (Busmaster-IDE). Die typische Betriebsweise eines Hostadapters am PCI-Bus. Der Prozessor löst nach wie vor die Kommandos aus, der Hostadapter steuert die Datenübertragung. Hierzu führt er die nötigen Speicherzugriffe als Busmaster selbst aus. Das Geräte-Interface wird hierbei in einem an sich beliebigen Modus betrieben (vorzugsweise Multiword DMA oder Ultra DMA). Nach dem Hardware-Rücksetzen sind solche Adapter typischerweise auf Multiword-DMA Mode 0 eingestellt.
- ADMA-Betrieb (Abbildung 9.8). ADMA = Automatic Direct Memory Access. Der Hostadapter kann ganze Kommandoketten (Folgen verschiedener Kommandos) selbsttätig steuern. Hierzu muß der Prozessor lediglich steuernde und beschreibende Datenstrukturen im Arbeitsspeicher aufbauen:

- CPB = Command Parameter Block. Diese Datenstruktur enthält alle Angaben, die erforderlich sind, um ein Kommando einzuleiten und zu beenden (Steuerbits, Zeiger auf den folgenden CPB, Zeiger auf die betreffenden APRDs sowie Felder mit ATA-Registerbelegungen).
- APRD = ADMA Physical Region Descriptor. Eine solche Datenstruktur ist 16 Bytes lang. Sie beschreibt jeweils einen Datenbereich (Anfangsadresse und Länge). Darüber hinaus enthält sie verschiedene Angaben zur Interrupt- und Betriebsartensteuerung sowie einen Zeiger auf den jeweils nachfolgenden APRD.



**Abbildung 9.8** Arbeitsteilung zwischen Prozessor und Hostadapter (3): ADMA-Betrieb

Der Vorteil: hat der Prozessor die Datenstrukturen einmal aufgebaut<sup>\*)</sup>, so muß er die einzelnen Abläufe nur noch auslösen (wobei sich gelegentlich Änderungen in den Datenstrukturen typischerweise nur auf Adressen und Längenangaben beschränken). Auch die PIO-Zugriffe (zum Laden des ATA-Registersatzes im Gerät) werden vom Hostadapter selbständig ausgeführt.

\*) : es liegt nahe, die Datenstrukturen so zu gestalten, daß sie die typischen Zugriffsfunktionen der Systemsoftware unterstützen.

*Betriebsarten des ADMA-Hostadapters:*

- ATA Register Mode. Der Prozessor hat direkten Zugriff auf den ATA-Registersatz. Der Hostadapter wirkt gemäß Abbildung 9.7 (nur Adreßdecodierung und Unterstützung des jeweiligen PIO-Zeitrasters).
- ADMA Mode. Der Prozessor hat keinen Zugriff auf den ATA-Registersatz (Lesezugriffe werden mit gesetztem BUSY-Bit oder mit 00H beantwortet, Schreibzugriffe werden ignoriert). Der Hostadapter arbeitet selbständig (und lädt ggf. den ATA-Registersatz aus den Registerfeldern der CPBs). Hierbei steuert er das ATA-Interface in folgenden Betriebsarten an:
  - für Registerzugriffe: PIO,
  - für Datenzugriffe: Ultra DMA,
  - für Datenzugriffe auf Geräte, die kein Ultra DMA unterstützen: PIO.

Wahl der PIO- oder Ultra-DMA-Betriebsart: über Steuerregister bzw. (bei der Datenübertragung) über entsprechende Felder in den APRDs.

## 9.2. Steckverbinder und Kabel

### 9.2.1. Das herkömmliche (parallele) Interface

#### 9.2.1.1. Formfaktoren, Kabel, Steckverbinder

Der Kabelanschluß richtet sich nach dem Formfaktor des jeweiligen Gerätes:

- 3½" und 5¼": Kabel mit 40 oder 80 Leitungen, 40-poliger Steckverbinder. Anschlußbelegung in Abbildung 9.33.
- 2,5": Kabel mit 44 Leitungen, 44- oder 50-poliger Steckverbinder. Anschlußbelegung in Abbildung 9.34.
- PCMCIA (1,8"): 68-poliger Steckverbinder.

*Der Kabelanschluß am Host*

Es sind typischerweise 40-polige Steckverbinder vorgesehen (Abbildung 9.9), die denen der Geräte entsprechen.

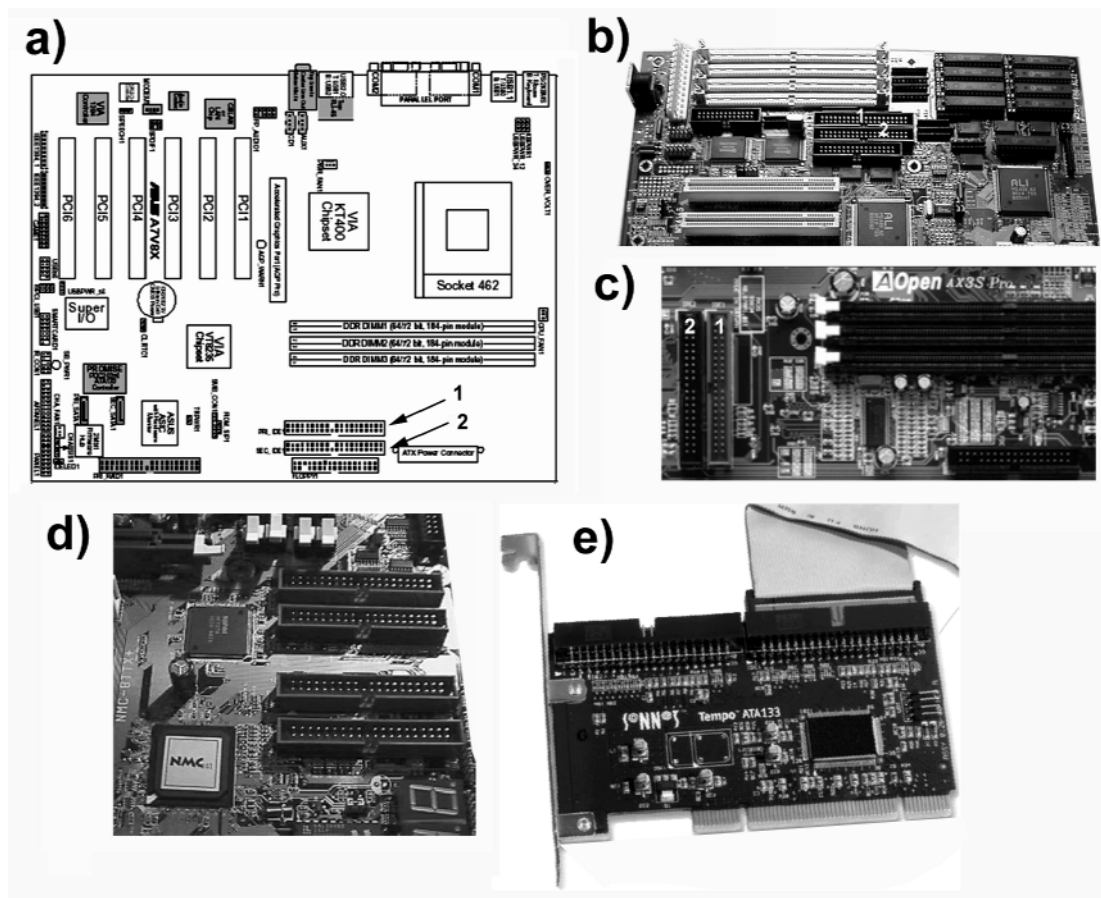


Abbildung 9.9 ATA-Steckverbinder am Host

Erklärung zu Abbildung 9.9:

- a) auf ATX-Motherboards haben die Anschlüsse einen typischen Platz: vorn Mitte/links unterhalb der Speichermoduln. 1 - Kanal 1 (Primary IDE), 2 - Kanal 2 (Secondary IDE). Darunter: der Anschluß des Disketten-Interfaces.
- b) auf AT-Motherboards liegen die ATA-Anschlüsse dort, wo gerade Platz ist. Es gibt auch Billigausführungen mit freistehenden Pfostenleisten (ohne Kunststoff-Umhüllung) - beim Stecken achtgeben und lieber einmal zuviel nachsehen...
- c) eine andere Anordnung auf einem ATX-Motherboard,
- d) dieses Motherboard hat 4 ATA-Anschlüsse. Hiermit wird typischerweise der Aufbau von RAID-Konfigurationen unterstützt.
- e) Steckkarte mit 2 ATA-Anschlüssen.

Hinweise:

1. Kanal 1 ist seit einiger Zeit typischerweise durch eine blaue Kunststoff-Umhüllung gekennzeichnet - passend zum hostseitigen Stecker am Kabel mit 80 Leitungen. *Achtung* - so ein Kabel *immer* über seinen blauen Stecker an den Host anschließen, auch dann, wenn dessen Steckverbinder eine schwarze Umhüllung hat.
2. ATX- und andere neuere Motherboards unterliegen einschlägigen Standards. Diese lassen den Entwicklern aber etliches an Narrenfreiheit. Es gibt deshalb immer wieder Abweichungen, auf die es achtzugeben gilt - auch zwischen verschiedenen Motherboards desselben Herstellers (beim einen Board befindet sich IDE 1 hinten und IDE 2 vorn, beim anderen verhält es sich umgekehrt, beim einen sind die Steckverbinder parallel zur Kante des Boards angeordnet, beim anderen senkrecht dazu). Deshalb stets auf die aufgedruckte Beschriftung achten und die Dokumentation heranziehen.

Interfacekabel

Im folgenden beschränken wir uns auf die Kabelverbindung (Abbildungen 9.10 bis 9.12). Die Kabel sind als Flachband- oder als Rundkabel ausgeführt

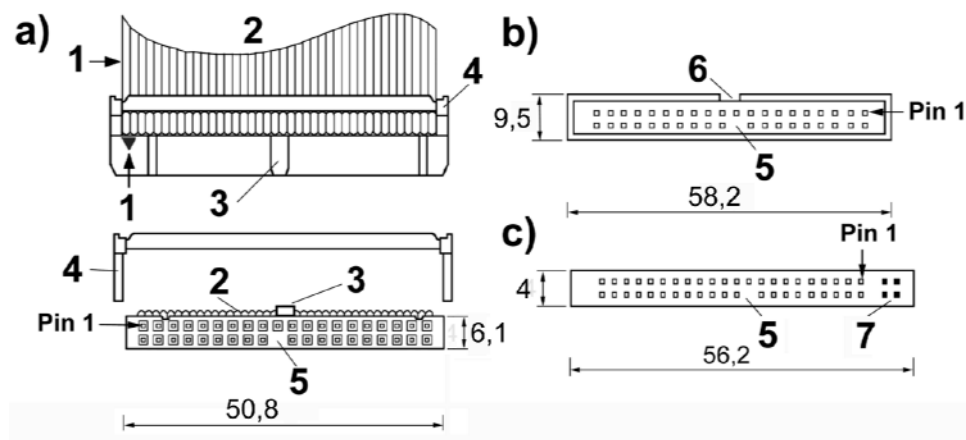


Abbildung 9.10 ATA-Steckverbinder

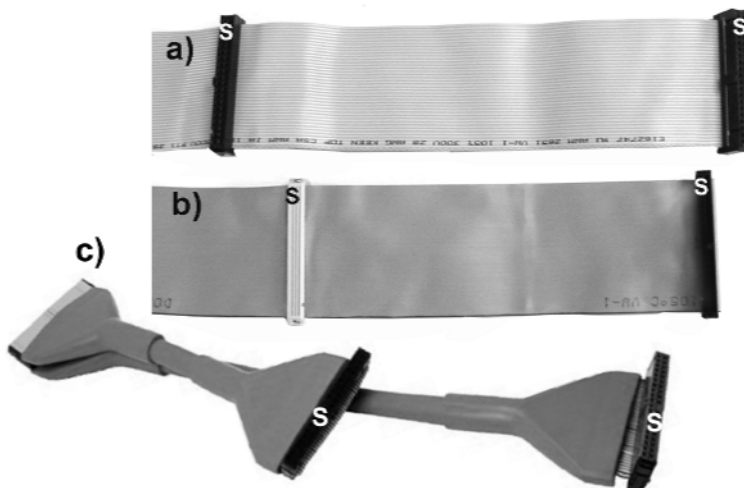
*Erklärung zu Abbildung 9.10:*

a) - Flachbandkabel mit Steckverbinder; b) - Gerätesteckverbinder, 40-polig; c) - Gerätesteckverbinder, 50-polig. 1 - Leitung Nr. 1 (farblich hervorgehoben); 2 - Flachbandkabel; 3 - Nase (Verdrehsicherung); 4 - Zugentlastungsbügel; 5 - fehlender Anschluß Nr. 20 (Verdrehsicherung); 6 - Kerbe (Verdrehsicherung; hier greift Nase 3 ein); 7 - Konfigurationsanschlüsse (Geräteauswahl)\*). Die Anschlüsse mit ungeraden Nummern (1, 3 usw.) liegen in der einen Reihe, die Anschlüsse mit geraden Nummern (2, 4 usw.) in der anderen. Außenabmessungen in mm (gerundet, nur zur Orientierung).

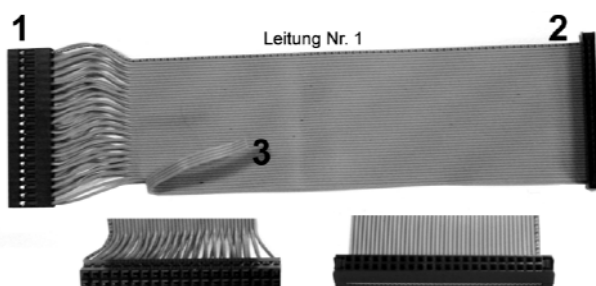
\*) : der kabelseitige Steckverbinder belegt nur die Anschlüsse 1 bis 44.

*Anschlußabstände:*

- 40-poliger Steckverbinder: 2,54 mm (0,1"),
- 44- bzw.-50-poliger Steckverbinder: 2 mm.



**Abbildung 9.11** ATA-Kabel mit 40 und mit 80 Leitungen



**Abbildung 9.12** Kabel mit 44-poligem und 40-poligem Steckverbinder

*Erklärung zu Abbildung 9.11:*

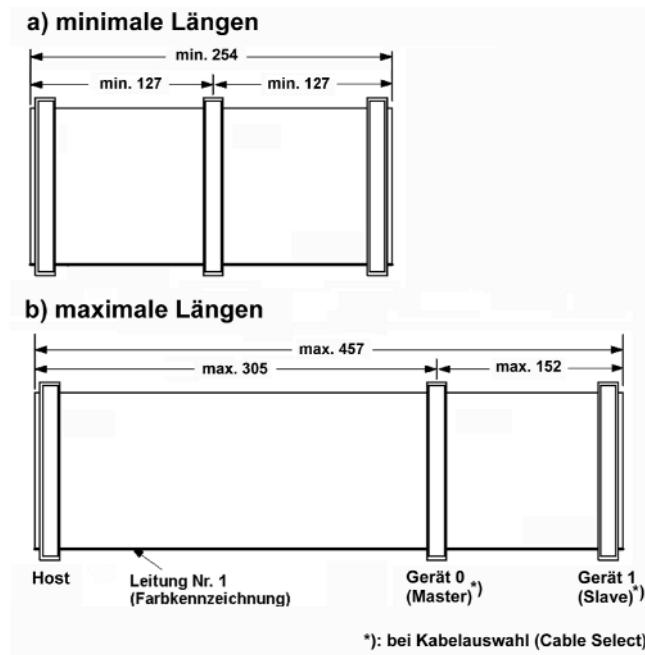
a) - herkömmliches Kabel mit 40 Leitungen; b) - Kabel für Ultra DMA/66/100/133 mit 80 Leitungen; c) - Rundkabel für Ultra DMA/66/100/133 (80 Leitungen); S - 40-polige Steckverbinder. Rundkabel behindern den Luftstrom im Gerät nicht so sehr. Sie sind aber recht steif (kein Wunder bei 80 Leitungen) und ziemlich teuer.

*Erklärung zu Abbildung 9.12:*

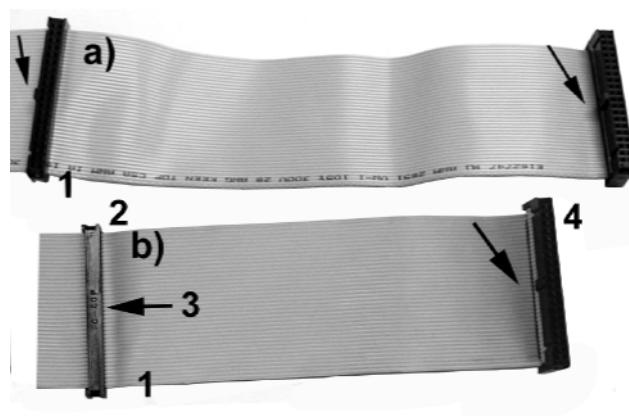
Über so ein Kabel kann man ein Gerät im Formfaktor 2,5" an einen typischen 40-poligen Host-Steckverbinder anschließen. 1 - der hostseitige Steckverbinder (40-polig); 2 - der laufwerksseitige Steckverbinder (44-polig); 3 - dieser Streifen des Flachbandkabels wird hier nicht kontaktiert. Die betreffenden Leitungen dienen der Speisespannungszuführung (vgl. Abbildung 9.34) und müßten ggf. anders angeschlossen werden (z. B. an einen entsprechenden IDC-Kontaktblock auf dem Motherboard).

### 9.2.1.2. Kabel mit 40 Leitungen

Diese Kabel eignen sich für alle herkömmlichen Betriebsarten (PIO, DMA) sowie für Ultra DMA bis Mode 2 (Ultra ATA/33). Es handelt sich um eine 1:1-Verbindung aller 40 Leitungen. Kabelmaterial und Steckverbinder sind handelsüblich. Das Kabel darf weder zu lang noch zu kurz sein (Abbildung 9.13). Die typische Konfektionierung: alle Steckverbinder schwarz und auf der gleichen Seite des Kabels (Abbildung 9.14).



**Abbildung 9.13** Kabel mit 40 Leitungen (1). a) minimale, b) maximale Abmessungen



**Abbildung 9.14** Kabel mit 40 Leitungen (2). Konfektionierungen

*Erklärung:*

a) - die typische Konfektionierung; b) - eine Konfektionierung, die gelegentlich eine günstigere Kabelführung ermöglicht. Die Pfeile zeigen auf die Nasen der Steckverbinder. 1 - Leitung Nr. 1 ist farblich hervorgehoben; 2 - dieser Steckverbinder ist auf der anderen Kabelseite angeordnet; 3 - der Pfeil deutet die Lage der Nase dieses Steckverbinders an; 4 - Steckverbinder am Ende des Kabels.



*Hinweise:*

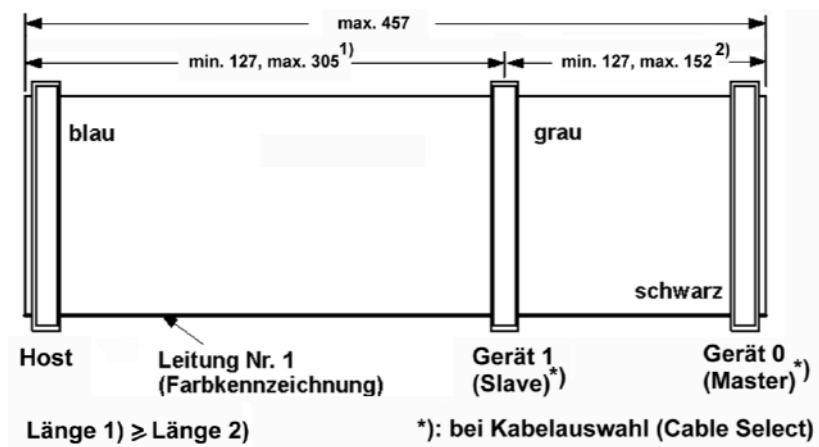
1. Es gibt keine besondere Kennzeichnung, an welches Kabelende der Host anzuschließen ist. Im Zweifelsfall: die beiden näher beieinander angeordneten Steckverbinder sind die Geräteanschlüsse.
2. Anschluß nur eines Gerätes: am anderen Ende des Kabels. Es ist gleichgültig, welches Kabelende am Host und welches am Gerät angesteckt wird.
3. Die Konfektionierung gemäß Abbildung 9.14a zwingt gelegentlich zu einer unbequemen Kabelführung. Abhilfe: ein Kabel gemäß Abbildung 9.14b selbst konfektionieren.

*Kabellänge:*

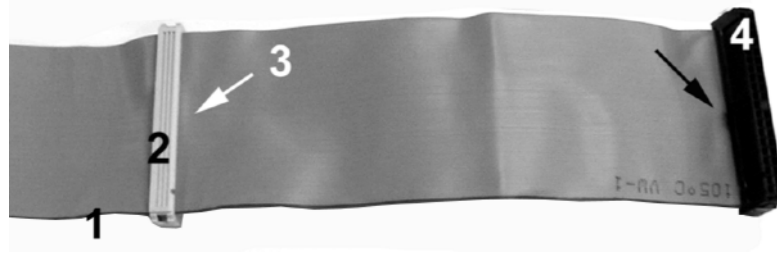
- Festplattenanschluß: höchstens 46 cm (18"; vgl. Abbildung 9.13). Manche Hersteller empfehlen nicht mehr als 30 cm, wenn - bezogen auf diesen Kabeltyp - „schnelle“ Betriebsarten genutzt werden sollen (PIO Mode 4, Multiwort-DMA Mode 2, Ultra-DMA Mode 2 (Ultra ATA/33)). Im Verdachtsfall ausprobieren.
- ein Kabel, an das nur ATAPI-Geräte angeschlossen werden, darf typischerweise länger sein. Mehr als 50...60 cm sind aber riskant (im Handel werden Kabel angeboten, die über 1 m lang sind...).

### 9.2.1.3. Kabel mit 80 Leitungen

So ein Kabel ist für alle Ultra-DMA-Betriebsarten von Mode 3 an aufwärts (Ultra DMA/66/100/133) erforderlich (Abbildungen 9.15 bis 9.17). In diesen Kabeln ist jeder Signalleitung eine zusätzliche Masseleitung zugeordnet. Die Steckverbinder haben die herkömmlichen 40 Anschlüsse, sind aber Sonderausführungen. Jeder der drei Steckverbinder hat seine Eigenheiten, und zwar in Hinsicht auf die Signale CBLID/PDIAG und CSEL (Abbildung 9.17). Die 40 zusätzlichen Masseleitungen werden im Innern des Steckverbinders über Kontaktschienen mit den herkömmlicherweise vorgesehenen Masseanschlüssen verbunden (Abbildung 9.18).



**Abbildung 9.15** Kabel mit 80 Leitungen (1). Abmessungen



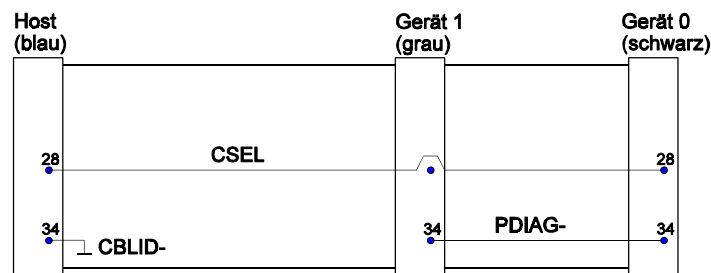
**Abbildung 9.16** Kabel mit 80 Leitungen (2). Die typische Konfektionierung

*Erklärung:*

1 - Leitung Nr. 1 ist farblich hervorgehoben; 2 - dieser Steckverbinder (grau) ist auf der anderen Kabelseite angeordnet; 3 - der weiße Pfeil deutet die Lage der Nase dieses Steckverbinders an; 4 - Steckverbinder am Ende des Kabels (schwarz). Der schwarze Pfeil zeigt auf dessen Nase.

*Hinweise:*

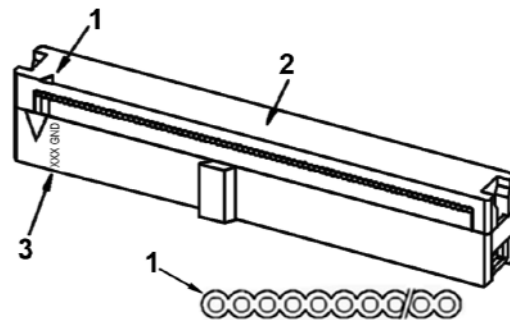
1. Die meisten angebotenen Kabel haben die maximale Länge (etwa 460 mm). Selbstkonfektionieren ist praktisch ausgeschlossen.
2. Die Farbangaben betreffen die eigentlichen Steckverbinder (= die Kunststoff-Umhüllungen der Kontakte). Die Klemm- und Zugentlastungsbügel sind gelegentlich alle schwarz.
3. Nicht alle Kabelkonfektionierer halten sich an das Farbschema.
4. Rundkabel (vgl. Abbildung 9.11c) sind gleichartig aufgebaut (das Kabel ist zwischen den Steckverbindern eingerollt und von einer Kunststoffhülle umgeben).



**Abbildung 9.17** Kabel mit 80 Leitungen (3). Besonderheiten des Aufbaus

*Erklärung:*

- Anschluß 28 = Cable Select (CSEL). Im Steckverbinder des Gerätes 1 nicht angeschlossen. Siehe weiterhin Abbildung 9.22.
- Anschluß 34 ist im hostseitigen Steckverbinder mit Masse verbunden. Hieran kann der Host erkennen, daß ein Kabel mit 80 Leitungen installiert ist (CBLID = Cable Assembly Identification).
- zwischen den beiden geräteseitigen Steckverbindern sind die Anschlüsse 34 miteinander verbunden. Über das Signal PDIAG (Passed Diagnostics) zeigt das Gerät 1 dem Gerät 0 an, daß es seinen Selbsttest erfolgreich durchlaufen hat. (Das ist ein Ablauf, der den Host gar nichts angeht. Näheres in Abschnitt 9.3.6.)



**Abbildung 9.18** Steckverbinder an einem Kabel mit 80 Leitungen

*Erklärung:*

Oben: Ansicht eines Steckverbinders; darunter: Kabelquerschnitt. 1 - Anschluß (Pin) bzw. Ader Nr. 1; 2 - Klemmbügel; 3 - Beschriftung (XXX entweder „ODD“ oder „EVEN“). Das Kabel selbst hat 80 Adern, die ihrerseits von 1 an durchnummeriert sind. Das Belegungsschema: herkömmliches Signal - zusätzliche Masse - herkömmliches Signal - zusätzliche Masse usw. Im Standard hat man die Wahl gelassen, das Kabel von Ader 1 an nach diesem Schema zu belegen oder genau umgekehrt, also zusätzliche Masse - herkömmliches Signal - zusätzliche Masse - herkömmliches Signal - usw. Dementsprechend gibt es zwei Ausführungen der Steckverbinder:

- Beschriftung ODD: die zusätzlichen Masseverbindungen belegen alle Adern mit ungeraden Nummern (1, 3 usw.).
- Beschriftung EVEN: die zusätzlichen Masseverbindungen belegen alle Adern mit geraden Nummern (2, 4 usw.).

Wichtig: alle Steckverbinder eines Kabels müssen vom selben Typ sein (entweder ODD oder EVEN). Diese Forderung ist typischerweise nur für die Kabelkonfektionierung von Bedeutung (oft fehlt die ODD/EVEN-Beschriftung).

#### **9.2.1.4. Absicherung gegen Falsch-Stecken (Verdrehsicherung)**

Es gibt zwei Vorkehrungen (vgl. Abbildung 9.10):

1. Kontaktposition 20: diese ist als Sperre (Key) vorgesehen. Im Stecker am Kabel fehlt die Bohrung, im Stecker des Geräts der Kontaktstift.
2. der Stecker am Kabel trägt eine Kunststoff-Nase, die in eine Kerbe am Steckverbinder des Geräts paßt. Nase und Kerbe befinden sich oberhalb der Reihe mit den ungeraden Kontaktnummern.

*Achtung:* Nicht alle Steckverbinder haben diese Vorkehrungen. Wenn sie sowohl am Kabel als auch am Gerät bzw. am Host fehlen, werden Fehler beim Stecken nicht verhindert. Deshalb stets aufpassen. Die im Kabel hervorgehobene Leitung 1 beachten. Die betreffende Kontaktposition ist auf den Leiterplatten zumeist gekennzeichnet. Weitere Anhaltspunkte ergeben sich aus den typischen Anordnungen der Steckverbinder am Gerät.

*Sollte es nicht passen* (neueres Kabel, aber ältere Geräte (oder Wechselrahmen)): nicht am Gerät, sondern am Kabel ändern (Kontaktposition 20 aufbohren, Nase abfeilen).

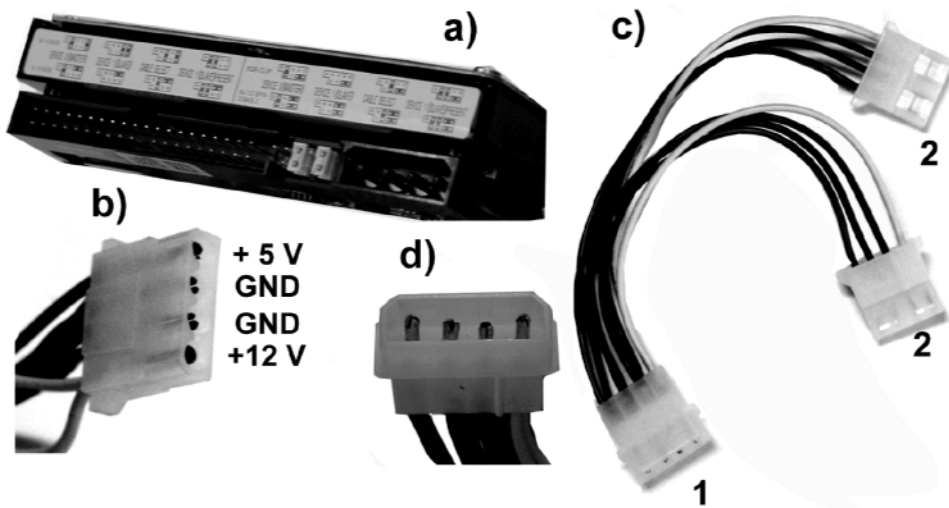
### 9.2.1.5. Stromversorgungsanschlüsse

Der Geräteanschluß hat 4 Kontakte (Abbildung 9.19, Tabelle 9.8). Die Stromversorgungskabel sind typischerweise fest mit dem Netzteil verbunden.

*Wenn es nicht reicht (zuwenig Anschlüsse, Kabel zu kurz)*

Es gibt Verlängerungs- und Abzweigkabel (vgl. Abbildung 9.19c). Im Fall des Falles ist zur Selbsthilfe zu greifen:

- Konfektionierung eines passenden Kabels auf Grundlage entsprechender Steckverbinder (Crimpverbindungen),
- eines der vom Netzteil kommenden Kabel an geeigneter Stelle abschneiden und eine Verlängerung oder einen Abzweig anschauen (Klemmenleiste, isolierte Crimphülsen).



**Abbildung 9.19** Der ATA-Stromversorgungsanschluß

*Erklärung:*

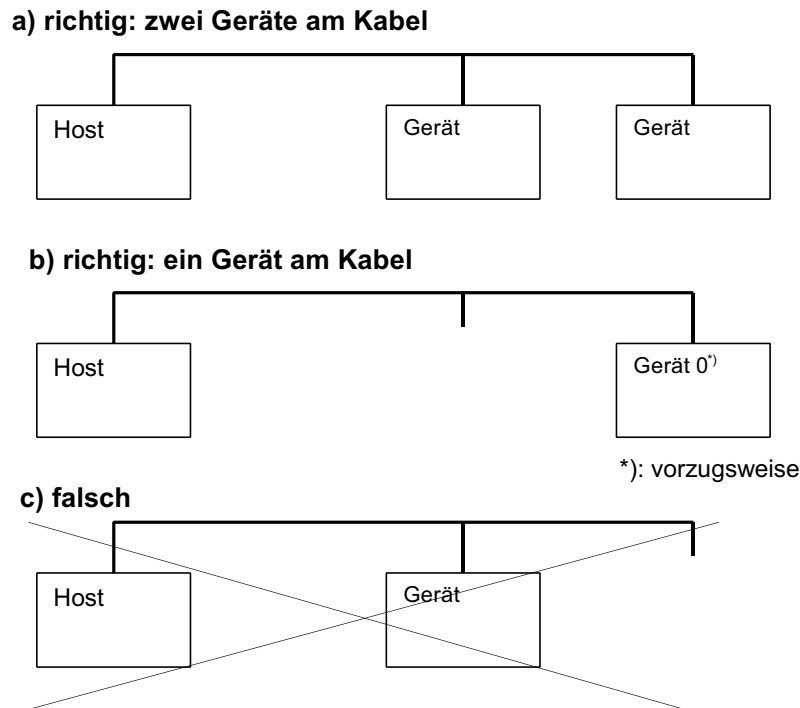
a) - Anschluß am Gerät; b) - Gerätestecker; c) - Abzweigkabel; d) - Kupplung (am Abzweigkabel): 1 - vom Netzteil (Kupplung); 2 - zu den Geräten (Gerätestecker). Abmessungen des Gerätesteckers: ca. 22 mm breit, ca. 6,4 mm dick. Anschlußabstand: 5,08 mm (0,2").

Anschluß	Belegung	Kabelfarbe
1	+ 12 V	gelb
2	Masse (Rückleitung für + 12 V)	schwarz
3	Masse (Rückleitung für + 5 V)	schwarz
4	+ 5 V	rot

**Tabelle 9.8** Die Belegung des ATA-Stromversorgungsanschlusses

### 9.2.1.6. Geräte anschließen

Ein Ende des Kabels wird am Host angeschlossen. Der Geräteanschluß richtet sich nach der Anzahl der Geräte, nach der Art des Kabels und nach dem Prinzip der Geräteadrezuordnung (Abbildungen 9.19 bis 9.21).



**Abbildung 9.20** Grundlagen des Geräteanschlusses

*Erklärung:*

- a) Anschluß zweier Geräte. Bei direkter Geräteadrezuordnung (über Jumper) ist die Anschlußreihenfolge an sich gleichgültig, bei Zuordnung über Kabelauswahl (Cable Select) kommt es auf das Kabel an (Abbildungen 9.20, 9.21).
- b) ein einzelnes Gerät ist stets am anderen Ende des Kabels anzuschließen. Adrezuordnung: am besten als Gerät 0 (Master-Only-Konfiguration). Konfigurationen mit Gerät 1 werden nicht von allen Hosts unterstützt (und auch nicht von älteren Geräten gemäß ATA-1 oder ATA-2).
- c) so nicht anschließen - das unabgeschlossene Kabelende bewirkt Störungen, die den Betrieb des Interfaces beeinträchtigen können.

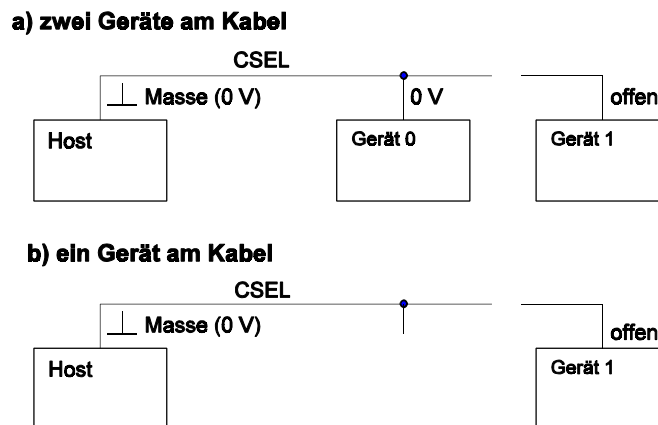
*Empfehlungen:*

1. Das jeweils schnellere Gerät am Kabelende anschließen (Anregung zum Experimentieren beim Verdacht auf unzuverlässige Übertragung/übermäßige Störungen).
2. Sind ein ATA- und ein ATAPI-Gerät an dasselbe Kabel anzuschließen (z. B. Festplatte + CD/DVD), das ATA-Gerät als Gerät 0 und das ATAPI-Gerät als Gerät 1 betreiben.

### Geräteadresszuordnung über Kabelauswahl (Cable Select)

Auf Kabelauswahl eingestellte Geräte werten das an ihrem Steckverbinder anliegende Interfacesignal CSEL (Cable Select) aus:

- Cable Select = 0 (Masseverbindung): Gerät wird zum Gerät 0 (Master).
- Cable Select nicht angeschlossen (keine Masseverbindung): Gerät wird zum Gerät 1 (Slave).



**Abbildung 9.21** Geräteanschluß mit Kabelauswahl über ein Kabel mit 40 Leitungen

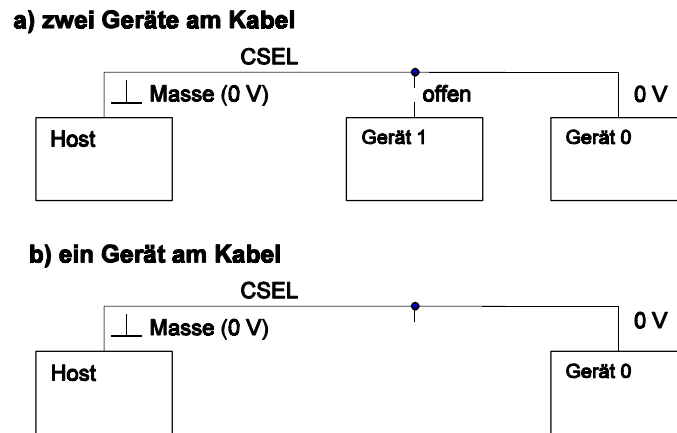
#### Erklärung:

Solche Kabel werden typischerweise mit handelsüblichen IDC-Steckverbindern konfektioniert. Deshalb haben gewöhnliche Kabel mit 40 Leitungen eine durchgehende Cable-Select-Leitung. Sie sind somit für diese Art der Geräteauswahl unbrauchbar. Die einzige Möglichkeit, so ein Kabel auf einfache Weise<sup>\*)</sup> passend herzurichten, besteht darin, die Cable-Select-Leitung (= Leitung Nr. 28) vor dem Steckverbinder am Kabelende durchzutrennen (spitzes Messer, Schraubenzieher). Daraus ergibt sich zwangsläufig die gezeigte Adreßzuordnung. Sie hat aber gelegentlich Nachteile:

- Gerät 0 befindet sich stets in der Mitte. Gerät 0 ist aber oft das schnellere Gerät. Somit ist diese Anschlußposition nicht immer die beste.
- wird nur ein Gerät angeschlossen (notwendigerweise außen; vgl. Abbildung 9.19), so wird es stets zum Gerät 1. Es ergibt sich also eine Slave-Only-Konfiguration, die nicht immer unterstützt wird.

\*) also ohne größere Bastelaktionen.

*Praxistip:* Mit derartigen Kabeln Cable Select nicht verwenden.



**Abbildung 9.22** Geräteanschluß mit Kabelauswahl über ein Kabel mit 80 Leitungen

*Erklärung:*

Die Steckverbinder sind von Grund auf für diesen Einsatzfall entwickelt worden. Deshalb konnte man es so einrichten, daß sich jeweils zweckmäßige Konfigurationen ergeben:

- a) am mittleren Steckverbinder ist der Cable-Select-Kontakt nicht mit der Interfaceleitung verbunden. Das angeschlossene Gerät wird somit zum Gerät 1.
- b) ein einzeln (also außen) angeschlossenes Gerät wird automatisch zum Gerät 0; es ergibt sich also von selbst eine Master-Only-Konfiguration.

*Praxistips:*

1. Cable Select ist nur dann ungünstig, wenn es dazu zwingt, die Geräte in unzuweckmäßiger Reihenfolge einzubauen. Ansonsten hat es den Vorteil, daß man alle Geräte einheitlich einstellen kann. Das ist u. a. wichtig beim Austauschen von Geräten (Reparatur/Upgrade) und beim Einsatz von Wechselrahmen (jedes Gerät kann ohne weiteres in jeden Rahmen geschoben werden).
2. Kabel mit 80 Leitungen sind lediglich teurer, schaden aber sonst nicht. Man kann sie also - um Cable Select zu unterstützen - auch in Zusammenhang mit älterer oder langsamerer Hardware einsetzen.

*Aufnahme der Betriebsart Ultra-DMA/66/100/133*

Hierauf muß alles eingerichtet sein:

- das Motherboard,
- das Gerät,
- das Kabel,
- die Systemsoftware.

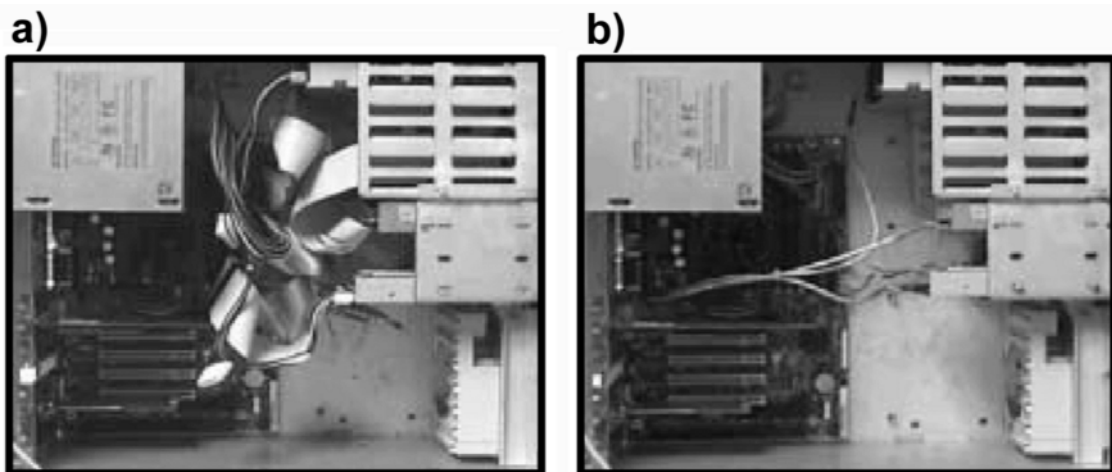
Motherboard und Gerät müssen wissen, was sie können. Welche Betriebsarten unterstützt werden, ist softwareseitig abfragbar. Sowohl das Motherboard als auch das Gerät können erkennen, ob ein 80-adriges Kabel angeschlossen ist oder nicht (Abschnitt 9.3.7.).

### Zwei verschiedenartige Geräte an einem Interface

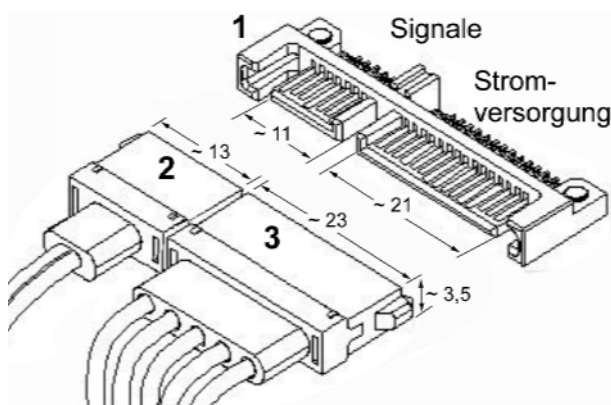
Beispiel: das eine Gerät unterstützt Ultra DMA/33, das andere Ultra DMA/100. Dann wird herkömmlicherweise das gesamte Interface gemäß Ultra DMA/33 betrieben (das langsamere Gerät bestimmt die Betriebsweise). Das macht man aber nur, um zu verhindern, daß die schnelleren Signalfanken die Hardware des langsameren Gerätes beeinträchtigen. Beispiele: (1) allzu schnelle Signalfanken an den Eingängen von LS-TTL-Schaltkreisen können zu internen Fehlschaltungen führen, (2) herkömmliche CMOS-Schaltkreise können zuviel Strom aufnehmen. Bei moderner Hardware sind aber derartige Befürchtungen zumeist gegenstandslos. Es gibt Treibersoftware, die es ermöglicht, jedes Gerät mit der ihm eigenen jeweils schnellsten Betriebsart zu nutzen. Beispiel: der Intel Ultra ATA Storage Driver. Quellen derartiger Programme: die den Motherboards beigegebenen CDs sowie die Internet-Seiten der Motherboard-Hersteller und der Hersteller von Motherboard-Schaltkreissätzen.

## 9.2.2. Serial ATA

Die Verkabelung ist ein offensichtlicher Vorteil dieses Interfaces (Abbildung 9.23). Die Abbildungen 9.24 bis 9.29 geben einen Überblick über Steckverbinder und Kabel.



**Abbildung 9.23** Geräteverkabelung im Vergleich (Intel). a) die herkömmliche (parallele) ATA-Schnittstelle, b) Serial ATA

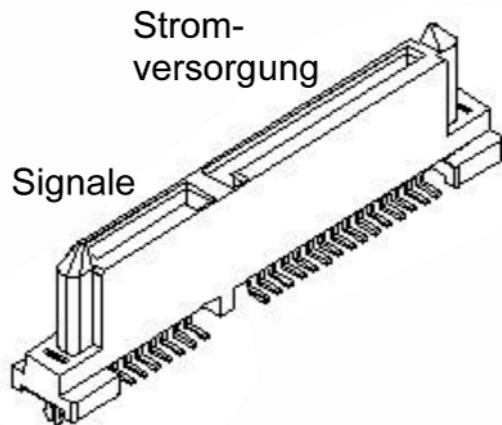


*Erklärung:*

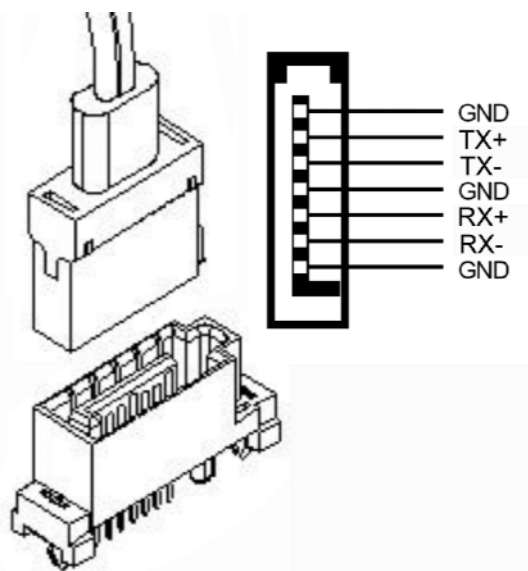
1 - Kombinationssteckverbinder (Signale + Stromversorgung) am Gerät; 2 - Kabel mit Signalstecker; 3 - Kabel mit Stromversorgungsstecker.

**Abbildung 9.24** Die Steckverbinder am Gerät





**Abbildung 9.25** Der hostseitige Kombinationssteckverbinder

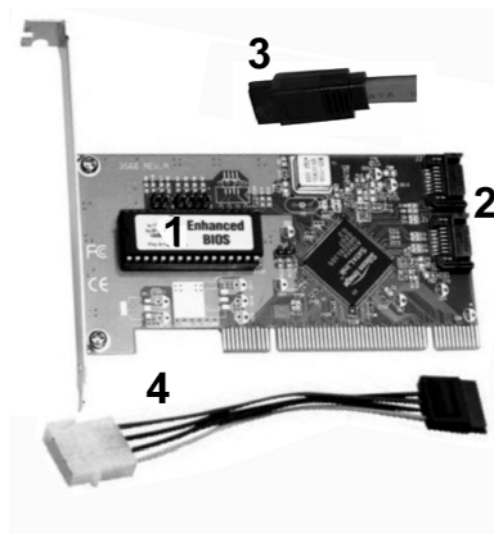


**Abbildung 9.26** Kabelanschluß über den hostseitigen Signalsteckverbinder. Rechts die Anschlußbelegung

*Erklärung:*

Dieser Steckverbinder paßt zum Steckverbinder am Gerät (Pos. 1 in Abbildung 9.24). Hiermit kann man kabellose Verbindungen aufbauen (Wechselrahmen, Rückverdrahtungsplatinen (Backplanes) für Einschubsysteme, portable PCs usw.). Die Steckverbinder sind selbstzentrierend ausgelegt; die Verbindung läßt sich auch bei einem gewissen gegenseitigen Versatz (ca. 1...1,5 mm) noch zusammenfügen (Blind Mating; wichtig für Einschubsysteme). Um das Austauschen von Geräten im eingeschalteten Zustand zu unterstützen (Hot Plugging), gewährleisten diese Steckverbinder eine bestimmte Reihenfolge der Kontaktgabe (Kontaktvor-eilung).

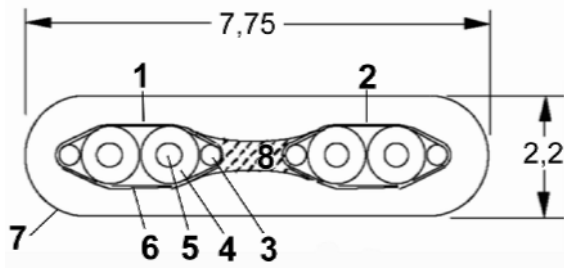
Der Signalsteckverbinder hat 7 Kontakte, der Stromversorgungssteckverbinder 15. Alle Kontakte befinden sich jeweils in einer Reihe: Kontaktabstand: 1,27 mm (0,05"). Die Signalsteckverbinder von Gerät und Host sind gleichartig. Zur Kontaktbelegung siehe die Tabellen 9.9 und 9.10.



**Abbildung 9.27** SATA-Hardware - eine kleine Auswahl

*Erklärung:*

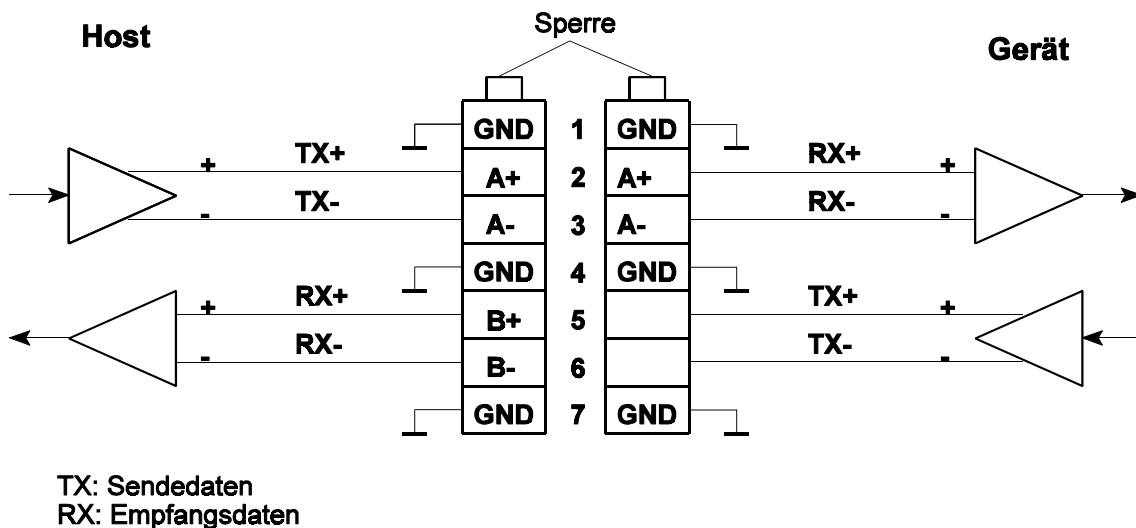
1 - SATA-Hostadapter mit BIOS-ROM; 2 - zwei Signalkabelanschlüsse; 3 - ein Ende des Signalkabels; 4 - Stromversorgungs-Zwischenkabel.



**Abbildung 9.28** Ein Signalkabel im Querschnitt

*Erklärung:*

1, 2 - die beiden Signalleitungspaare; 3 - zusätzliche Masseleitung (28 AWG); 4 - Isolation, 5 - Leiter (26 AWG); 6- umhüllende Abschirmung (aluminiumbeschichtete Polyesterfolie); 7 - Außenhülle (PVC); 8 - Hohlraum. Leiterwerkstoff: Cu-Volldraht, verzinkt. Die Signalleitungen in einem Paar liegen parallel nebeneinander (keine Verdrillung). Wellenwiderstand (differenziell): 100 Ohm, Kapazität: 42 pF/m, Signallaufzeit: 4,25 ns/m. Die Kabel dürfen auch anders aufgebaut sein (z. B. als Rundkabel mit verdrehten Leitungspaaren), sofern sie die elektrischen Kennwerte einhalten.



**Abbildung 9.29** Zur Belegung des Signalkabels

*Erklärung:*

Es handelt sich um eine durchgehende Punkt-zu-Punkt-Verbindung mit einem abgeschirmten Leitungspaar je Übertragungsrichtung (differenzielle Signalübertragung) und zusätzlichen Masseverbindungen. Dabei ist es gleichgültig, ob Gerät und Host über Kabel verbunden oder direkt zusammengesteckt werden (z. B. über eine Backplane).

Bezeichnung	Belegung	Anmerkungen
S1	Masse (GND)	Kontaktvoreilung: 1
S2	A+	Signalpaar vom Host zum Gerät (Host: TX+, TX-; Gerät: RX+, RX-)
S3	A-	
S4	Masse (GND)	Kontaktvoreilung: 1
S5	B+	Signalpaar vom Gerät zum Host (Host: RX+, RX-; Gerät: TX+, TX-)
S6	B-	
S7	Masse (GND)	Kontaktvoreilung: 1

**Tabelle 9.9** Kontaktbelegung des Signalsteckverbinders

Bezeichnung	Belegung	Anmerkungen
P1	V <sub>33</sub>	+ 3,3 V
P2	V <sub>33</sub>	
P3	V <sub>33</sub>	+ 3,3 V; Kontaktvoreilung: 1
P4	Masse (GND)	Kontaktvoreilung: 2
P5	Masse (GND)	Kontaktvoreilung: 1
P6	Masse (GND)	Kontaktvoreilung: 1
P7	V <sub>5</sub>	+ 5 V; Kontaktvoreilung: 1
P8	V <sub>5</sub>	+ 5 V
P9	V <sub>5</sub>	
P10	Masse (GND)	Kontaktvoreilung: 1
P11	reserviert	
P12	Masse (GND)	Kontaktvoreilung: 2
P13	V <sub>12</sub>	+ 12 V; Kontaktvoreilung: 1
P14	V <sub>12</sub>	+ 12 V
P15	V <sub>12</sub>	

**Tabelle 9.10** Kontaktbelegung des Stromversorgungssteckverbinders

*Kontaktvoreilung:*

Sie ist nur beim kabellosen Stecken (über Kombinationssteckverbinder auf beiden Seiten) von Bedeutung. Die Steckreihenfolge:

1. Masse über P4 und P12 (Kontaktvoreilung 2),
2. alle weiteren Massekontakte sowie die Speisespannungskontakte P3, P7, P13 (Kontaktvoreilung 1),
3. alle anderen Kontakte (keine Voreilung).

*Kontaktbelastbarkeit:* wenigstens 1,5 A je Kontakt.

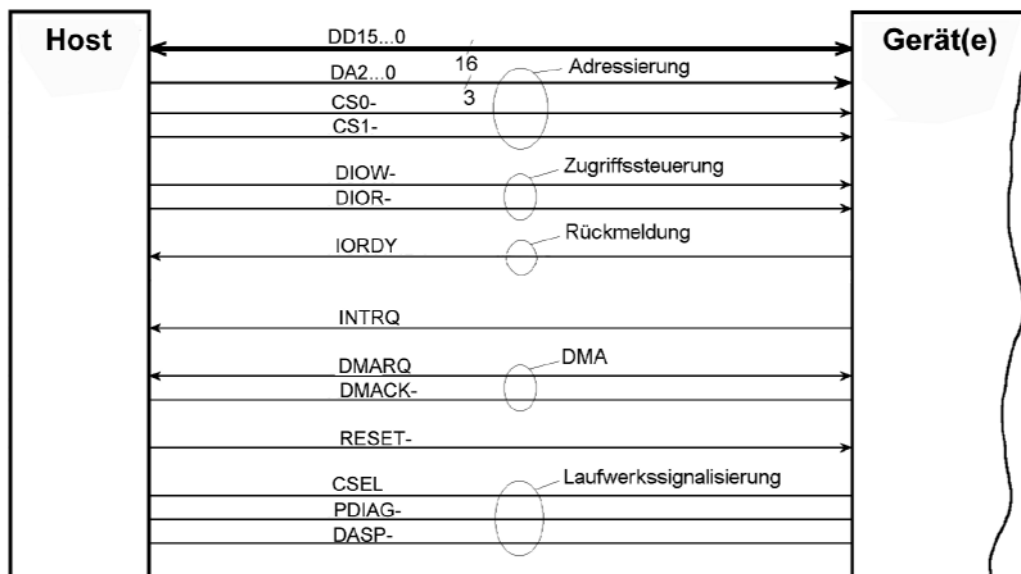
*Hinweis:*

Es hängt vom jeweils angeschlossenen Gerät ab, welche Speisespannungen benötigt werden. Deshalb ist es zulässig, einzelne Speisespannungen wegzulassen. Wird aber eine Speisespannung zugeführt, so muß sie an allen betreffenden Kontakten (es sind jeweils drei) anliegen.

## 9.3. Signale und Signalfolgen

### 9.3.1. Das Interface aus funktioneller Sicht

Die Abbildungen 9.30 bis 9.32 zeigen das Interface zwischen Host und Gerät(en) aus funktioneller Sicht. Daraus gehen zugleich die Signalflußrichtungen hervor. Die Abbildungen 9.33 und 9.34 veranschaulichen die Anschlußbelegungen des 40-poligen und des 44-poligen Steckverbinders.



**Abbildung 9.30** Das IDE-Interface aus funktioneller Sicht (1): PIO- und herkömmlicher DMA-Betrieb

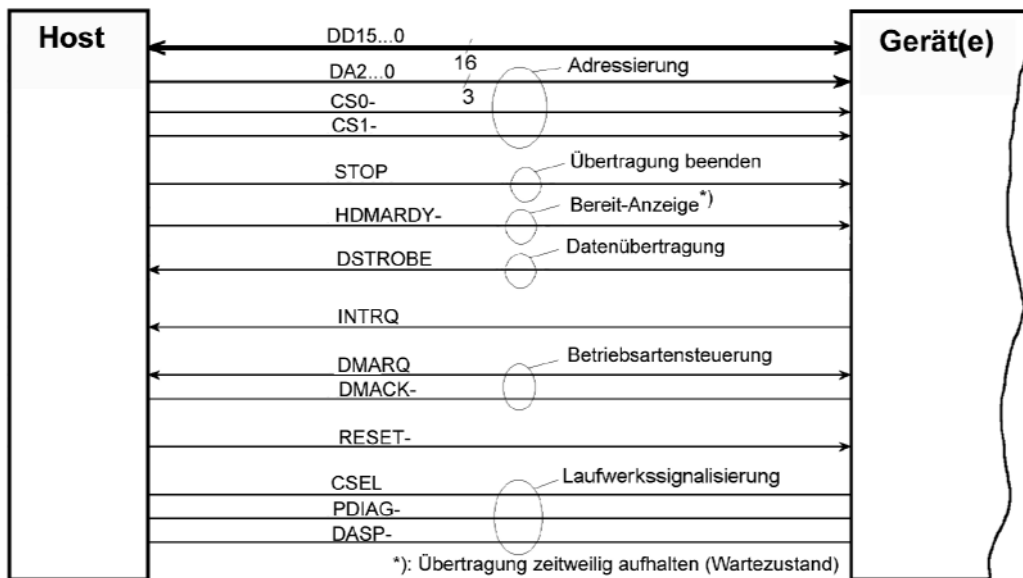


Abbildung 9.31 Das IDE-Interface aus funktioneller Sicht (2): Ultra-DMA-Betrieb, Lesen

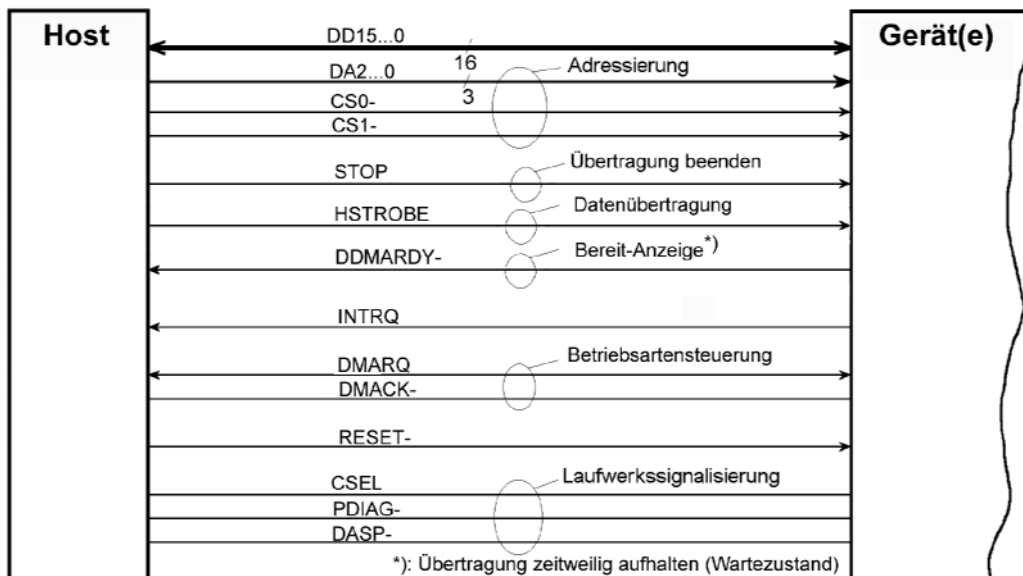
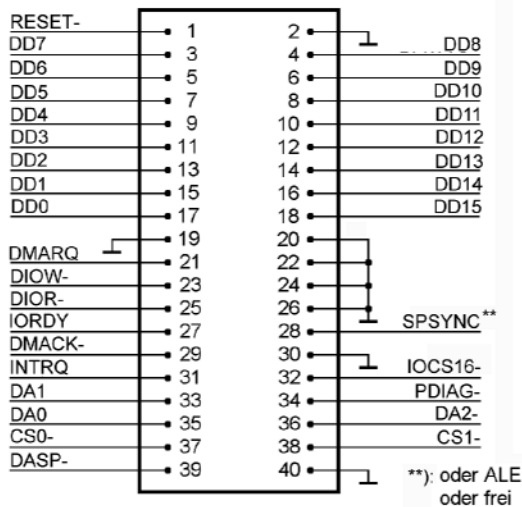


Abbildung 9.32 Das IDE-Interface aus funktioneller Sicht (3): Ultra-DMA-Betrieb, Schreiben

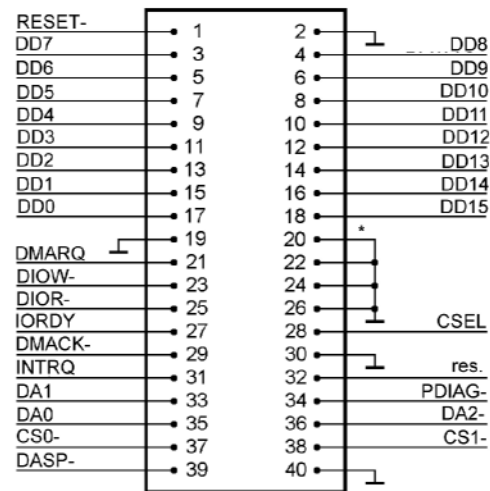
Hinweise:

1. Die Abbildungen beziehen sich auf das mit ATA/ATAPI-4 festgelegte Interface (kein IOCS16-, kein SPSYNC).
2. Alle Abbildungen zeigen die gleichen Signale in gleicher Anordnung. Beim Ultra-DMA-Betrieb haben einige Signale andere Funktionen und demgemäß andere Bezeichnungen.
3. Ein Strich am Ende des Signalbezeichners (Beispiel: CS0-) bedeutet, daß das Signal aktiv Low ist.

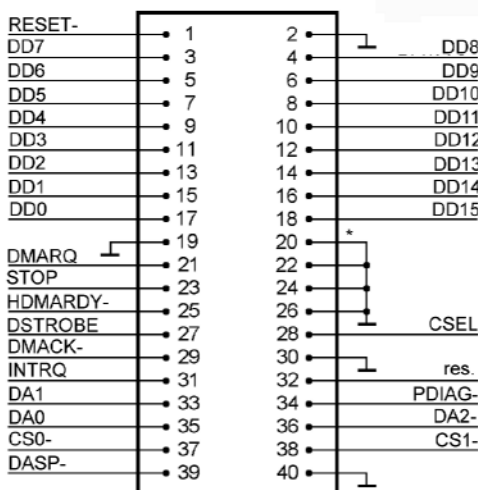
**a) IDE/ATA, herkömmlich (ATA-1/-2)**



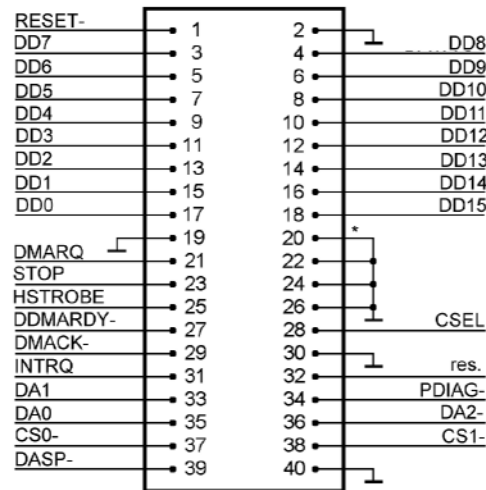
**b) ATA (PIO- und DMA-Betrieb)**



**c) Ultra DMA, Lesen**



**c) Ultra DMA, Schreiben**



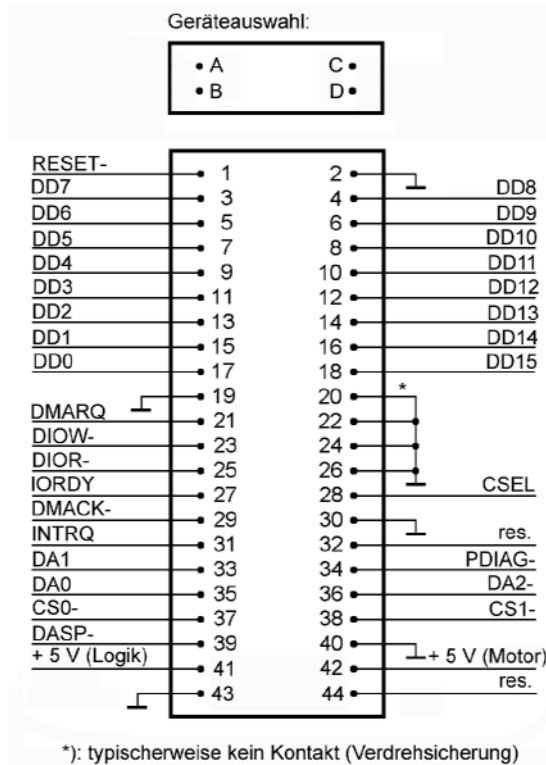
\*) : typischerweise kein Kontakt (Verdrehsicherung)

**Abbildung 9.33** Belegungen des 40-poligen Steckverbinders

*Erklärung:*

a) - Belegung gemäß dem ursprünglichen Standard (ATA-1); b), c), d) - Belegung gilt von ATA/ATAPI-4 an. Folgende in ATA-1 beschriebenen Signale sind im Laufe der Weiterentwicklung entfallen:

- SPSYNC. Als „herstellerspezifisch“ definiert. Die ursprüngliche Absicht: Drehzahlsynchronisation zwischen beiden Laufwerken (Spindle Synchronization). Kaum verwendet. In noch früheren IDE-Schnittstellen teils mit dem ALE-Signal (entsprechend ISA-Bus) belegt.
- IOCS16-. Zeigt an, daß eine 16-Bit-Übertragung stattfindet (entsprechend ISA-Bus). Von ATA-3 an entfallen (Übertragungsbreite ergibt sich stets implizit aus der Art der Übertragung).



**Abbildung 9.34** Belegung des 44-poligen Steckverbinders

*Erklärung:*

Die Belegung entspricht im Grunde der des 40-poligen Steckverbinders. Die Ergänzungen:

- Speisespannungs- und Massezuführung über die Kontakte 41...43,
- zusätzliche, abgesetzte Kontakte A...D zum Einstellen der Geräteauswahl (über Jumper).

### 9.3.2. Signalkennwerte

*Herkömmliche Kennwerte*

Die Interfacesignale haben übliche TTL-Pegel. Die allgemeinen Zeitkennwerte entsprechen jenen des ISA-Bus bzw. der LS-TTL-Baureihe. Low-Ausgangsstrom  $\geq 4$  mA, High-Ausgangsstrom  $\geq 0,4$  mA, High-Ausgangspegel  $\geq 2,4$  V, High-Eingangspegel  $\geq 2,0$  V, Low-Ausgangspegel  $\leq 0,5$  V, Low-Eingangspegel  $\leq 0,8$  V, Anstiegs- und Abfallzeiten der Signalflanken  $\leq 5$  ns.

*Kennwerte moderner Schnittstellen (ATA/ATAPI-6/7)*

Die allgemeinen Kennwerte unterscheiden sich nur unwesentlich von den vorhergehenden Ausgaben des Standards (Tabelle 9.11). Die einzige wirkliche Verschärfung betrifft die Flankensteilheit (so daß zu lange Kabel mit 40 Leitungen ggf. doch zu Problemen führen können). Für Betriebsarten von Ultra DMA Mode 5 an (Ultra DMA 100/133) müssen zusätzliche Anforderungen eingehalten werden (Tabelle 9.12).

*Hinweise:*

1. Beide Tabellen dienen nur dem Überblick; sie enthalten nicht alle Kennwerte.
2. Um die zeitlichen Anforderungen für Ultra DMA 100/133 einhalten zu können, müssen vor allem die Laufzeitunterschiede zwischen den einzelnen Signalleitungen gering gehalten werden. Hierzu hat man das Schaltverhalten genauer spezifiziert (definierte Schaltschwellen). Um die Störsicherheit zu verbessern, werden Eingänge mit Hysterese gefordert, und es wird eine maximale Flankensteilheit vorgegeben (Signalflanken weder zu flach noch zu steil).
3. Die Speisespannung der Buskoppelstufen wurde auf 3,3 V beschränkt.
4. Weitere Kennwerte, die für Ultra DMA 100/133 einzuhalten sind, betreffen vor allem das Einkoppeln von Störungen beim gleichzeitigen Schalten vieler Signale

Bezeichnung	minimal	maximal
High-Ausgangsstrom	4 mA	
High-Ausgangsstrom für Signal DASP-	12 mA	
Low-Ausgangsstrom	0,4 mA	
Low-Ausgangsstrom für DMARQ	0,5 mA	
High-Ausgangsspannung	2,4 V	
High-Eingangsspannung	2 V	5,5 V
Low-Ausgangsspannung		0,5 V
Low-Eingangsspannung		0,8 V
Anstiegs- und Abfallrate		1,25 V/ns (2,5 ns für 2 V Signalhub)

**Tabelle 9.11** Allgemeine Signalkennwerte im Überblick

Bezeichnung	minimal	maximal
Speisespannung für Treiber und Empfänger	3,04 V (3,3 V - 8%)	3,56 V (3,3 V + 8%)
Schaltswelle Low-High	1,5 V	2,0 V
Schaltswelle High-Low	1,0 V	1,5 V
Hysterese (Differenz der Schaltschwellen)	320 mV	
Anstiegs- und Abfallrate	0,4 V/ns (5 ns für 2 V Signalhub)	1,0 V/ns (2 ns für 2 V Signalhub)

**Tabelle 9.12** Zusätzliche Signalkennwerte für Ultra DMA 100/133



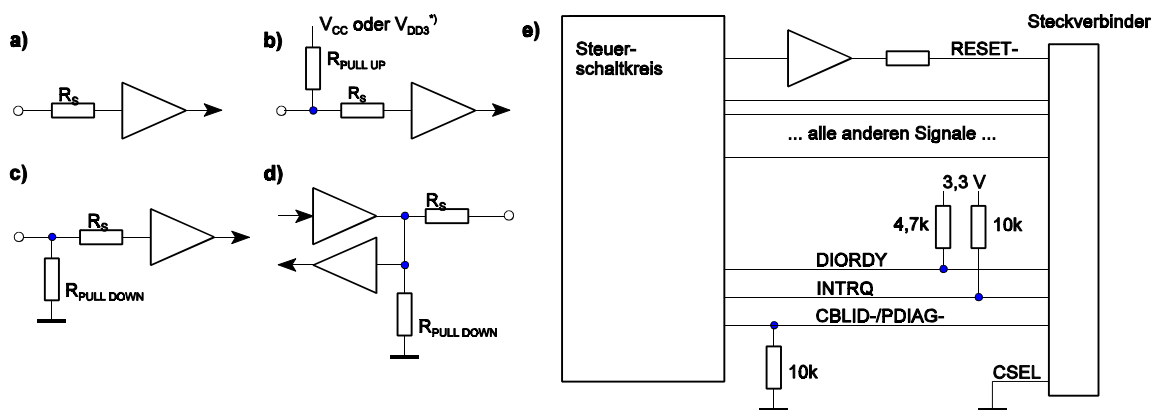
### 9.3.3. Treiber und Empfänger

Der Standard wurde ursprünglich für den Einsatz von LS-TTL-Schaltkreisen ausgelegt. Neuerdings werden CMOS-Buskoppelstufen in hochintegrierten Schaltkreisen verwendet. Ultra DMA erfordert einen Leitungsabschluß mit Serienwiderständen, um die Signalreflexionen zu verringern. Manche Signale sind mit Pull-Up- oder Pull-Down-Widerständen zu beschalten (Tabelle 9.13, Abbildung 9.35).

Signal	Quelle	Treiber	Host		Gerät	
			$R_S$	$R_{PULL}$	$R_S$	$R_{PULL}$
RESET-	Host	TP	33 $\Omega$		82 $\Omega$	
DD15...0	bidirektional	TS	33 $\Omega$	10 k (Down)*)	33 $\Omega$	
DMARQ	Gerät	TS	82 $\Omega$	5,6 k (Down)	22 $\Omega$	
DIOR- (HDMARDY-, HDMASTROBE)	Host	TS	22 $\Omega$		82 $\Omega$	
DIOW (STOP)	Host	TS	22 $\Omega$		82 $\Omega$	
IORDY- (DDMARDY-, DSTROBE)	Gerät	TS	82 $\Omega$	4,7 k (Up)	22 $\Omega$	
CSEL	Host	Masse	-		-	10 k (Up)
DMACK-	Host	TP	22 $\Omega$		82 $\Omega$	
INTRQ	Gerät	TS	82 $\Omega$	10 k (Down) oder 6,2 k (Up)	22 $\Omega$	
DA2...0	Host	TP	33 $\Omega$		82 $\Omega$	
PDIAG-/CBLID-	Gerät	TS				10 k (Up)
CS0-, CS1-	Host	TP	33 $\Omega$		82 $\Omega$	
DASP-	Gerät	OC				10 k (Up)

TP = Totem Pole (Gegentaktausgang); TS = Tri State; OC = Open Collector;  $R_S$  = Serienwiderstand,  $R_{PULL}$  = Pull-Down- oder Pull-Up-Widerstand. \*): betrifft nur DD7

**Tabelle 9.13** Der Signalanschluß im Überblick



**Abbildung 9.35** Typische Signalanschlüsse

*Erklärung zu Abbildung 9.35:*

a) - nur Serienwiderstand; b) - mit zusätzlichem Pull-Up-Widerstand (z. B. IORDY); c) - mit zusätzlichem Pull-Down-Widerstand (z. B. DMARQ); d) - Beschaltung des Datensignals DD7. Der Zweck dieser Besonderheit: der Host soll in Bitposition 7 eine Null lesen, falls kein Gerät angeschlossen ist (er sieht somit stets ein gelöscht BUSY-Bit, wenn er auf das Zustandsregister eines nicht vorhandenen Gerätes zugreift). e) - ein ATA-Anschluß auf einem neueren Motherboard (nach Intel; Dimensionsangaben sind Orientierungswerte). Die Serienwiderstände sind im Steuerschaltkreis eingebaut. Nur das Rücksetzsignal (das hier vom PCI-Bus abgeleitet wird) braucht einen Treiber und einen Serienwiderstand. Achten Sie darauf, daß keinerlei Entstör- und Schutzmaßnahmen (Kondensatoren, Suppressordioden o. dergl. usw.) vorgesehen sind. ATA betrifft nur das Innere des PCs, so daß die einschlägigen Anforderungen (z. B. in Hinsicht auf ESD) nicht erfüllt werden müssen.

## 9.3.4. Signalbeschreibung

### 9.3.4.1. Datenübertragung

#### DD15...0

Die 16 Datenleitungen dienen zum Schreiben und Lesen. Zu den Zugriffsbreiten siehe Tabelle 9.14. Erregung: beim Schreiben vom Host, beim Lesen vom Gerät (bidirektionaler Datenweg).

Zugriffsbreite	beteiligte Datenleitungen	Anwendung
8 Bits	DD7...0	<ul style="list-style-type: none"> <li>■ Registerzugriffe,</li> <li>■ Datenzugriffe auf CFA-Geräte<sup>*)</sup></li> </ul>
16 Bits	DD15...0	Datenzugriffe

<sup>\*)</sup>: CFA = Compact Flash Association. CFA-Geräte sind Speicherkarten mit Flash-ROMs, die über das ATA-Interface betrieben werden

**Tabelle 9.14** Zugriffsbreiten

### 9.3.4.2. Adressierung

#### DA2...0

Die drei Adreßleitungen dienen zur Registerauswahl (vgl. Abschnitt 9.3.8.). Erregung: vom Host.

#### CS1-, CS0-

Auswahl des Registerblocks (vgl. Abschnitt 9.3.8.):

- CS0-: Kommandoregisterblock,
- CS1-: Steuerregisterblock.

In DMA-Zugriffen müssen beide Signale inaktiv sein. Erregung: vom Host.

Bei allen unzulässigen Belegungen der DA- und CS-Signale (ungültige Registeradressen, CS1- und CS0- beide aktiv) ignoriert das Gerät den Zugriff und hält den Datenbus hochohmig.

### 9.3.4.3. Gerätezuweisung

#### CSEL

Eine Festbelegung, die dann wirksam wird, wenn in den Geräten Kabelauswahl (Cable Select) aktiviert ist:

- das Gerät, das CSEL = 0 empfängt, wird zu Gerät 0,
- das Gerät, das CSEL = 1 empfängt, wird zu Gerät 1.

Die Nutzung von CSEL erfordert ein entsprechendes Kabel. An einem Kabel, in dem die CSEL-Anschlüsse 1:1 durchverbunden sind, funktioniert diese Form der Zuweisung nicht.

### 9.3.4.4. Zugriffssteuerung

#### DIOW- (Ultra DMA: STOP)

Erregung: vom Host. Die Nutzung hängt von der Betriebsart ab:

- herkömmliche Zugriffe: Strobe-Signal für Schreibzugriffe. Datenübernahme (ins Gerät) mit der Low-High-Flanke.
- Ultra-DMA-Zugriffe: Endesignalisierung vom Host. Vor Beginn der Datenübertragung muß der Host STOP deaktivieren. Aktivierung während der laufenden Übertragung zeigt das Ende des Übertragungsablaufs an.

#### DIOR- (Ultra DMA: HDMARDY- (Lesen) oder HSTROBE (Schreiben))

Erregung: vom Host. Die Nutzung hängt von der Betriebsart ab:

- herkömmliche Zugriffe: Strobe-Signal für Lesezugriffe. Datenübernahme (in den Host) mit der Low-High-Flanke.
- Ultra DMA (Lesen): Übertragungssteuersignal. HDMARDY- = 0 zeigt dem Gerät an, daß der Host zur Datenübernahme bereit ist. HMARDY- = 1 bewirkt, daß die laufende Datenübertragung zeitweilig angehalten wird (eine Art Wartezustand).
- Ultra DMA (Schreiben): Strobesignal für Schreibzugriffe, das die Daten begleitet (gleiche Signalflußrichtung). Datenübertragung mit beiden Signalflanken.

#### IORDY (Ultra DMA: DSTROBE (Lesen) oder DDMARDY- (Schreiben))

Erregung: vom Gerät. Die Nutzung hängt von der Betriebsart ab:

- herkömmliche Zugriffe: Verlängerung des aktuellen Zugriffs (Einfügen von Wartezuständen). Folgende Zugriffe können verlängert werden: (1) Registerzugriffe, (2) PIO-Zugriffe (typischerweise ab Modus 3).
- Ultra DMA (Lesen): Strobesignal für Lesezugriffe, das die Daten begleitet (gleiche Signalflußrichtung). Datenübertragung mit beiden Signalflanken.
- Ultra DMA (Schreiben): Übertragungssteuersignal. DDMARDY- = 0 zeigt dem Host an, daß das Gerät zur Datenübernahme bereit ist. DDMARDY- = 1 bewirkt, daß die laufende Datenübertragung zeitweilig angehalten wird (eine Art Wartezustand).

### 9.3.4.5. Unterbrechungsauslösung

#### **INTRQ**

Interruptauslösung im Host. Erregung: vom Gerät:

- Aktivierung: vom aktuell ausgewählten Gerät, wenn (1) eine Unterbrechungsbedingung vorliegt und wenn (2) die Interruptauslösung erlaubt ist (Erlaubnisbit nIEN = 0).
- Deaktivierung: (1) durch Auswahl des jeweils anderen Gerätes; (2) durch Setzen des nIEN-Bits im Kommandoregister; (3) durch Lesen des Zustandsregisters.

### 9.3.4.6. DMA-Zugriffe

#### **DMARQ**

Durch Aktivieren dieser Leitung fordert das Gerät einen DMA- oder Ultra-DMA-Zugriff vom Host an. Erregung: vom Gerät.

#### **DMACK-**

Durch Aktivieren dieser Leitung signalisiert der Host dem Gerät, daß der DMA- oder Ultra-DMA-Zugriff ausgeführt wird. Erregung: vom Host.

DMARQ und DMACK- wirken im Sinne eines Handshaking-Signalspiels zusammen:

- das Gerät aktiviert DMARQ ( $\Rightarrow 1$ ),
- daraufhin antwortet der Host mit DMACK- ( $\Rightarrow 0$ ),
- solange DMARQ und DMACK- beide aktiv sind (1, 0), läuft der jeweilige Zugriff (DMA oder Ultra DMA),
- Beenden des Zugriffs: es gibt zwei Möglichkeiten:
  - der Host signalisiert das Ende durch Deaktivieren von DMARQ ( $\Rightarrow 0$ ). Daraufhin deaktiviert das Gerät DMACK- ( $\Rightarrow 1$ ).
  - das Gerät signalisiert das Ende durch Deaktivieren von DMACK- ( $\Rightarrow 1$ ). Daraufhin deaktiviert der Host DMARQ ( $\Rightarrow 0$ ).

### 9.3.4.7. Rücksetzen

#### **RESET**

Hardwareseitiges Rücksetzen (z. B. nach dem Einschalten). Erregung: vom Host. Minimale Impulsbreite: 25  $\mu$ s.

### 9.3.4.8. Gerätesignalisierung

#### **PDIAG-/CBLID**

Kombinierte Nutzung:

- zwischen beiden Geräten: Testendesignalisierung (PDIAG-). Hiermit meldet das Gerät 1 dem Gerät 0, daß es seinen internen Selbsttest beendet hat. Erregung: von Gerät 1. Auswertung: durch Gerät 0. Das Signal ist wirksam: (1) während des Hardware- und des Software-Rücksetzens, (2) im Rahmen des Kommandos „Ausführen Geräteprüfung“ (EXECUTE DRIVE DIAGNOSTICS).

- vom Host: Kabelerkennung (CBLID). Der Host wertet PDIAG- an sich nicht aus. Hierdurch wird es möglich, den entsprechenden Anschluß zur Kabelerkennung zu verwenden:
  - ein herkömmliches Kabel (40 Leitungen) hat eine 1:1-Verbindung. Der Host erkennt ein solches Kabel daran, daß sich das Signal an seinem Anschluß wie PDIAG- verhält.
  - ein Ultra-DMA-Kabel (80 Leitungen) hat in seinem Host-Steckverbinder eine Masseverbindung. Der Host erkennt ein solches Kabel daran, daß sein Anschluß eine feste Nullbelegung führt.

### DASP-

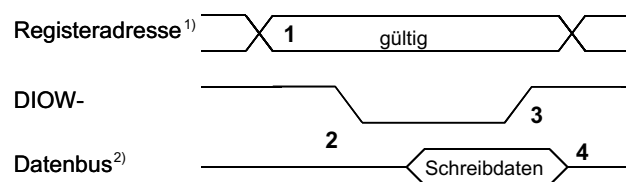
Während des Hardware-Rücksetzens zeigt das Gerät 1 durch Aktivieren von DASP- dem Gerät 0 an, daß es vorhanden ist. Erregung: von Gerät 1. Auswertung: durch Gerät 0. Während des normalen Betriebes wird DASP- vom jeweils ausgewählten Gerät zur Aktivitätsanzeige verwendet (es steuert üblicherweise direkt eine LED an). Erregung: vom ausgewählten Gerät.

## 9.3.5. Funktionsbeschreibung

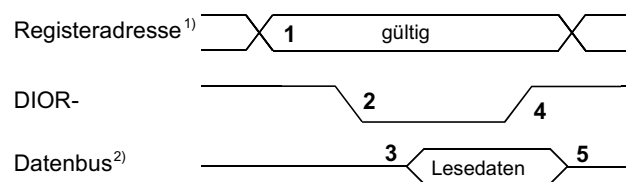
### 9.3.5.1. Registerzugriffe

Registerzugriffe sind herkömmliche Zugriffe mit einer Zugriffsbreite von 8 Bits (Abbildungen 9.36 bis 9.38, Tabellen 9.15, 9.16).

#### a) Schreibzugriff



#### b) Lesezugriff



1): CS0-, CS1-, DA2...0  
2): Datenbits DD7...0 (8-Bit-Zugriffe)

**Abbildung 9.36** Registerzugriffe (1). Schreiben und Lesen

*Erklärung:*

- a) Schreibzugriff: 1 - Host schaltet Registeradresse auf; 2 - Host aktiviert das Strobesignal und belegt den Datenbus mit dem zu schreibenden Byte; 3 - Host deaktiviert das Strobesignal. Infolgedessen werden die Schreibdaten vom Gerät übernommen; 4 - Host gibt Datenbus frei.
- b) Lesezugriff: Der Datenbus ist anfänglich hochohmig. 1 - Host schaltet Registeradresse auf; 2 - Host aktiviert das Strobesignal; 3 - Gerät belegt den Datenbus mit dem gelesenen Byte; 4 - Host übernimmt die Lesedaten und deaktiviert das Strobesignal; 5 - Gerät gibt Datenbus frei.

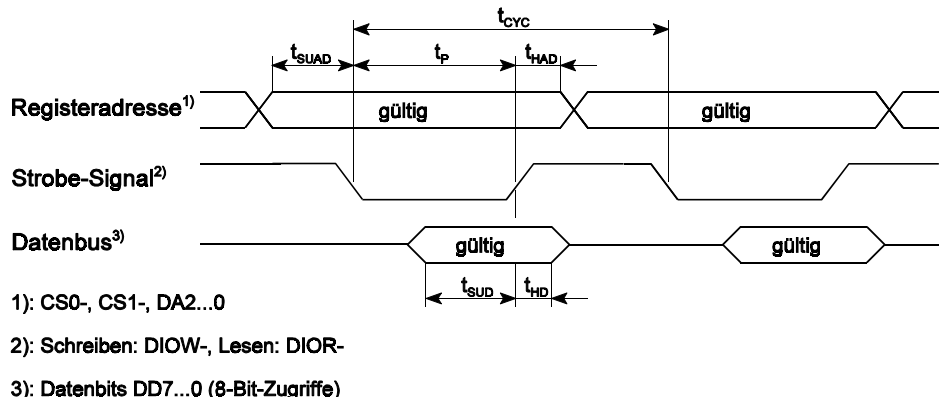


Abbildung 9.37 Registerzugriffe (2). Der allgemeine Ablauf (ohne Wartezustände)

Kennwert	Bedeutung	Betriebsart (Mode)				
		0	1	2	3	4
$t_{CYC}$	Zykluszeit (schnellste Folge von Registerzugriffen)	600	383	330	180	120
$t_p$	minimale Strobe-Impulsdauer	290	290	290	80	70
$t_{SUAD}$	minimale Setup-Zeit für Registeradressierung	70	50	30	30	25
$t_{HAD}$	minimale Haltezeit für Registeradressierung	20	15	10	10	10
$t_{SUD}$	minimale Setup-Zeit für Datenbelegung (Schreiben)	60	45	30	30	20
	minimale Setup-Zeit für Datenbelegung (Lesen)	50	35	20	20	20
$t_{HD}$	minimale Haltezeit für Datenbelegung (Schreiben)	30	20	15	10	10
	minimale Haltezeit für Datenbelegung (Lesen)	5	5	5	5	5

Tabelle 9.15 Zeitkennwerte zu Abbildung 9.37 (alle Angaben in ns). Siehe auch die Hinweise im Anschluß an Tabelle 9.17

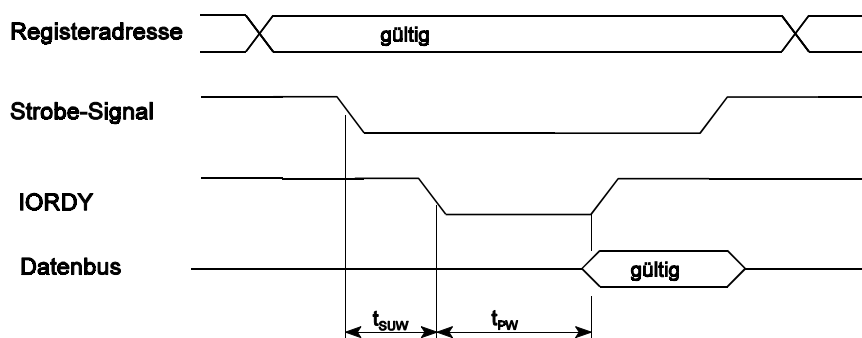


Abbildung 9.38 Registerzugriffe (3). Vom Gerät verlängerter Zugriff (Einfügen von Wartezuständen)

Erklärung zu Abbildung 9.38:

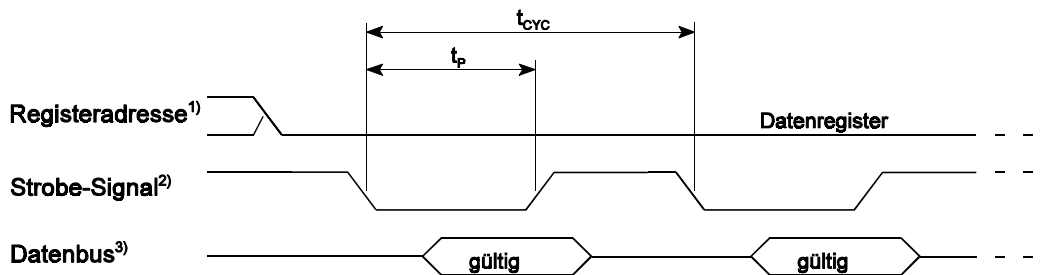
Das Gerät kann durch Aktivieren von IORDY den jeweiligen Zugriff verlängern, also Wartezustände einfügen. IORDY muß spätestens 35 ns nach Aktivierung des Strobe-Signals erregt werden ( $t_{SUW}$ ) und darf höchstens 1,25  $\mu$ s lang aktiv bleiben ( $t_{PW}$ ).

Kennwert	Bedeutung	Zeitangabe (in ns)
$t_{SUW}$	maximale Setup-Zeit zum Einleiten des Wartezustandes	35
$t_{PW}$	maximale Dauer des Wartezustandes (IORDY-Impulsdauer)	1250

**Tabelle 9.16** Zeitkennwerte zu Abbildung 9.38

### 9.3.5.2. Datenzugriffe (1): PIO-Betriebsarten

PIO-Zugriffe (Abbildung 9.39, Tabelle 9.17) sind herkömmliche Zugriffe auf das Datenregister mit einer Zugriffsbreite von typischerweise 16 Bits (8 Bits bei Zugriffen auf CFA-Geräte). Aufeinanderfolgende Zugriffe betreffen aufeinanderfolgende Worte bzw. Bytes im jeweiligen Pufferbereich. Die Signalspiele entsprechen denen der Registerzugriffe. Die Zugriffe können *nicht* über IORDY verlängert werden.



- 1): CS0- = 0, CS1- = 1, DA2...0 = 0H (Datenregister ausgewählt)
- 2): Schreiben: DIOW-, Lesen: DIOR-
- 3): Datenbits DD15...0 (16-Bit-Zugriffe). oder DD7...0 (8-Bit-Zugriffe)

**Abbildung 9.39** PIO-Zugriffe: der allgemeine Ablauf

Kennwert t	Bedeutung	Betriebsart (PIO Mode)				
		0	1	2	3	4
$t_{CYC}$	Zykluszeit (schnellste Folge von PIO-Zugriffen)	600	383	240	180	120
-	max. Datenübertragungsfrequenz (MHz)	1,66	2,61	4,16	5,55	8,33
-	maximale Datenrate (MBytes/s)	3,31	5,22	8,32	11,1	16,66
$t_p$	minimale Strobe-Impulsdauer	290	290	290	80	70

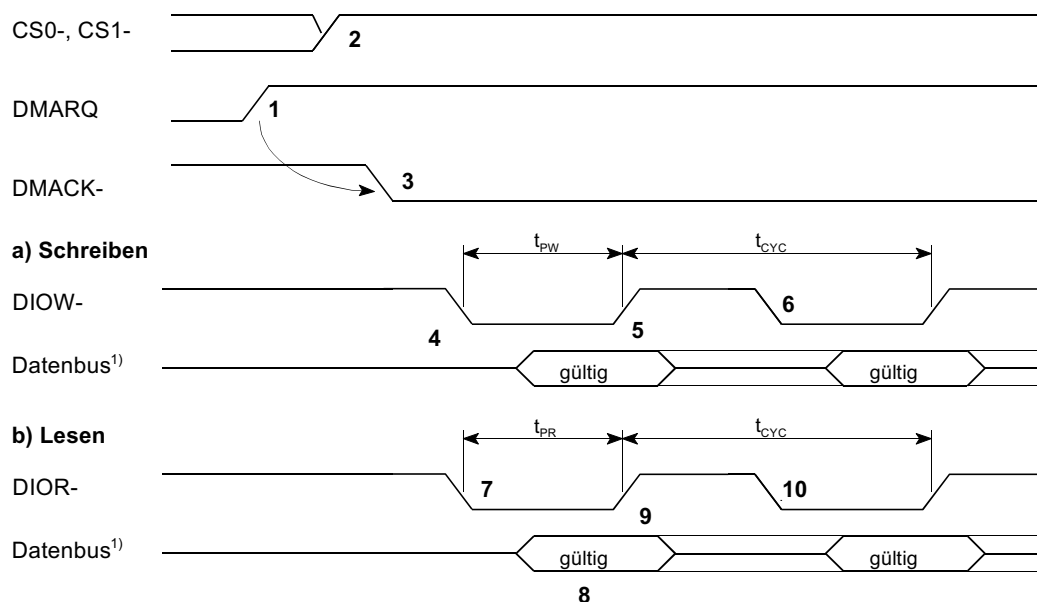
**Tabelle 9.17** Zeitkennwerte zu Abbildung 9.39 (alle Angaben in ns)

*Hinweise:*

1. Geräte, die die PIO-Modi 3 oder 4 unterstützen, beginnen nach dem Einschalten in einem der Modi 0...2.
2. PIO-Zugriffe können durch Aktivieren von IORDY verlängert werden (vgl. Abbildung 9.38). Die Hosts unterstützen dies typischerweise von PIO-Modus 3 an.

### 9.3.5.3. Datenzugriffe (2): herkömmliche DMA-Zugriffe (Multiword DMA)

DMA-Zugriffe (Abbildungen 9.40, 9.41, Tabelle 9.18) beziehen sich auf das Datenregister. Die Zugriffsbreite beträgt 16 Bits. Aufeinanderfolgende Zugriffe betreffen aufeinanderfolgende Worte bzw. Bytes im jeweiligen Pufferbereich. Die über Strobe-Signale gesteuerten Datentransportabläufe entsprechen denen der Registerzugriffe. Typischerweise werden mehrere Worte nacheinander übertragen (Multiword DMA).



1): Datenbits DD15...0 (nur 16-Bit-Zugriffe)

**Abbildung 9.40** DMA-Zugriffe. Zugriffseinleitung und allgemeine Übertragungsabläufe

*Erklärung:*

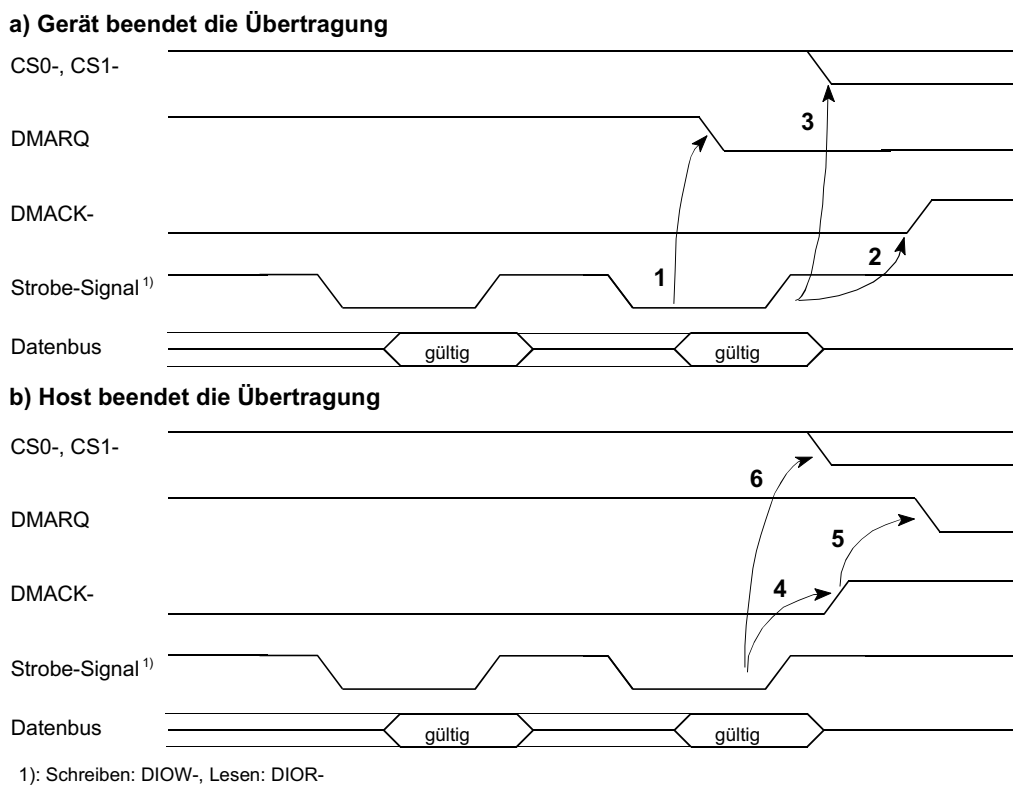
1 - durch Aktivieren von DMARQ fordert das Gerät eine DMA-Übertragung an; 2 - der Host deaktiviert die Auswahlsignale CS1-, CS0-; 3 - der Host startet die DMA-Zugriffe durch Aktivieren von DMACK. Der weitere Ablauf richtet sich nach der Art des Zugriffs:

- a) Schreibzugriff: 4 - Host aktiviert das Strobosignal DIOW- und belegt den Datenbus mit dem zu schreibenden Byte; 5 - Host deaktiviert das Strobosignal. Infolgedessen werden die Schreibdaten vom Gerät übernommen; 6 - Host überträgt das nächste Wort.
- b) Lesezugriff: Der Datenbus ist anfänglich hochohmig. 7 - Host aktiviert das Strobosignal DIOR-; 8 - Gerät belegt den Datenbus mit dem gelesenen Wort; 9 - Host übernimmt die Lesedaten und deaktiviert das Strobosignal; 10 - Lesen des nächsten Wortes.



Kennwert	Bedeutung	Betriebsart (Multiword DMA Mode)		
		0	1	2
$t_{CYC}$	Zykluszeit (schnellste Folge von Registerzugriffen)	480	150	120
-	max. Datenübertragungsfrequenz (MHz)	2,08	6,66	8,33
-	maximale Datenrate (MBytes/s)	4,16	13,32	16,66
$t_{PW}$	minimale Strobe-Impulsdauer (Schreiben)	215	50	25
$t_{PR}$	minimale Strobe-Impulsdauer (Lesen)	50	50	25

**Tabelle 9.18** Zeitkennwerte zu Abbildung 9.40 (alle Angaben in ns)



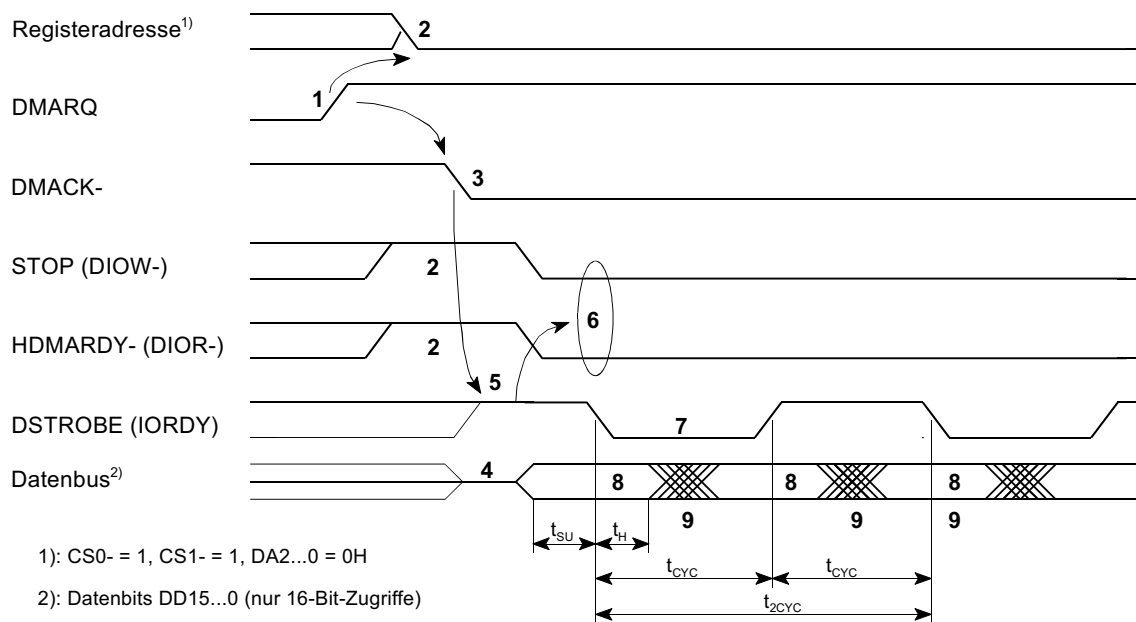
**Abbildung 9.41** Beenden von DMA-Zugriffen

*Erklärung:*

- das Gerät signalisiert das Ende. 1 - während der Strobe-Impuls des letzten übertragenen Wortes noch aktiv ist, deaktiviert das Gerät DMARQ; 2 - nach Ende der Übertragung (= nach dem Deaktivieren des Strobe-Signals) deaktiviert der Host DMACK-; 3 - nach Ende der Übertragung darf der Host die Auswahlssignale (CS1-, CS0-) umschalten.
- der Host signalisiert das Ende. 4 - nach Ende der letzten Übertragung (= nach dem Deaktivieren des Strobe-Signals) deaktiviert der Host DMACK-; 5 - daraufhin deaktiviert das Gerät DMARQ; 6 - nach Ende der Übertragung darf der Host die Auswahlssignale (CS1-, CS0-) umschalten.

### 9.3.5.4. Datenzugriffe (3): Ultra DMA

Ultra-DMA-Zugriffe (Abbildungen 9.42 bis 9.50, Tabelle 9.19) beziehen sich auf das Datenregister. Die Zugriffsbreite beträgt 16 Bits. Aufeinanderfolgende Zugriffe betreffen aufeinanderfolgende Worte bzw. Bytes im jeweiligen Pufferbereich. Für jede Übertragungsrichtung gibt es ein Strobe-Signal, das die Datensignale begleitet (gleiche Signalflußrichtung). Beide Flanken des jeweiligen Strobe-Signals werden zur Datenübertragung ausgenutzt. Typischerweise werden mehrere Worte nacheinander übertragen (Ultra DMA Burst). Der jeweilige Empfänger kann über ein Übertragungssteuersignal veranlassen, daß der jeweilige Sender die Datenübertragung zeitweise aussetzt. Nach Abschluß der Übertragung wird ein CRC-Wort vom Host an das Gerät geschickt (Fehlerkontrolle).



**Abbildung 9.42** Ultra-DMA-Zugriffe (1). Lesen: Zugriffseinleitung und allgemeine Übertragungsabläufe

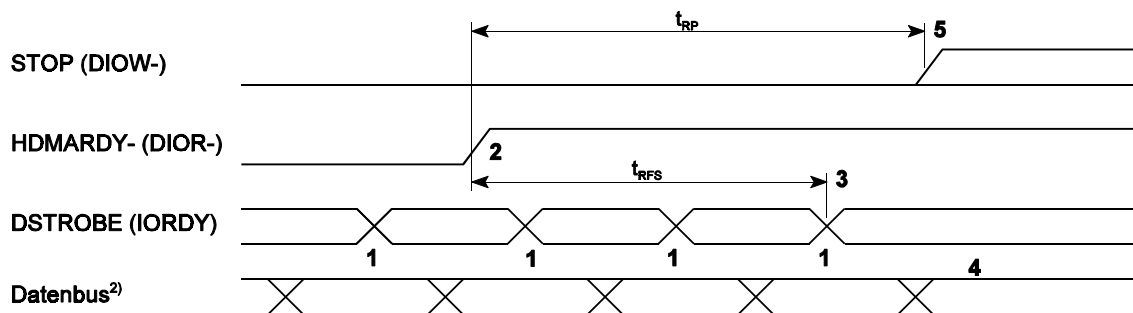
#### Erklärung:

1 - durch Aktivieren von DMARQ fordert das Gerät eine Ultra-DMA-Übertragung an; 2 - der Host deaktiviert die Auswahl- und Adreßsignale CS1-, CS0-, DA2...9, aktiviert STOP und deaktiviert HDMARDY-; 3 - der Host startet die Ultra-DMA-Zugriffe durch Aktivieren von DMACK-; 4- hierzu gibt er ggf. den Datenbus frei (spätester Zeitpunkt); 5 - nach dem Eintreffen von DMACK- aktiviert das Gerät DSTROBE; 6 - der Host deaktiviert STOP und aktiviert HDMARDY-. Hiermit zeigt er seine Bereitschaft zur Datenübertragung an. 7 - das Gerät beginnt mit der eigentlichen Datenübertragung (ein 16-Bit-Wort mit jeder DSTROBE-Flanke). 8 - gültige Daten auf Bus; 9 - Umschalten der Busbelegung.

Kennwert	Bedeutung	Betriebsart (Ultra DMA Mode)							
		0	1	2	3	4	5	6	
$t_{2CYC}$	Zykluszeit zwischen zwei gleichartigen Strobe-Flanken <sup>*)</sup>	240 (230)	160 (153)	120 (115)	90 (86)	60 (57)	40 (38)	30 (29)	
$t_{CYC}$	minimale Strobe-Impulsdauer	112	73	54	39	25	16,8	13	
-	max. Datenübertragungsfrequenz (MHz)	4,16	6,25	8,33	11,11	16,66	25	33,33	
-	max. Datenrate (MBytes/s)	16,6	25	33,3	44,4	66,6	100	133,3	
$t_{SU}$	Daten-Setup-Zeit vor Strobe-Flanke	70	48	31	20	6,7	4,8	4,0	
$t_H$	Daten-Haltezeit nach Strobe-Flanke	6,2	6,2	6,2	6,2	6,2	4,8	4,0	

\*) oben: der jeweils typische Wert. Darunter (in Klammern) der jeweilige Minimalwert

**Tabelle 9.19** Zeitkennwerte zu Abbildung 9.42 (alle Angaben in ns)



- 1): CS0- = 1, CS1- = 1, DA2...0 = 0H
- 2): Datenbits DD15...0 (nur 16-Bit-Zugriffe)

**Abbildung 9.43** Ultra-DMA-Zugriffe (2). Lesen: Host veranlaßt zeitweiliges Aussetzen der Datenübertragung (Übertragungspause)

*Erklärung:*

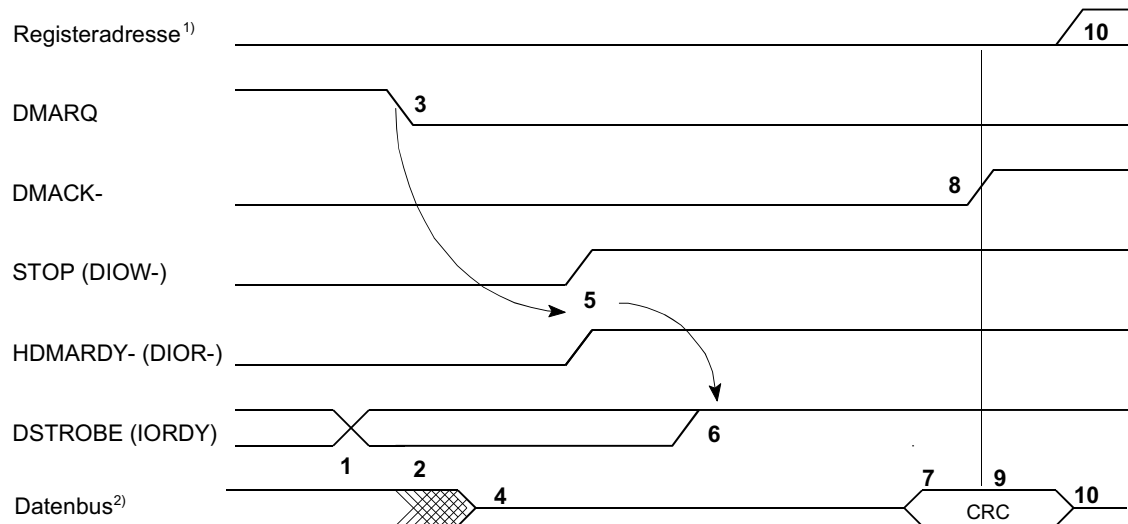
Kommt der Host mit dem Übernehmen der Daten nicht nach, so kann er HDMARDY- deaktivieren, um dem Gerät eine Übertragungspause anzuzeigen. 1 - Strobe-Flanken mit den zugehörigen gültigen Datenbelegungen (werden zum Host übertragen). 2 - Host deaktiviert HDMARDY-; 3 - spätestens nach Ablauf des Zeitkennwerts  $t_{RFS}$  muß das Gerät das Senden weiterer Daten einstellen ( $t_{RFS}$  liegt - je nach Betriebsart - zwischen 75 und 50 ns). Der Host muß darauf eingestellt sein, nach dem Signalisieren der Übertragungspause noch bis zu 3 Datenworte entgegenzunehmen. 4 - Strobe in Ruhe, Datenbus in Ruhe (Übertragungspause). 5 - falls der Host die Datenübertragung ganz und gar beenden möchte (durch Aktivieren von STOP), muß er nach dem Deaktivieren von HDMARDY- wenigstens den Zeitkennwert  $t_{RP}$  abwarten (je nach Betriebsart zwischen 160 und 85 ns).

*Wiederaufnahmen der Datenübertragung:*

Der Host aktiviert HDMARDY-, woraufhin das Gerät mit dem Senden von Strobe-Flanken und der zugehörigen Datenworte wieder einsetzt.

*Vom Gerät eingeleitete Übertragungspausen:*

Kommt das Gerät von sich aus mit dem Liefern der Daten nicht nach, so setzt es das Senden von Strobe-Flanken entsprechend lange aus.



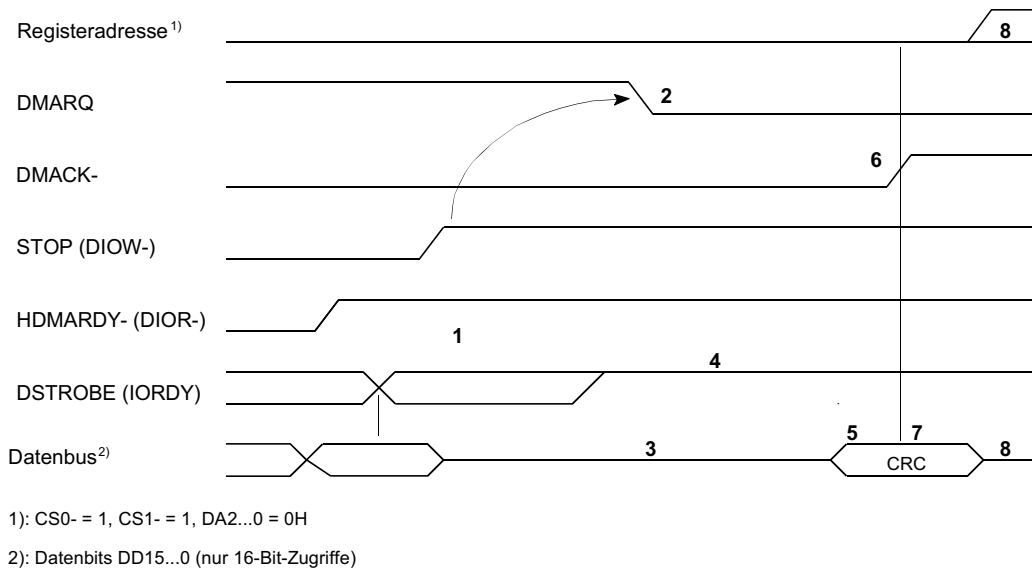
1): CS0- = 1, CS1- = 1, DA2...0 = 0H

2): Datenbits DD15...0 (nur 16-Bit-Zugriffe)

**Abbildung 9.44** Ultra-DMA-Zugriffe (3). Lesen: Gerät beendet den Übertragungsvorgang

*Erklärung:*

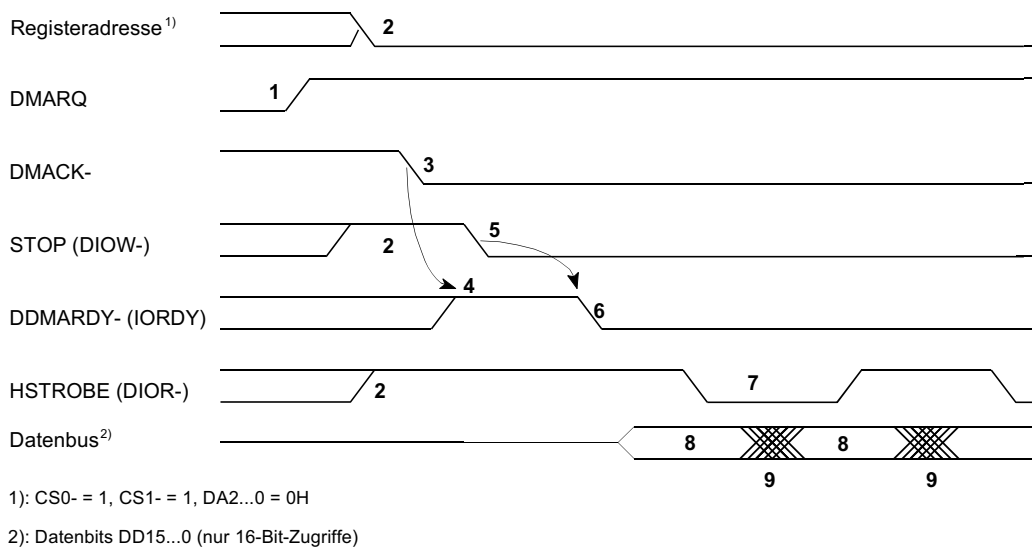
1 - die letzte Übertragung eines Datenwortes mit einer Strobe-Flanke; 2 - das Gerät sendet keine Strobe-Flanken mehr; 3 - das Gerät deaktiviert DMARQ; 4 - das Gerät gibt den Datenbus frei; 5 - der Host aktiviert STOP und deaktiviert HDMARDY-; 6 - das Gerät aktiviert ggf. DSTROBE (nur um es auf 1 zu bringen - keine Datenübertragung); 7 - der Host legt das berechnete CRC-Wort auf den Datenbus; 8 - der Host deaktiviert DMACK-; 9 - mit der Low-High-Flanke von DMACK- übernimmt das Gerät das CRC-Wort vom Datenbus; 10 - Ultra-DMA-Ablauf beendet. Der Datenbus ist freigegeben. Alle anderen Signale haben wieder ihre ursprüngliche Bedeutung und sind inaktiv.



**Abbildung 9.45** Ultra-DMA-Zugriffe (4). Lesen: Host beendet den Übertragungsvorgang

*Erklärung:*

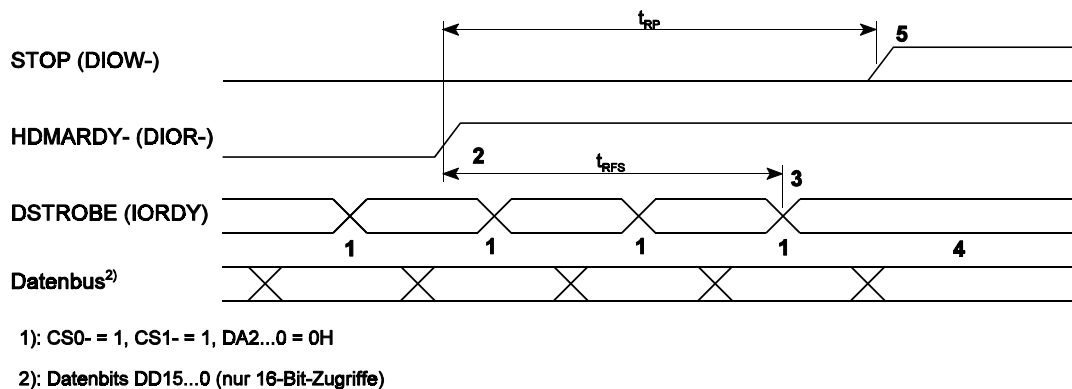
1 - der Host signalisiert zunächst eine Übertragungspause (vgl. Abbildung 9.43): Deaktivieren von HDMARDY- => Entgegennahme der noch ankommenden Daten => Aktivieren von STOP. 2 - nach dem Eintreffen von STOP deaktiviert das Gerät DMARQ; 3 - das Gerät gibt den Datenbus frei; 4 - das Gerät aktiviert ggf. DSTROBE (nur um es auf 1 zu bringen - keine Datenübertragung); 5 - der Host legt das berechnete CRC-Wort auf den Datenbus; 6 - der Host deaktiviert DMACK-; 7 - mit der Low-High-Flanke von DMACK- übernimmt das Gerät das CRC-Wort vom Datenbus; 8 - Ultra-DMA-Ablauf beendet. Der Datenbus ist freigegeben. Alle anderen Signale haben wieder ihre ursprüngliche Bedeutung und sind inaktiv.



**Abbildung 9.46** Ultra-DMA-Zugriffe (5). Schreiben: Zugriffseinleitung und allgemeine Übertragungsabläufe

*Erklärung zu Abbildung 9.46:*

1 - durch Aktivieren von DMARQ fordert das Gerät eine Ultra-DMA-Übertragung an; 2 - der Host deaktiviert die Auswahl- und Adreßsignale CS1-, CS0-, DA2...9 und aktiviert STOP und HSTROBE; 3 - der Host startet die Ultra-DMA-Zugriffe durch Aktivieren von DMACK-; 4- das Gerät deaktiviert DDMARDY-; 5 - der Host deaktiviert STOP; 6 - das Gerät aktiviert DDMARDY-. Hiermit zeigt es seine Bereitschaft zur Datenübertragung an. 7 - der Host beginnt mit der eigentlichen Datenübertragung (ein 16-Bit-Wort mit jeder DSTROBE-Flanke). 8 - gültige Daten auf Bus; 9 - Umschalten der Busbelegung.



**Abbildung 9.47** Ultra-DMA-Zugriffe (6). Schreiben: Gerät veranlaßt zeitweiliges Aussetzen der Datenübertragung (Übertragungspause)

*Erklärung:*

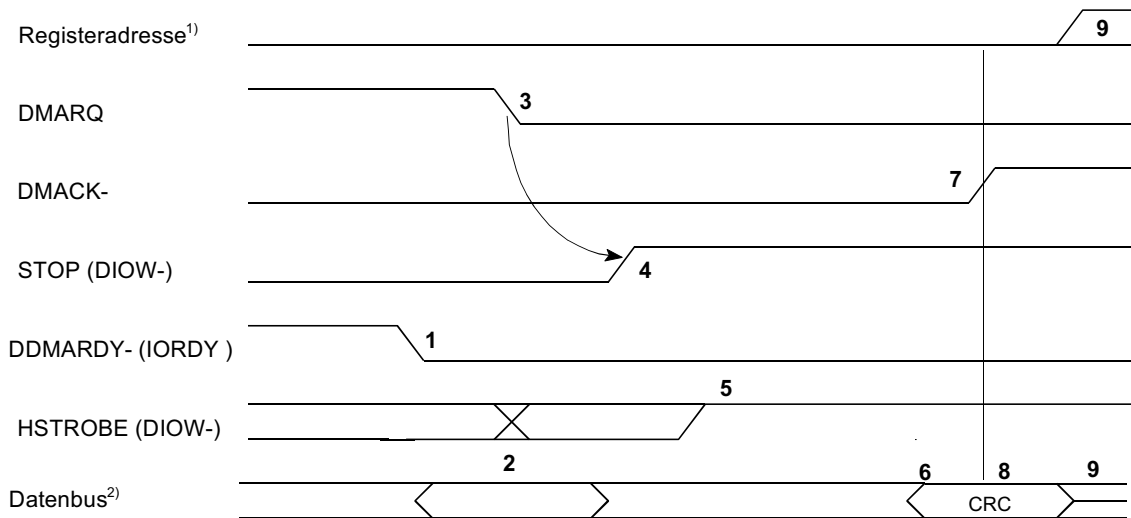
Kommt das Gerät mit dem Übernehmen der Daten nicht nach, so kann es DDMARDY- deaktivieren, um dem Host eine Übertragungspause anzuzeigen. 1 - Strobe-Flanken mit den zugehörigen gültigen Datenbelegungen (werden zum Gerät übertragen); 2 - Gerät deaktiviert DDMARDY-; 3 - spätestens nach Ablauf des Zeitkennwertes  $t_{RFS}$  muß der Host das Senden weiterer Daten einstellen ( $t_{RFS}$  liegt - je nach Betriebsart - zwischen 75 und 50 ns). Das Gerät muß darauf eingestellt sein, nach dem Signalisieren der Übertragungspause noch bis zu 3 Datenworte entgegenzunehmen. 4 - Strobe in Ruhe, Datenbus in Ruhe (Übertragungspause). 5 - falls das Gerät die Datenübertragung ganz und gar beenden möchte (durch Deaktivieren von DMARQ), muß es nach dem Deaktivieren von DDMARDY- wenigstens den Zeitkennwert  $t_{RP}$  abwarten (je nach Betriebsart zwischen 160 und 85 ns).

*Wiederaufnehmen der Datenübertragung:*

Das Gerät aktiviert DDMARDY-, woraufhin der Host mit dem Senden von Strobe-Flanken und der zugehörigen Datenworte wieder einsetzt.

*Vom Host eingeleitete Übertragungspausen:*

Kommt der Host von sich aus mit dem Liefern der Daten nicht nach, so setzt er das Senden von Strobe-Flanken entsprechend lange aus.



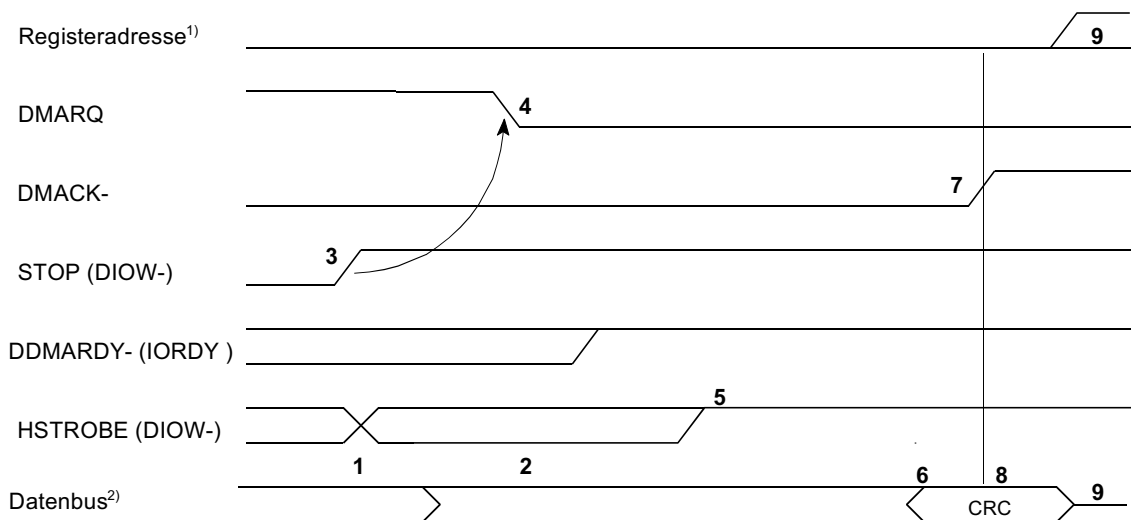
1): CS0- = 1, CS1- = 1, DA2...0 = 0H

2): Datenbits DD15...0 (nur 16-Bit-Zugriffe)

**Abbildung 9.48** Ultra-DMA-Zugriffe (7). Schreiben: Gerät beendet den Übertragungsvorgang

*Erklärung:*

1 - das Gerät signalisiert zunächst eine Übertragungspause (das Gegenstück zum entsprechenden hostseitigen Ablauf; vgl. Abbildung 9.43): Deaktivieren von DDMARDY- => Entgegennahme der noch ankommenden Daten. 2 - die letzte Datenübertragung; 3 - das Gerät deaktiviert DMARQ; 4- der Host aktiviert STOP; 5 - der Host aktiviert ggf. HSTROBE (nur um es auf 1 zu bringen - keine Datenübertragung); 6 - der Host legt das berechnete CRC-Wort auf den Datenbus; 7 - der Host deaktiviert DMACK-; 8 - mit der Low-High-Flanke von DMACK- übernimmt das Gerät das CRC-Wort vom Datenbus; 9 - Ultra-DMA-Ablauf beendet. Der Datenbus ist freigegeben. Alle anderen Signale haben wieder ihre ursprüngliche Bedeutung und sind inaktiv.



1): CS0- = 1, CS1- = 1, DA2...0 = 0H

2): Datenbits DD15...0 (nur 16-Bit-Zugriffe)

**Abbildung 9.49** Ultra-DMA-Zugriffe (8). Schreiben: Host beendet den Übertragungsvorgang

*Erklärung zu Abbildung 9.49:*

1 - die letzte Übertragung eines Datenwortes mit einer Strobe-Flanke; 2 - der Host sendet keine Strobe-Flanken mehr; 3 - der Host aktiviert STOP; 4 - das Gerät deaktiviert DMARQ; 5 - der Host aktiviert ggf. HSTROBE (nur um es auf 1 zu bringen - keine Datenübertragung); 6 - der Host legt das berechnete CRC-Wort auf den Datenbus; 7 - der Host deaktiviert DMACK-; 8 - mit der Low-High-Flanke von DMACK- übernimmt das Gerät das CRC-Wort vom Datenbus; 9 - Ultra-DMA-Ablauf beendet. Der Datenbus ist freigegeben. Alle anderen Signale haben wieder ihre ursprüngliche Bedeutung und sind inaktiv.

*Die CRC-Fehlerkontrolle*

Sowohl Gerät als auch Host bilden während der Datenübertragung ein CRC-Wort von 16 Bits Länge. Am Ende eines jeden Ultra-DMA-Bursts sendet der Host sein CRC-Wort an das Gerät (vgl. die Abbildungen 9.44, 9.45 9.48 und 9.49). Das Gerät vergleicht dieses CRC-Wort mit seinem eigenen. Bei Ungleichheit wird eine Fehlerbedingung gesetzt. Das Abfragen und Auswerten dieser Fehlerbedingung ist Sache der Software. Typische Reaktionen des Hosts im Fehlerfall:

- Wiederholen der Übertragung,
- bei Häufung von CRC-Fehlern: Zurückschalten auf eine langsamere Betriebsart.

### 9.3.6. Rücksetzabläufe

*Hardware-Rücksetzen (Hardware Reset)*

Auslösung: durch Zuschalten der Speisespannung oder durch Erregen des Interfacesignals RESET-. Zum Ablauf siehe Abbildung 9.50 und Tabelle 9.20. Wirkung:

- in allen angeschlossenen Geräten wird ein Selbsttest ausgeführt. Anschließend wird der Anfangszustand eingestellt.
- Gerät 0 erkennt, ob Gerät 1 vorhanden ist (anhand des Signals DASP-) und merkt sich die An- oder Abwesenheit eines Gerätes 1,
- Gerät 0 registriert Selbsttestfehler des Gerätes 1 (anhand des Signals PDIAG-).

Nur beim Einschalt- oder Hardware-Rücksetzen speichert Gerät 0 die Gerätekonfiguration (Gerät 0 allein oder beide Geräte vorhanden).

*Programmseitiges Rücksetzen (1): Software Reset*

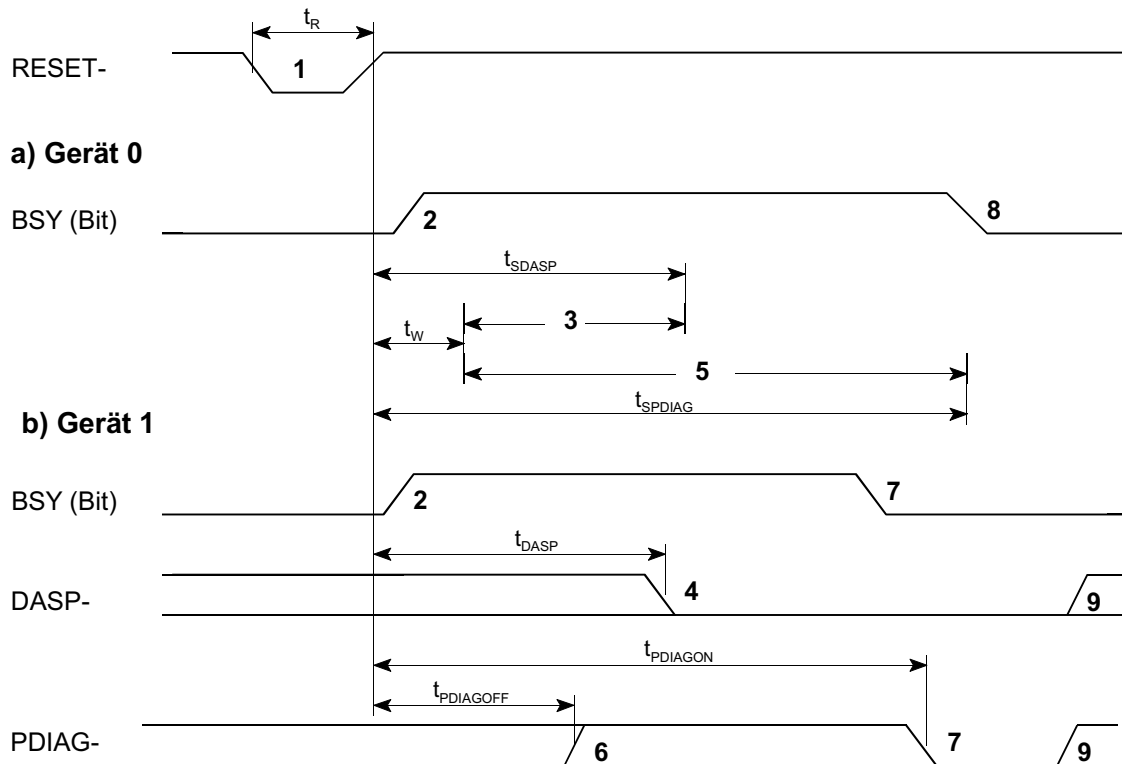
Auslösung: durch Setzen des Bits SRST im Gerätesteuerregister. Die Zeitverhältnisse entsprechen grundsätzlich Abbildung 9.50 und Tabelle 9.20, nur ist DASP- ohne Bedeutung, und es gibt keinen RESET-Impuls. Wirkung:

- in allen angeschlossenen Geräten wird ein Selbsttest ausgeführt. Anschließend wird jeweils der Anfangszustand eingestellt.
- ist Gerät 1 vorhanden, so registriert Gerät 0 dessen Selbsttestfehler (anhand des Signals PDIAG-).

*Programmseitiges Rücksetzen (2): Kommando „Gerät rücksetzen“ (DEVICE RESET)*

Auslösen: durch Kommandoausführung. Wirkung: das ausgewählte Gerät beendet ggf. ein laufendes Kommando und stellt einen Anfangszustand her.





**Abbildung 9.50** Das Hardware-Rücksetzen im Überblick

*Erklärung:*

1 - der Host sendet einen Rücksetzimpuls. Mit der fallenden Flanke dieses Impulses beginnt der eigentliche Rücksetzablauf:

- a) Gerät 0: 2 - für die Dauer des Rücksetzablaufs aktiviert es sein Besetztbit (BSY => 1). Gerät 0 erkennt sich als solches anhand der Geräteauswahl (über Jumper oder Kabelauswahl). 3 - in diesem Zeitabschnitt beobachtet es das DASP-Signal. Wird dabei DASP- als aktiv vorgefunden, so weiß Gerät 0, daß Gerät 1 vorhanden ist. 5 - hat sich Gerät 1 als vorhanden herausgestellt, so beobachtet Gerät 0 in diesem Zeitabschnitt das PDIAG-Signal. 8 - Ausschalten des Besetztbits nach Ablauf des Selbsttests (BSY => 0). Bei erkanntem Gerät 1 wird es dann ausgeschaltet, wenn beide Selbsttests abgelaufen sind (Ende des Selbsttests von Gerät 1 wird anhand des PDIAG-Signals erkannt).
- b) Gerät 1: 2 - für die Dauer des Rücksetzablaufs aktiviert es sein Besetztbit (BSY => 1). Gerät 1 erkennt sich als solches anhand der Geräteauswahl (über Jumper oder Kabelauswahl). 4 - Gerät 1 aktiviert DASP-, um dem Gerät 0 sein Vorhandensein anzuzeigen. 6 - PDIAG- wird zunächst deaktiviert, um es Gerät 0 zu ermöglichen, zwischen Hängenbleiben und erfolgreichem Testdurchlauf zu unterscheiden. 7 - bei erfolgreichem Testdurchlauf wird das Besetztbit ausgeschaltet (BSY => 0) und PDIAG- aktiviert. 9 - Ausschalten von DASP- und PDIAG- nach Empfang des ersten Kommandos oder spätestens 31 s nach Auslösung des Rücksetzens (je nachdem, was eher kommt).

Kennwert	Bezeichnung	minimal	maximal
$t_R$	Rücksetzimpulsdauer	25 $\mu$ s	
$t_W$	Warten bis zum Auswerten der Signale von Gerät 1	1 ms	
$t_{SDASP}$	Auswerteintervall für DASP-		450 ms
$t_{SPDIAG}$	Auswerteintervall für PDIAG-		31 s
$t_{DASP}$	Beginn der Aktivierung von DASP-		400 ms
$t_{PDIAGOFF}$	Deaktivierung von PDIAG-		1 ms
$t_{PDIAGON}$	Aktivierung von PDIAG-		30 s

**Tabelle 9.20** Zeitkennwerte des Hardware-Rücksetzens (Überblick)

*Zur Auswertung von DASP-:*

Gerät 0 wartet zunächst  $t_W = 1$  ms ab. Dann wird DASP- abgefragt. Ist DASP- innerhalb von  $t_{SDASP} = 450$  ms nicht aktiv geworden, wird angenommen, daß es kein Gerät 1 gibt (dann wird auch kein PDIAG- ausgewertet).

*Zur Auswertung von PDIAG-:*

Bei erkanntem DASP- wird PDIAG- abgefragt. Wird PDIAG- sofort nach dem Erkennen von DASP- als aktiv vorgefunden, so nimmt Gerät 0 einen Fehler in Gerät 1 an (Hängenbleiben im Selbsttest - dem Gerät 1 ist es offensichtlich nicht gelungen, PDIAG- zunächst zu deaktivieren). Sinngemäß wird ein Fehler in Gerät 1 angenommen, wenn PDIAG- nach spätestens 31 s nicht als aktiv erkannt wird.

*Hinweise:*

1. Die Geräte dürfen keine Rücksetzimpulse auswerten, die kürzer sind als 20  $\mu$ s.
2. Daß *gar kein Gerät angeschlossen ist*, erkennt der Host daran, daß er das Besetztbit (Bitposition 7 im Zustandsregister) stets als Null (= gelöscht) vorfindet (vgl. die Beschaltung in Abbildung 9.35d).
3. Gerät 0 liefert (anhand von PDIAG-) nur eine pauschale Fehleraussage zu Gerät 1 (ob es o.k. ist oder nicht). Um den Fehlerzustand des Gerätes 1 genauer zu bestimmen, muß die Software dessen Fehlerregister abfragen.
4. Das Deaktivieren von PDIAG- mit dem ersten Kommando ist von ATA-3 an standardisiert. Beim Anschließen noch älterer Geräte über Kabel mit 40 Leitungen kann es ggf. zu Schwierigkeiten kommen (weil ein aktives PDIAG- (Low-Pegel) dem Host ein Kabel mit 80 Leitungen vortäuscht).
5. Nach dem Rücksetzen hinterlassen die Geräte im Registersatz eine typische Kennung, die *Signatur* (Abschnitt 9.3.9.).

### 9.3.7. Kabelerkennung

Um die jeweils zweckmäßige (= schnellstmögliche, aber trotzdem zuverlässige) Betriebsart automatisch einstellen zu können, muß die Software wissen, über welche Art von Kabel das Gerät angeschlossen ist.

*Erkennung seitens des Hosts*

Das Signal CBLID- wird abgefragt. Beim Kabel mit 80 Leitungen ist es im hostseitigen Steckverbinder fest mit Masse verbunden (wird also ständig eine 0 gelesen, so handelt es sich wahrscheinlich um ein Kabel mit 80 Leitungen).

### Erkennung seitens des Gerätes

Das muß vom Motherboard schaltungstechnisch unterstützt werden, und zwar durch einen gegen Masse geschalteten Kondensator am CBLID-Anschluß. Das Gerät gibt Prüfpulse auf die PDIAG-Leitung. Handelt es sich um ein Kabel mit 80 Leitungen, so besteht keine Verbindung zum CBLID-Anschluß auf dem Motherboard; der Kondensator ist also wirkungslos. Handelt es sich hingegen um ein Kabel mit 40 Leitungen, so wirkt der Kondensator so, daß die Prüfpulse mit einer gewissen Zeitverzögerung inaktiv werden. Dieses Längerwerden des Prüfpulses wird vom Gerät erkannt.

Im Host gibt es zwei alternative Beschaltungen des CBLID-Anschlusses:

- das Signal ist an einen programmseitig abfragbaren Eingang geführt (vgl. Abbildung 9.35e). Dann kann der Host die Kabelart erkennen.
- das Signal ist gar nicht an einen Schaltkreis angeschlossen. Dann muß es mit einem Kondensator gegen Masse beschaltet sein (Richtwert: 47 nF), so daß das Gerät die Kabelart erkennen kann. Diesen Trick hat man sich einfallen lassen, weil PDIAG- an sich vom Host nicht ausgewertet wird. Herkömmliche Entwürfe (vor ATA/ATAPI-4) hatten deshalb dieses Signal gar nicht berücksichtigt. Beispielsweise fehlt beim NLX-Formfaktor der entsprechende Signalweg im Steckverbinder von der Erweiterungsleiterplatte (Riser Card) mit den ATA-Anschlüssen zum Motherboard, so daß es gar keine Gelegenheit gibt, das CBLID-Signal abzufragen.

## 9.3.8. Registeradressierung

Die einzelnen Register werden über die CS- und DA-Signale adressiert (Abbildungen 9.51 bis 9.53). Es gibt insgesamt 8 gültige Registeradressen, über die insgesamt 12 verschiedene Register zugänglich sind (manche Adressen sind beim Lesen und Schreiben jeweils anderen Registern zugeordnet). Einige Register sind fest belegt, einige haben eine Belegung, die von der Art des Gerätes abhängt (Näheres in Abschnitt 9.5.1.).

Registerblock	CS		Registeradresse DA				Register	
	1-	0-	2	1	0	Hex	Lesezugriff	Schreibzugriff
Kommando- registerblock	1	0	0	0	0	0	Datenregister	
	1	0	0	0	1	1	Fehlerregister	Funktionsmerkmale
	1	0	0	1	0	2	Sektoranzahl	
	1	0	0	1	1	3	Sektornummer	
	1	0	1	0	0	4	Zylinder-Nr. niedrig (7...0)	
	1	0	1	0	1	5	Zylinder-Nr. hoch (15...8)	
	1	0	1	1	0	6	Geräte- und Kopfauswahl	
	1	0	1	1	1	7	Zustandsregister	Kommandoregister
Steuer- registerblock	0	1	1	1	0	6	Zustandsregister 2	Gerätesteuerregister

**Abbildung 9.51** Der Registersatz (1). In Geräten mit CHS-Adressierung

Registerblock	CS		Registeradresse DA				Register	
	1-	0-	2	1	0	Hex	Lesezugriff	Schreibzugriff
Kommando- registerblock	1	0	0	0	0	0	Datenregister	
	1	0	0	0	1	1	Fehlerregister	Funktionsmerkmale
	1	0	0	1	0	2	Sektoranzahl	
	1	0	0	1	1	3	LBA niedrig (7...0)	
	1	0	1	0	0	4	LBA mittel (15...8)	
	1	0	1	0	1	5	LBA hoch (23...16)	
	1	0	1	1	0	6	Geräteauswahl/LBA (27...24)	
	1	0	1	1	1	7	Zustandsregister	Kommandoregister
Steuer- registerblock	0	1	1	1	0	6	Zustandsregister 2	Gerätesteuerregister

**Abbildung 9.52** Der Registersatz (2). In Geräten mit LBA-Adressierung

Registerblock	CS		Registeradresse DA				Register	
	1-	0-	2	1	0	Hex	Lesezugriff	Schreibzugriff
Kommando- registerblock	1	0	0	0	0	0	Datenregister	
	1	0	0	0	1	1	Fehlerregister	Funktionsmerkmale
	1	0	0	1	0	2	Unterbrechungsursache	
	1	0	0	1	1	3		
	1	0	1	0	0	4	Byteanzahl niedrig	
	1	0	1	0	1	5	Byteanzahl hoch	
	1	0	1	1	0	6	Geräteauswahl	
	1	0	1	1	1	7	Zustandsregister	Kommandoregister
Steuer- registerblock	0	1	1	1	0	6	Zustandsregister 2	Gerätesteuerregister

**Abbildung 9.53** Der Registersatz (3). In ATAPI-Geräten

#### Grundlagen der Registeradressierung

Der Registersatz ist in zwei Blöcke eingeteilt:

- Kommandoregisterblock. 8 Registeradressen, 10 Register.  
CS1- = 1, CS0- = 0 (Auswahl über CS0-).
- Steuerregisterblock. 1 Registeradresse, 2 zugängliche Register.  
CS1- = 0, CS0- = 1 (Auswahl über CS1-). Adreßbelegung: DA2...0 = 6.

Auf ungültige Registeradressen dürfen die Geräte nicht reagieren (Schreibversuche werden ignoriert, bei Leseversuchen bleiben die Datenleitungen hochohmig).

*Geräteauswahl:* über das DEV-Bit im Geräteauswahlregister. 0: Gerät 0, 1: Gerät 1. Erst das Gerät auswählen, dann auf die anderen Register zugreifen.

Wann die Geräteauswahl *nicht* wirkt:

- beim Hardware-Rücksetzen,
- beim Software-Rücksetzen (durch Setzen des SRST-Bits im Gerätesteuerregister),
- beim Kommando „Ausführen Geräteprüfung“ (EXECUTE DRIVE DIAGNOSTICS).

Diese Funktionen betreffen beide Geräte gleichzeitig. Gerät 0 verwaltet die pauschale Fehlermeldung von Gerät 1 auf Grundlage der Signalisierung über DASP- und PDIAG-.

#### Zweifachzugriffe (Host + Gerät)

Der Registersatz ist kein Dual-Port-RAM; auf die meisten Register kann jeweils nur der Host oder nur das Gerät zugreifen. Wer zugreifen darf, hängt vom Betriebszustand des Gerätes ab:

- BSY = 0: Prozessor hat Zugriff auf den Registersatz (Gerät in Ruhe).
- BSY = 1: Gerät hat Zugriff auf den Registersatz (Gerät besetzt = mit Kommandoausführung beschäftigt).

Folgende Register sind hingegen *stets* zugänglich:

- die beiden Zustandsregister (um das BSY-Bit abfragen zu können),
- das Gerätesteuerregister (um ggf. ein Software-Rücksetzen auslösen zu können).

### 9.3.9. Gerätesignaturen

Nach dem Rücksetzen hinterlassen die Geräte in ihren Registern eine jeweils kennzeichnende Belegung (Signatur), anhand derer die Art des Gerätes erkannt werden kann (Tabelle 9.21)

Register	Festplatte o. ä. (ATA-Kommandosatz)	CD-R, DVD, ZIP o. ä. (ATAPI)	Serial ATA
Sektoranzahl	01H	01H	
LBA niedrig	01H	01H	
LBA mittel	00H	14H	3CH o. 69H
LBA hoch	00H	E6H	C3H o. 96H
Geräteauswahl	00H	000x00000B <sup>*)</sup>	

<sup>\*)</sup>: in manchen Fällen bleibt das DEV-Bit (x) erhalten

**Tabelle 9.21** Gerätesignaturen

Eine Signatur wird hinterlassen:

- nach dem Hardware-Rücksetzen,
- nach dem Software-Rücksetzen,
- nach einem Kommando „Ausführen Geräteprüfung“ (EXECUTE DRIVE DIAGNOSTICS).

ATAPI-Geräte hinterlassen eine Signatur auch nach den Kommandos „Geräterücksetzen“, „Identifizieren Gerät“ und „Lesen Sektor“ (dann bleibt das DEV-Bit erhalten).

## 9.4. IDE/ATA-Schnittstellen im PC

Die meisten Motherboards haben zwei ATA-Kanäle, manche auch 3 oder 4 (dann unterstützt das Motherboard typischerweise den Aufbau von RIAD-Konfigurationen). Erweiterung: über entsprechende Steckkarten (vgl. Abbildung 9.9e). Die Registersätze der einzelnen Kanäle sind über E-A-Adressen zugänglich. Der Hostadapter setzt die jeweiligen E-A-Adressen in Belegungen der CS- und DA-Leitungen um. Die E-A-Adressen der ersten 4 Kanäle entsprechen zumeist einem Industriestandard (Tabellen 9.22, 9.23).

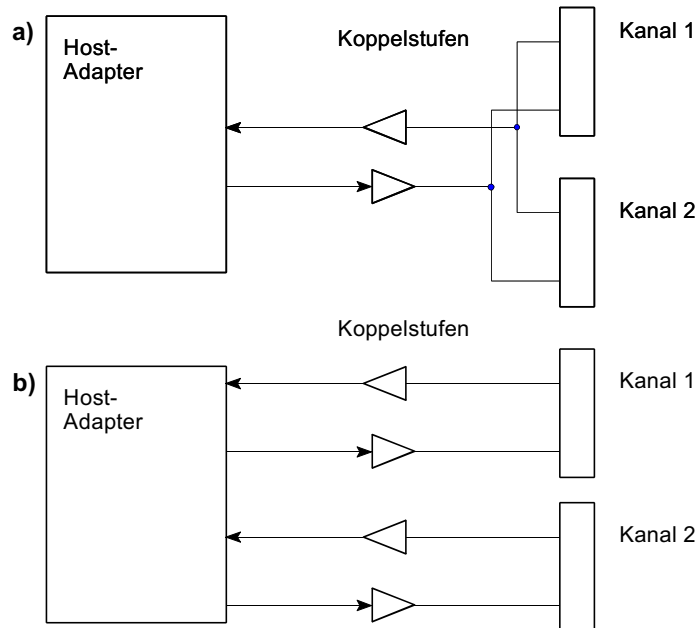
IDE/ATA-Kanal	Geräteadressen (Hex)		Interrupt- leitung	alternative Interrupt- leitung
	Kommandoregisterblock	Steuerregisterblock		
1. (Primary)	1F0...1F7	3F6	14	-
2. (Secondary)	170...177	376	15	-
3. (Ternary)	1E8...1EF	3EE	11	12 oder 9
4. (Quaternary)	168...16F	36E	10	

**Tabelle 9.22** Typische IDE/ATA-Schnittstellen in PCs

Register	ATA-Kanal im PC			
	1.	2.	3.	4.
Datenregister	1F0	170	1E8	168
Fehlerregister/Funktionsmerkmale	1F1	171	1E9	169
Sektoranzahl	1F2	172	1EA	16A
Sektornummer/LBA niedrig	1F3	173	1EB	16B
Zylinder-Nr.niedrig/LBA mittel	1F4	174	1EC	16C
Zylinder-Nr./LBA hoch	1F5	175	1ED	16D
Geräteauswahl	1F6	176	1EE	16E
Zustandsregister/Kommandoregister	1F7	177	1EF	16F
Zustandsregister 2/Gerätesteuerregister	3F6	376	3EE	36E

**Tabelle 9.23** E-A-Adressenübersicht

Typischerweise werden jeweils zwei ATA-Kanäle (und damit Kabelanschlüsse) von einem Steuer-schaltkreis aus betrieben (Dual Cable Configuration). Sparsame Entwickler haben in der Vergangenheit oft gemeinsame Treiber- und Empfängerstufen für beide Kabel vorgesehen (Abbildung 9.54). Aus Tabelle 9.24 ist ersichtlich, welche Sparlösungen in moderner Hardware zugelassen sind.



**Abbildung 9.54** Varianten des Kabelanschlusses. a) mit gemeinsamen, b) mit unabhängigen Koppelstufen

Betriebsart	zulässig	empfohlen
alle PIO- und Multiwort-DMA-Betriebsarten	gemeinsame Koppelstufen für alle Signale	unabhängige Koppelstufen wenigstens für DIOR-, DIOW-, IORDY oder für CS1-, CS0-
Ultra DMA bis Mode 2	gemeinsame Koppelstufen für alle Signale außer DMACK-	
Ultra DMA ab Mode 3	gemeinsame Koppelstufen nur für RESET-, INTRQ, DA2...0, CS1-, CS0- und DASP-	unabhängige Koppelstufen für alle Signale (vgl. Abbildung 9.35e)

**Tabelle 9.24** Sparlösungen des Interfaceanschlusses

*Hinweis:*

Sparlösungen (mit gemeinsamen Koppelstufen) haben zur Folge, daß sich Fehler in einem Kanal auch am anderen auswirken (daran, daß es an Kanal 1 nicht funktioniert, können auch Kabel oder Gerät(e) des Kanals 2 schuld sein - und umgekehrt).

*Praxistip:*

Ggf. mittels Durchgangsprüfung (an den Steckverbindern) herausfinden, welche Signale mit gemeinsamen Koppelstufen beschaltet sind.

## 9.5. Software-Schnittstellen

### 9.5.1. Registerbeschreibung

#### 9.5.1.1. Die herkömmliche Registerbelegung

Der Registersatz wurde ursprünglich für Massenspeicher mit CHS-Adressierung ausgelegt (Abbildung 9.55). Wir beziehen uns hier auf den Stand ab ATA-4 (mit Ultra DMA).

*Hinweis:*

Die CHS-Adressierung gilt nur bis ATA-5; sie ist mit ATA-6 entfallen (ab Ultra DMA 100). Ansonsten (was die Belegung der anderen Register angeht), entspricht Abbildung 9.55 ATA-7.

Register	Bitposition								Zugriff	Adresse
	7	6	5	4	3	2	1	0		
Kommandoregisterblock										
Datenregister	Datenwort oder -byte (16/8 Bits)								R/W, 1	1F0
Fehlerregister	ICRC	UNC	MC	IDNF	MCR	ABRT	NM	va	R, 3	1F1
Funktionsmerkmale	Steuercode								W, 2	
Sektoranzahl	Sektoranzahl								R/W, 2	1F2
Sektornummer	1. Sektor								R/W, 2	1F3
Zylinder-Nr. niedrig	Zylinder, Bits 7...0								R/W, 2	1F4
Zylinder-Nr. hoch	Zylinder, bits 15...8								R/W, 2	1F5
Geräte- u. Kopfasw.	va	LBA/va	va	DEV	HEAD SEL 3...0				R/W, 2	1F6
Zustandsregister	BSY	DRDY	DF	#	DRQ	va	va	ERR	R, 4	1F7
Kommandoregister	Kommandocode								W, 2	
Steuerregisterblock										
Zustandsregister 2	BSY	DRDY	DF	#	DRQ	va	va	ERR	R, 4	3F6
Gerätesteuerregister	HOB	res	res	res	res	SRST	nIEN	0	W, 5	

**Abbildung 9.55** Die herkömmliche Registerbelegung im Überblick. Die Spalte „Adresse“ betrifft ATA-Kanal 1 in typischen PCs

*Erklärung der Abkürzungen:*

- #: Inhalt kommandoabhängig,
- res: reserviert,
- va: veraltet (von ATA/ATAPI-4 an bedeutungslos),
- R: nur Lesen,
- W: nur Schreiben,
- R/W: Lesen und Schreiben,
- 1...5: Zugriffsbeschränkungen.



Die Zugriffsbeschränkungen hängen vor allem vom Gerätezustand ab:

- 1) Zugriffe dürfen nur dann ausgeführt werden, wenn DRQ gesetzt ist,
- 2) Schreibzugriffe sind nur möglich, wenn BSY und DRQ beide 0 sind. Ein gelesener Registerinhalt ist nur dann gültig, wenn BSY = 0 ist.
- 3) der gelesene Registerinhalt ist nur dann gültig, wenn BSY und DRQ beide 0 sind und ERR gesetzt ist,
- 4) Zugriffe sind immer möglich, aber wenn BSY gesetzt ist, sind die anderen gelesenen Bits ungültig,
- 5) Zugriffe sind immer möglich.

### **Datenregister (Data Register)**

Das Register ist zum Datentransport vorgesehen. Bei Datenzugriffen wird stets die E-A-Adresse dieses Registers angesprochen. Über diese Registeradresse hat die Software Zugang zum Sektorpuffer des Gerätes. Die Datenübertragung selbst läuft typischerweise mit 16-Bit-Zugriffen ab (Ausnahme: CFA-Geräte). Datenzugriffe sind im Grunde sequentielle Zugriffe auf einen linearen Puffer (aufeinanderfolgende Zugriffe betreffen aufeinanderfolgende Pufferpositionen). Dabei gibt es jeweils nur eine Zugriffsrichtung.

### **Fehlerregister (Error Register)**

Aus diesem Register kann entweder ein Fehlercode oder der aktuelle Fehlerzustand nach Ausführung eines Kommandos gelesen werden.. Die Angabe ist nur dann gültig, wenn im Zustandsregister das ERR-Bit gesetzt ist. Mit Ausnahme des Bits ABRT ist die Belegung kommandoabhängig. Die in Abbildung 9.55 gezeigte Belegung entspricht einem solchen Fehlerzustand (es ist ein typisches Beispiel dargestellt):

- ICRC: CRC-Vergleichsfehler bei Ultra-DMA-Übertragungen.
- UNC (Uncorrectable Data Error): Im Datenfeld des Sektors wurde ein Fehler erkannt, der nicht mittels ECC korrigiert werden kann.
- MC (Media Change): Seit dem letzten Zugriff wurde das Speichermedium gewechselt. Betrifft nur Geräte mit wechselbarem Speichermedium.
- IDNF (ID not Found): Das Kennzeichnungsfeld des betreffenden Sektors wurde nicht gefunden (Sektor gar nicht vorhanden oder fehlerhaft oder Positionierfehler).
- MCR (Media Change Requested): Der Nutzer hat eine Anforderung zum Wechseln des Speichermediums gestellt (Knopfdruck). Betrifft nur Geräte mit wechselbarem Speichermedium.
- ABRT (Aborted Command): Kommando wurde abgebrochen (Kommando unzulässig oder Gerätefehler).
- NM (No Media): kein Speichermedium vorhanden. Betrifft nur Geräte mit wechselbarem Speichermedium.

### *Fehlercodes*

Ein Fehlercode wird nach dem Rücksetzen oder nach einem Kommando „Ausführen Geräteprüfung“ (EXECUTE DRIVE DIAGNOSTICS) im Fehlerregister hinterlegt. Der Code gibt die jeweils am meisten verdächtige Funktionseinheit an. Typische Codes (0xH - Fehler in Gerät0, 8xH - Fehler in Gerät 1):

- 01H/81H: o.k.,
- 02H/82H: Sektorformatierer,
- 03H/83H: Datenpuffer,

- 04H/84H: ECC-Logik,
- 05H/85H: Mikrocontroller.

*Hinweis:*

8xH bedeutet, daß ein Fehler im Gerät 1 vorliegt. Die verbleibenden Bits des Fehlercodes betreffen aber Gerät 0 (die Software müßte also ggf. Gerät 1 gesondert abfragen). Gerät 0 setzt Bit 7, wenn Gerät 1 zwar vorhanden ist, aber PDIAG- nicht aktiviert (vgl. Abschnitt 9.3.6.).

**Funktionsmerkmale (Feature-Register)**

Dieses Register dient zur Parameterübergabe. Sein Inhalt hängt vom auszuführenden Kommando ab.

**Sektorzahl (Sector Count Register)**

Das Register enthält zu Beginn eines Kommandos die Anzahl der Sektoren, die geschrieben oder gelesen werden sollen. Ist ein Lese- oder Schreibkommando abgebrochen worden, steht im Register die Anzahl der verbliebenen Sektoren. (Einige andere Kommandos nutzen das Register zum Übergeben anderer Parameter.)

**Sektornummer (Sector Number Register)**

Das Register enthält die Nummer des ersten Sektors, der vom Kommando angesprochen werden soll.

**Zylinder-Nr., niedrig (Cylinder Low Register), Zylinder Nr., hoch (Cylinder High Register)**

Diese beiden Register enthalten zusammen eine 16-Bit-Angabe zur Auswahl des ersten Zylinders, der vom Kommando angesprochen werden soll.

**Geräte- und Kopfauswahl (DH-Register)**

DH = Drive/Head. Das Register enthält die Geräts- und Kopfauswahl sowie einige Steuerbits:

- LBA: Ist das Bit gesetzt, arbeitet das Gerät im LBA-Modus, ist es gelöscht, im CHS-Modus. Von ATA-6 an stets auf 1 zu setzen (es gibt nur noch LBA; das Bit ist also veraltet).
- DEV: Geräteauswahl: 0 - Gerät 0 (Master), 1 - Gerät 1 (Slave).
- HEAD SEL: Kopfauswahl. Es wird die Nummer des ersten Kopfes angegeben, der vom Kommando angesprochen werden soll (Kopfnummer im Bereich 0...15).

**Zustandsregister (Status Register)**

Über das Zustandsregister ist der aktuelle Zustand des Gerätes abfragbar. Lesezugriffe auf dieses Register löschen anstehende Unterbrechungsanforderungen.

- BSY (Busy): Kennzeichnet den Besetztzustand. Solange BSY gesetzt ist, darf nicht auf die anderen Register zugegriffen werden (mit Ausnahme des Zustandsregisters 2 und des Adreßregisters).
- DRDY (Drive Ready): Kennzeichnet den Bereitzustand. Ist DRDY = 1, so ist das Gerät in der Lage, alle vorgesehenen Kommandos auszuführen. Ist DRDY = 0, so nimmt das Gerät nur bestimmte Rücksetz- und Prüfkommandos an.
- DF (Device Fault). Fehleranzeige, die von vielen Kommandos gesetzt wird (ab ATA-6). Betrifft Fehler, die nicht im Fehlerregister beschrieben werden.
- DRQ (Data Request): Ein neuer Datentransport wird erwartet; das Datenregister (bzw. der Sektorpuffer) ist frei (beim Schreiben) oder voll (beim Lesen).
- ERR (Error): Fehler in der Kommandoausführung. Der aktuelle Fehlerzustand steht im Fehlerregister.

### **Kommandoregister (Command Register)**

In dieses Register werden die Kommandocodes geschrieben.

### **Zustandsregister 2 (Alternate Status Register)**

Der Registerinhalt entspricht dem oben beschriebenen Zustandsregister. Nur werden bei Lesezugriffen anhängige Unterbrechungsanforderungen *nicht* gelöscht.

### **Gerätesteuerregister (Device Control Register)**

Das Steuerregister dient zum softwareseitigen Rücksetzen, zum Steuern der Unterbrechungsanforderungen und - wenn die 48-Bit-Adressierung wirksam ist - zur Registerauswahl beim Lesen.

- HOB (High Order Byte): Registerauswahl bei 48-Bit-Adressierung (ab ATA-6). Ist das Bit gesetzt, so liefern Lesezugriffe auf die Register 2...6 des Kommandoregisterblocks (vgl. Abbildung 9.52) das jeweils höherwertige Byte zurück (vgl. Abbildung 9.61). HOB wird bei jedem Schreibzugriff auf den Kommandoregisterblock gelöscht.
- SRST (Software Reset): Auslösung des Software-Rücksetzens (vgl. Abschnitt 9.3.6.).
- nIEN (Interrupt Enable): Unterbrechungserlaubnis. nIEN = 0: Unterbrechungen erlaubt (die INTRQ-Leitung darf aktiviert werden). nIEN = 1: Unterbrechungen verhindert.

## **9.5.1.2. Die LBA-Registerbelegung**

Die Registerbelegung entspricht weitgehend Abbildung 9.55. Die CHS-Angaben werden durch eine lineare Sektoradresse von 28 oder 48 Bits Länge ersetzt (vgl. Abbildung 9.52). Näheres in Abschnitt 9.5.3.

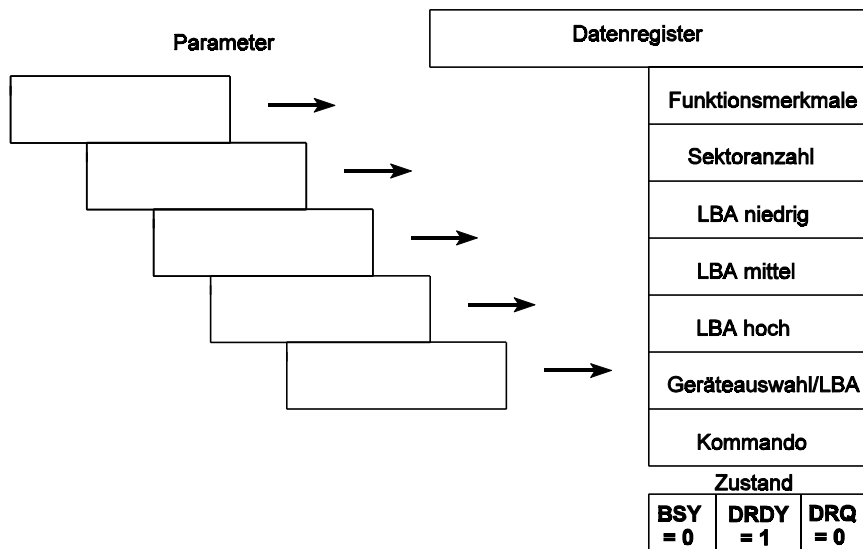
## **9.5.1.3. Die ATAPI-Registerbelegung**

ATAPI = AT Attachment Packet Interface. Diese Spezifikation wurde entwickelt, um an das ATA-Interface weitere Geräte (außer Festplatten) auf reguläre Weise anschließen zu können. Die Grenzen der herkömmlichen ATA-Softwareschnittstelle liegen in dem beschränkten Registersatz, der nur 12 Bytpositionen enthält, die für Steuer- und Zustandsangaben verwendet werden können.

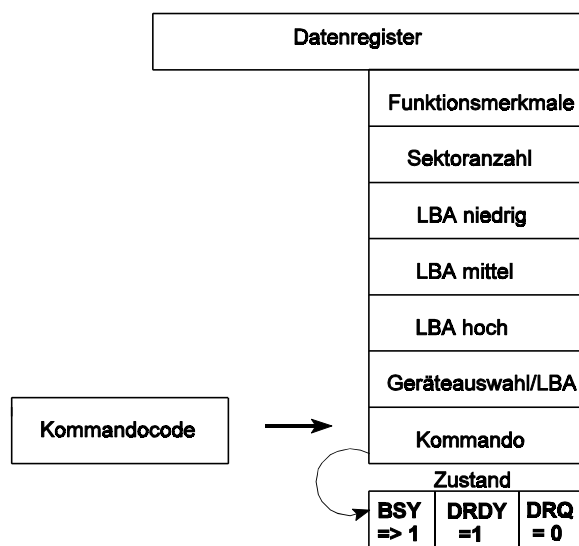
Der Grundgedanke: die Kommandos (und - in umgekehrter Richtung - Zustandsangaben usw.) werden in Form von Datenpaketen (d. h. über das Datenregister) übertragen. Hierzu hat man u. a. ein spezielles ATA-Kommando „Paketübertragung“ (PACKET) definiert. Dieses Kommando wird wie ein gewöhnliches ATA-Kommando in das Kommandoregister geladen. Die weiteren Register haben dann eine jeweils spezifische Bedeutung (vgl. Abbildung 9.53). Das Kommando bewirkt, daß nachfolgend das eigentliche Zugriffskommando über das Datenregister als Paket zum Gerät übertragen wird. Die Formate dieser Pakete hat man weitgehend dem SCSI-Standard angeglichen. ATAPI verwendet Kommandobeschreibungsblöcke (CDBs) von 12 oder 16 Bytes Länge. Diese Pakete werden stets in einer PIO-Betriebsart übertragen.

### 9.5.2. Grundlagen der Kommandoausführung

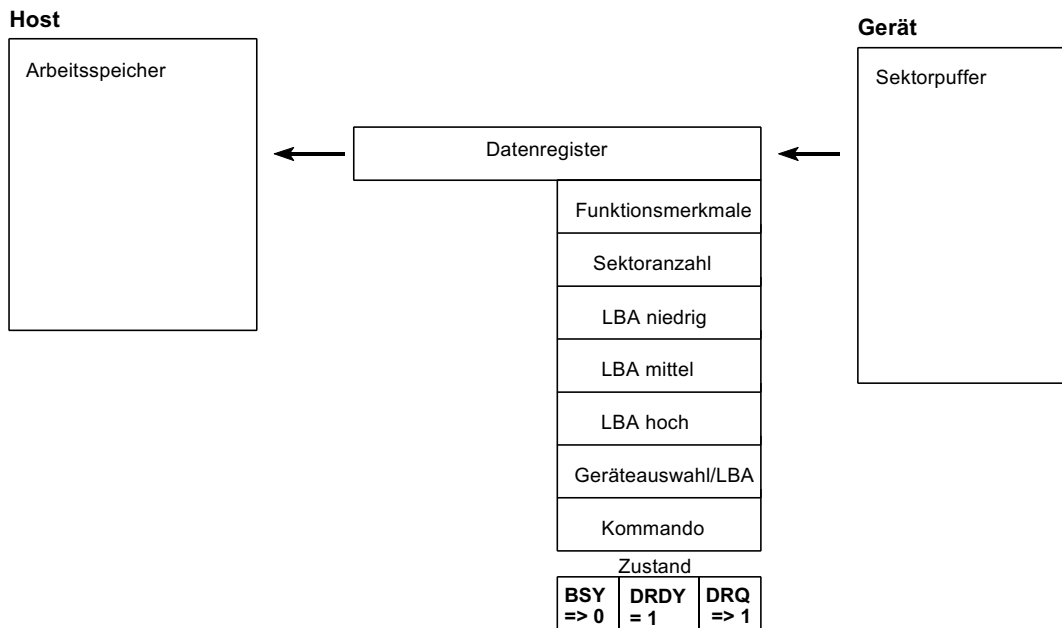
Als Voraussetzung zum Ausführen eines Kommandos muß das Gerät dazu bereit sein ( $BSY = 0$ ,  $DRDY = 1$ ). Zunächst sind die jeweils erforderlichen Parameter in die entsprechenden Register zu laden (Sektorauswahlangaben, Funktionsmerkmalangaben usw.; Abbildung 9.56). Als letztes Byte wird der Kommandocode in das Kommandoregister geschrieben. Daraufhin wird das Gerät „besetzt“ ( $BSY = 1$ ), und die Kommandoausführung beginnt (Abbildung 9.57). Ist das Gerät bereit, Daten entgegenzunehmen (beim Schreiben) oder Daten zu liefern (beim Lesen), so setzt es  $BUSY$  auf 0 und  $DRQ$  auf 1 (Datenanforderung). Daraufhin erfolgt der Datentransport (Abbildung 9.58).



**Abbildung 9.56** Laden der Parameter zur Kommandoausführung. Host hat freien Zugriff auf den Registersatz



**Abbildung 9.57** Laden des Kommandocodes. Daraufhin übernimmt das Gerät die Kontrolle über den Registersatz ( $BSY$  wird 1) und beginnt die Kommandoausführung



**Abbildung 9.58** Datenübertragung. Beginn wird angezeigt mit BSY = 0 und DRQ = 1.  
Hier ein Leseablauf

#### Steuerung des Datentransportes

Der Datentransport kann durch Abfrage (Bedingung: BSY = 0, DRQ = 1), durch Interrupt-Signalisierung oder durch Stellen einer DMA-Anforderung eingeleitet werden. Der eigentliche Transport besteht dann in fortlaufenden PIO- oder (Ultra-) DMA-Zugriffen.

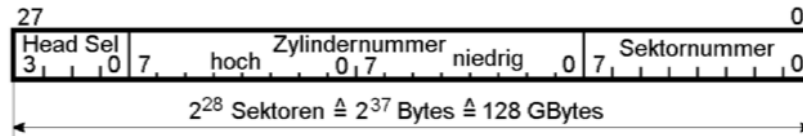
#### Kommandoende

Das Ende der Kommandoausführung wird durch BSY = 0 und DRQ = 0 gekennzeichnet. Typischerweise wird ein Interrupt ausgelöst. Der Host liest das Zustandsregister, um zu erkennen, wie die Datenübertragung abgelaufen ist (anhand der Bits ERR und DF). Ist das ERR-Bit gesetzt, so ergibt das Lesen des Fehlerregisters genaueren Aufschluß über die Art des Fehlers.

## 9.5.3. Sektoradressierung

### 9.5.3.1. CHS-Adressierung

CHS = Cylinder - Head - Sector. Der gewünschte Sektor wird durch Angabe einer Zylinder-, Kopf- und Sektornummer ausgewählt (Abbildung 9.59). Dies ist die herkömmliche Adressierungsweise, die sich aus dem Aufbau des Speichermediums „Festplatte“ unmittelbar ergibt. Bei modernen Laufwerken entspricht aber die CHS-Angabe nie der tatsächlichen Lage des ausgewählten Sektors (die Anzahl der Sektoren je Spur ist nicht immer gleichbleibend (Multiple Zone Recording), das Gerät verwaltet selbständig Reservesektoren, um Defekte auf dem Speichermedium zu umgehen usw.). Die Software sieht über den Registersatz gleichsam ein idealisiertes („logisches“) Laufwerk mit Zylindern, Oberflächen und Sektoren. Zur Sektorauswahl stehen insgesamt 28 Bits zur Verfügung.



**Abbildung 9.59** CHS-Adressierung

#### Zylinder- und Kopfnumerierung

Zylinder und Köpfe werden von Null an gezählt.

#### Sektornumerierung

Die Numerierung beginnt mit Sektor 1. Sektornummer Null entspricht Sektor 256.

Die Grenzen des Adressierungsvermögens:

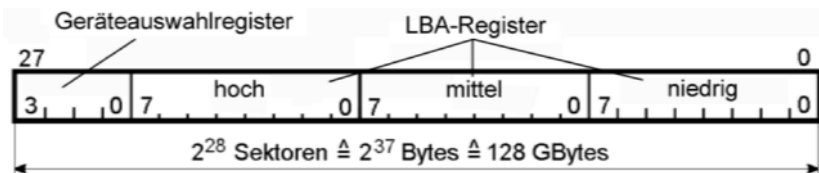
- 256 Sektoren,
- 64k Zylinder,
- 16 Köpfe.

Das ergibt insgesamt  $2^{28} = 268\,435\,456 = 256\text{ M Sektoren} = 137\,438\,953\,472\text{ Bytes} = 128\text{ GBytes}$  (binär;  $1\text{ G} = 2^{30}$ ) bzw.  $137\text{ GBytes}$  (dezimal;  $1\text{ G} = 10^9$ ).

CHS gilt von ATA-6 an als veraltet (darf aber in entsprechenden Geräten noch vorgesehen sein).

### 9.5.3.2. LBA-Adressierung

LBA = Logical Block Address. Da der Controller im Laufwerk ohnehin rechnen muß, um die tatsächlichen Positionierangaben zu bestimmen, ist es eigentlich gar nicht nötig, auf Zylinder, Köpfe usw. Rücksicht zu nehmen. Es ist viel eleganter, alle Sektoren eines Laufwerkes einfach fortlaufend durchzunummerieren („lineare“ Sektoradresse; Abbildung 9.60). Das Laufwerk wird somit praktisch - aus Sicht der Sektorauswahl - zu einem großen und vergleichsweise langsamen RAM mit einer Zugriffsbreite von 512 Bytes (1 Sektor) und 28-Bit-Adressierung.



**Abbildung 9.60** LBA-Adressierung

Umrechnung CHS zu LBA:

$$\text{LBA} = (((\text{Zylindernummer} \cdot \text{Kopfanzahl}) + \text{Kopfnummer}) \cdot \text{Sektoren je Spur} + \text{Sektornummer} - 1).$$

Die Grenze des Adressierungsvermögens ergibt sich aus der 28 Bits langen Sektoradresse:

$2^{28} = 268\,435\,456 = 256\text{ M Sektoren} = 137\,438\,953\,472\text{ Bytes} = 128\text{ GBytes}$  (binär;  $1\text{ G} = 2^{30}$ ) bzw.  $137\text{ GBytes}$  (dezimal;  $1\text{ G} = 10^9$ ).

Das Adressierungsvermögen entspricht also dem der CHS-Adressierung. Bei LBA ist lediglich der programmseitige Zugriff vollkommen unabhängig von der Organisation des Datenträgers (Angleichung an SCSI).

*Auswahl der Adressierungsweise:* über Bit 6 (LBA) im Geräteauswahlregister.

*Sektoradresse in ATAPI-Paketen*

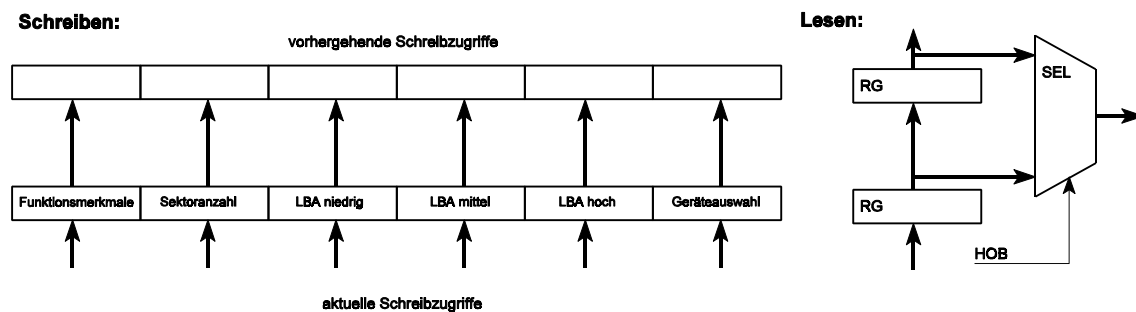
Diese ist stets 32 Bits lang (vgl. SCSI). Damit ergibt sich ein Adressierungsvermögen von  $2^{32}$  Sektoren =  $2^{41}$  Bytes = 2 199 023 255 552 Bytes = 2 TBytes (mit der 28-Bit-Adresse nicht voll ausnutzbar).

### 9.5.3.3. 48-Bit-Adressierung

Um Geräte mit Speicherkapazitäten über 128/137 GBytes ansprechen zu können, hat man von ATA-6 an eine neue Art der LBA-Adressierung eingeführt, die die Sektoradresse auf 48 Bits verlängert. Das ergibt ein Adressierungsvermögen von  $2^{48} = 281\,474\,976\,710\,656$  Sektoren = 144 115 188 075 855 360 Bytes = 144 PBytes\*) = 144 Millionen GBytes.

\*) dezimal; 1 P (Peta) =  $10^{15}$ .

Zur Parameterübergabe sind mehrere Register als FIFOs von zwei Bytes Tiefe ausgeführt (Abbildung 9.61, Tabelle 9.25). Der erste Schreibzugriff lädt jeweils das höherwertige, der zweite das niederwertige Byte. Byteauswahl beim Lesen: über das HOB-Bit im Gerätesteuerregister.



**Abbildung 9.61** Parameterübergabe bei der 48-Bit-Adressierung (Prinzip)

Register	aktueller Schreibzugriff	vorhergehender Schreibzugriff
Funktionsmerkmale	reserviert	reserviert
Sektoranzahl	Sektoranzahl 7...0	Sektoranzahl 15...8
LBA niedrig	LBA 7...0	LBA31...24
LBA mittel	LBA 15...8	LBA39...32
LBA hoch	LBA 23...16	LBA47...40
Geräteauswahl	Bits LBA und DEV. Bits 3...0: reserviert	reserviert

**Tabelle 9.25** Registerzugriffe der 48-Bit-Adressierung

*Nutzung der 48-Bit-Adressierung:* über spezielle Kommandos (deren Bezeichnung jeweils ein EXT = Extended (erweitert) nachgestellt ist).

Ob ein Gerät die 48-Bit-Adressierung unterstützt oder nicht, ist anhand der Daten erkennbar, die vom Kommando „Geräte-Identifikation“ (IDENTIFY DEVICE) zurückgeliefert werden.

Kommandos mit 28-Bit-Adressierung können ebenfalls ausgeführt werden. Dann werden nur die im aktuellen Schreibzugriff übergebenen Parameter ausgewertet.

### Sektoranzahl

Auch hierfür sind 2 Bytes vorgesehen, so daß bei Nutzung der 48-Bit-Adressierung mit einem Kommando bis zu 64k Sektoren (anstelle von 256) übertragen werden können.

## 9.6. Serial ATA (SATA) im Überblick

### 9.6.1. Prinzip

Serial ATA leistet im Grunde nicht mehr, als Daten zwischen zwei ATA-Registersätzen zu bewegen (Abbildungen 9.62 bis 9.65).

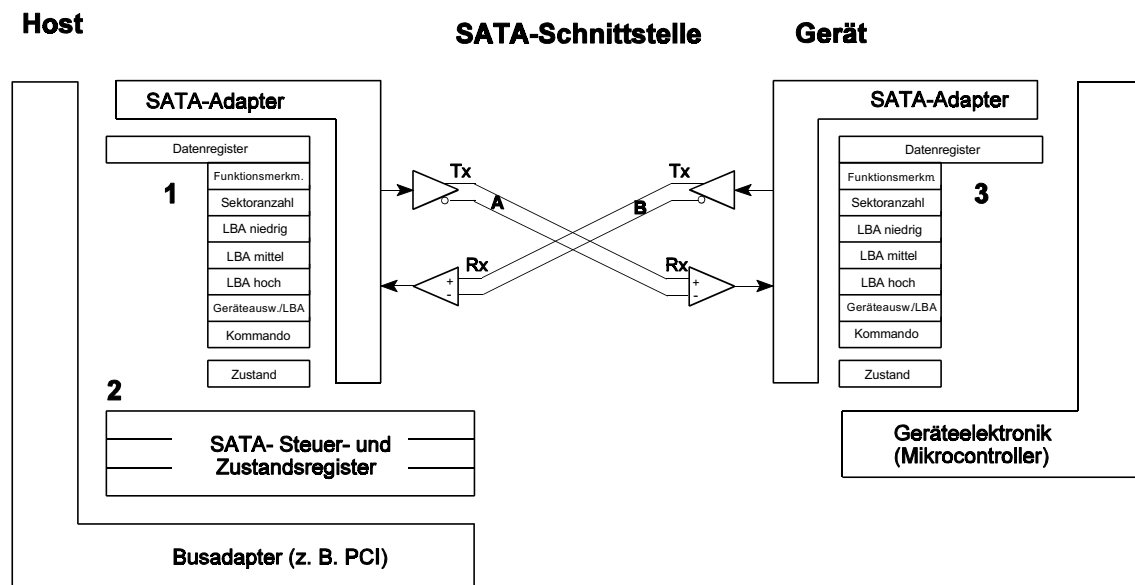


Abbildung 9.62 Serial ATA - zum Wirkprinzip

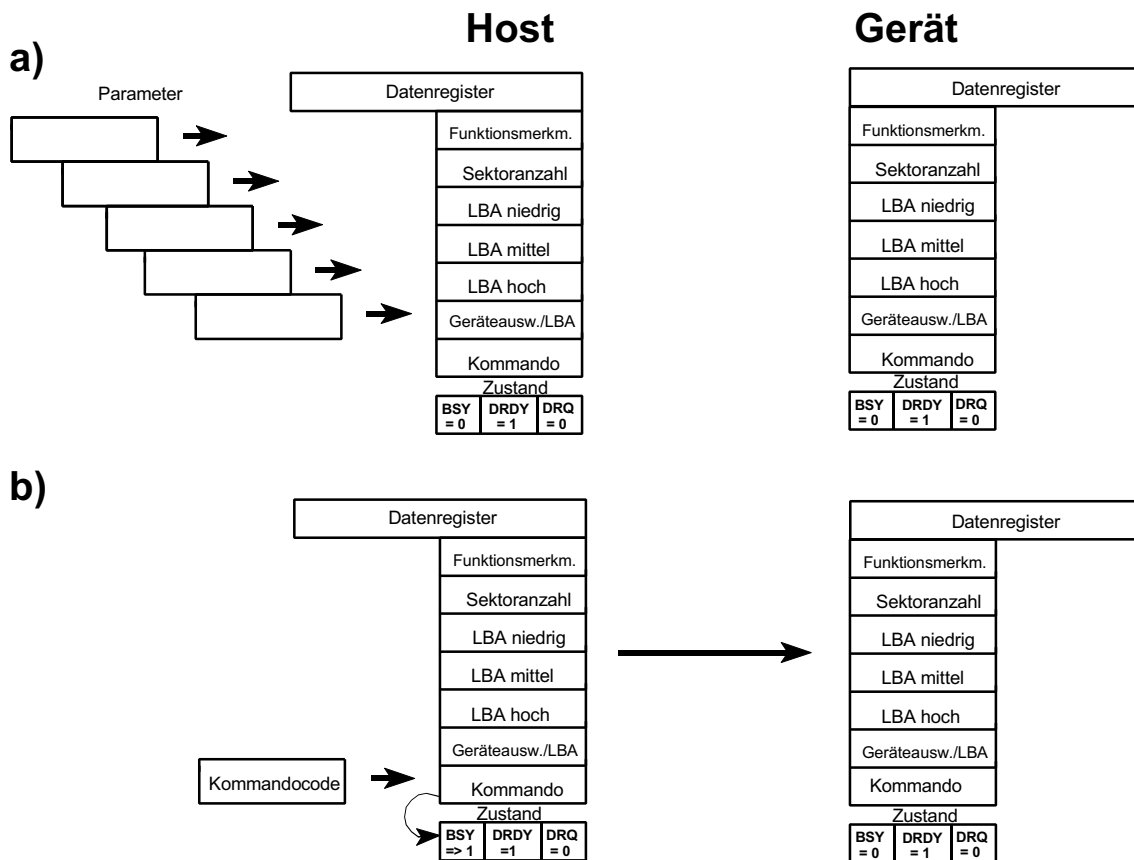
### Erklärung:

1 - der ATA-Registersatz im Hostadapter; 2 - zusätzliche SATA-Steuer- und Zustandsregister; 3 - der ATA-Registersatz im Gerät. Die Anwendungssoftware sieht nach wie vor einen herkömmlichen ATA-Registersatz. Dieser befindet sich aber im Hostadapter und nicht im Gerät (Schattenregister). Die zusätzlichen Steuer- und Zustandsregister werden ausschließlich von der System- bzw. Gerätesteuersoftware verwendet. SATA bewegt die Registerinhalte bitseriell über zwei Leitungspaare A, B.



Vorteile gegenüber anderen seriellen Hochgeschwindigkeits-Interfaces:

- geringere Kosten durch Beschränkung auf das vergleichsweise bescheidene Einsatzgebiet (kurze Leitungslängen, keine Multimaster-Konfigurationen, nur ein Gerät je Schnittstelle usw.),
- Abwärtskompatibilität,
- kein Overhead in der Anwendungssoftware. Besonders wichtig: der Kaltstart erfordert nicht mehr Software im ROM als bisher (demgegenüber hängt die Funktionsfähigkeit beispielsweise von USB oder Firewire von mehreren Software-Schichten ab; der Programmaufwand zum Unterstützen des Kaltstarts ist beträchtlich höher).



**Abbildung 9.63** Kommandoausführung (1): der Anfang

*Erklärung:*

a) - der Host trägt die Parameter in den Registersatz ein; b) - die Parameterübergabe endet mit dem Eintragen des Kommandocodes. Daraufhin wird der Registersatz besetzt (BSY => 1), und sein Inhalt wird zum Gerät übertragen.

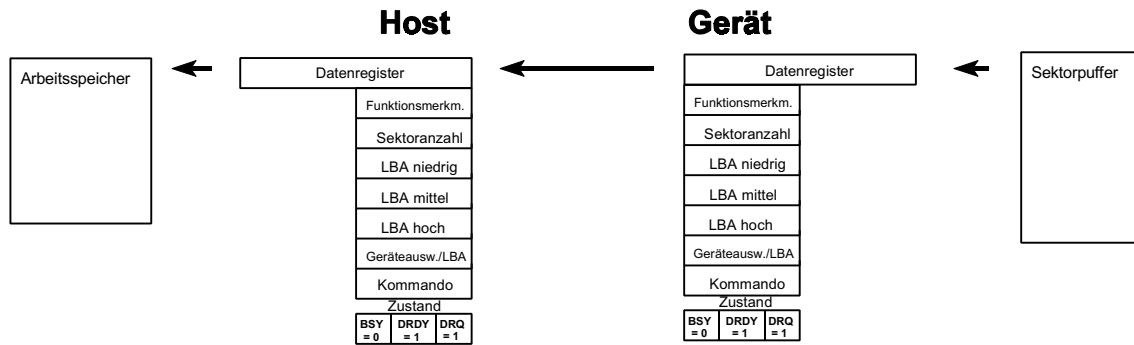


Abbildung 9.64 Kommandoausführung (2): Datenübertragung (hier ein Leseablauf)

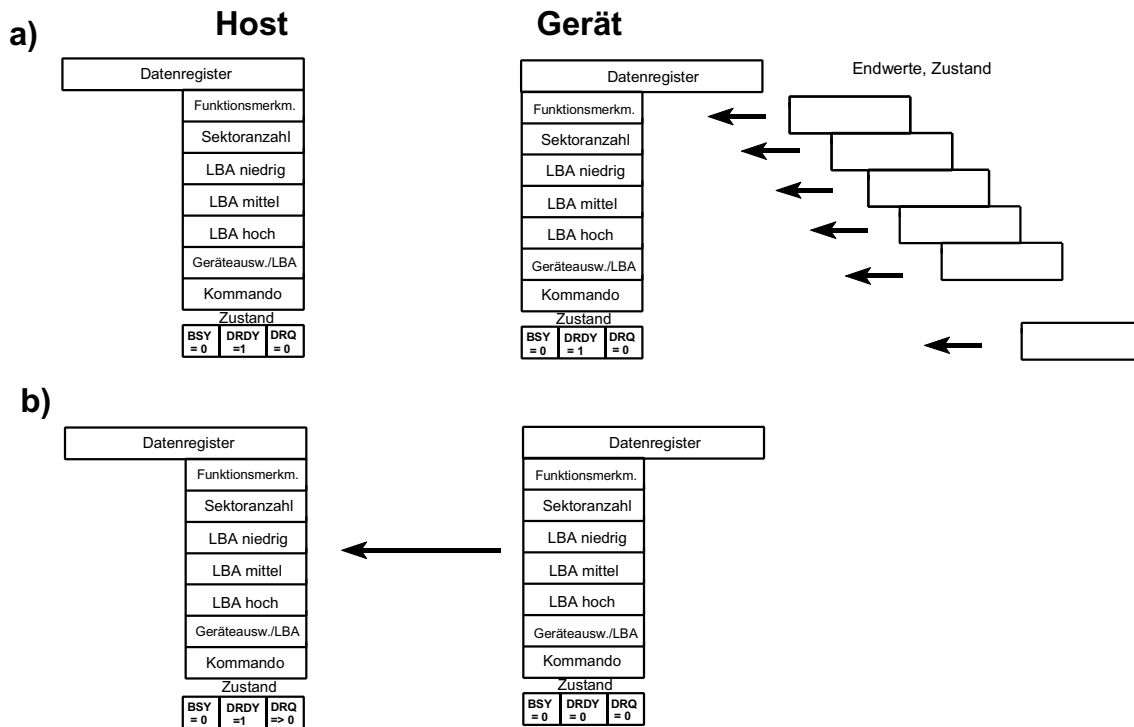


Abbildung 9.65 Kommandoausführung (3): das Ende

Erklärung:

a) der Mikrocontroller des Gerätes trägt die Endwerte und den aktuellen Zustand in den Registersatz des Gerätes ein; b) - der Inhalt des Registersatzes wird zum Host übertragen.

## 9.6.2. Elektrische Auslegung

### 9.6.2.1. Kennwerte

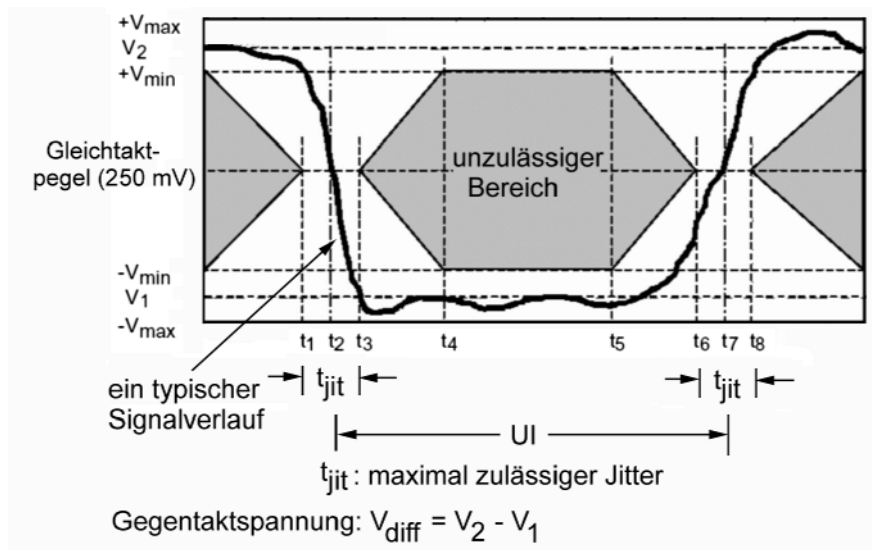
Serial ATA beruht auf der differentiellen Signalübertragung mit geringem Signalhub über Leitungspaare, die mit ihrem Wellenwiderstand abgeschlossen sind. Tabelle 9.26 enthält die wichtigsten Kennwerte. Abbildung 9.66 zeigt das Augendiagramm der Schnittstelle.

Kennwert	Nennwert	Bereich
Einheitsintervall UI	666,667 ps	666,43...670,12 ns
Anstiegszeit $t_r$ , Abfallzeit $t_f$	0,3 UI = 200 ps	0,2...0,41 UI = 133,33...273,33 ps
Gleichtaktspannung $V_{cm,dc}$	250 mV	200...300 mV
Gegentaktspannung am Senderausgang $V_{diff,tx}$	500 mV <sub>pp</sub>	400...600 mV <sub>pp</sub>
Gegentaktspannung am Empfängereingang $V_{diff,rx}$	400 mV <sub>pp</sub>	325...600 mV <sub>pp</sub>
Ausgangsimpedanz (Sender), Eingangsimpedanz (Empfänger)	100 $\Omega$	85...115 $\Omega$

**Tabelle 9.26** Kennwerte der SATA-Schnittstelle (1. Generation)

*Hinweise:*

1. Das Einheitsintervall entspricht einer Datenrate von 1,5 GBits/s und einer maximalen Impulsfolgefrequenz von 750 MHz (1 : 2 UI).
2. Eine Gegentaktspannung von 500 mV entspricht einem Signalhub von  $\pm 250$  mV gegen eine Bezugsspannung (Gleichtaktspannung) von + 250 mV.
3. Anstiegs- und Abfallzeiten werden zwischen 20 und 80% des Signalhubs gemessen (Abbildung 9.67)



**Abbildung 9.66** Das Augendiagramm

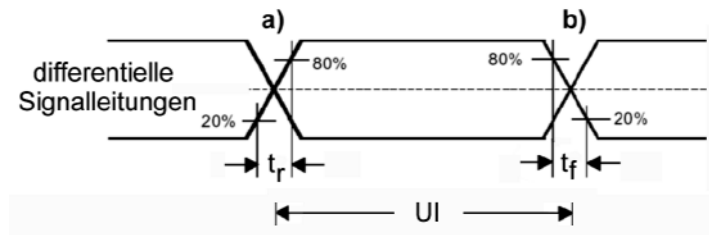


Abbildung 9.67 Zeitkennwerte. a) Anstiegs-, b) Abfallzeit

### 9.6.2.2. Grundlagen der Signalübertragung

#### Codierungsverfahren

NRZ, 8B/10B. 8 Nutzbits werden in eine Folgen von 10 zu übertragenden Bits umgeschlüsselt. Nutzdatenrate (in Bits/s) deshalb =  $0,8 \cdot$  Datenrate (Bitrate) auf dem Interface.

Verwendete Codezeichen:

- alle 256 Datenzeichen,
- die Steuerzeichen K28.3 und K28.5.

*Fehlerkontrolle:* mittels 32-Bit-CRC. Das CRC-Wort wird an die Nutzdaten angehängt (Abbildung 9.68). Erkennungsvermögen: bis zu zwei 10-Bit-Bündelfehler in einem Datenstrom von 16384 Bytes Länge. Um die Wirksamkeit des CRC zu gewährleisten, ist die Länge des Datenstroms auf maximal 8256 Bytes beschränkt (erlaubt die Übertragung von 8 kBytes Nutzdaten). Der CRC betrifft die uncodierten Daten (8B).

*EMV-Vorkehrungen:*

1. Scrambling/Descrambling: Wandlung des Datenstroms in ein pseudo-zufälliges Bitmuster (Abbildung 9.68), um zu vermeiden, daß im Störspektrum übermäßige Spitzen auftreten,
2. Spread-Spektrum-Betrieb (kontinuierliches Verändern der Taktfrequenz in geringem Maße) ist zulässig (maximal 0,5% Frequenzverringern (downspread)).

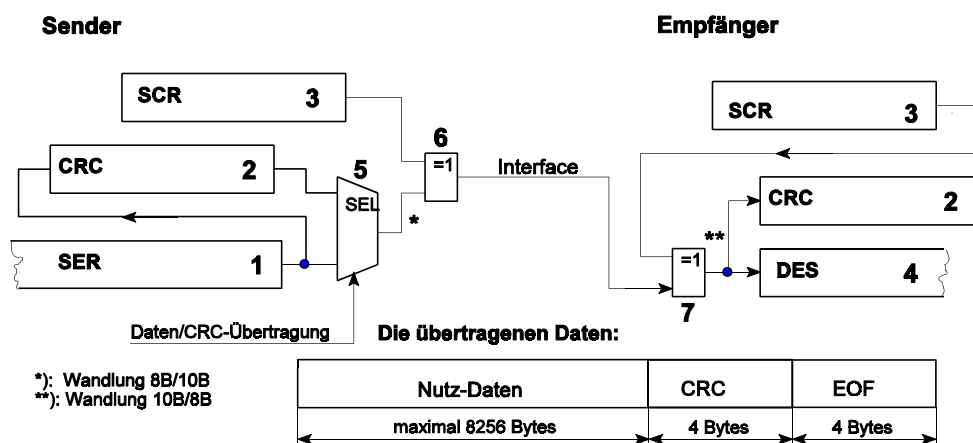


Abbildung 9.68 CRC-Kontrolle und Scrambling/Descrambling im Prinzipschaltbild

*Erklärung zu Abbildung 9.68:*

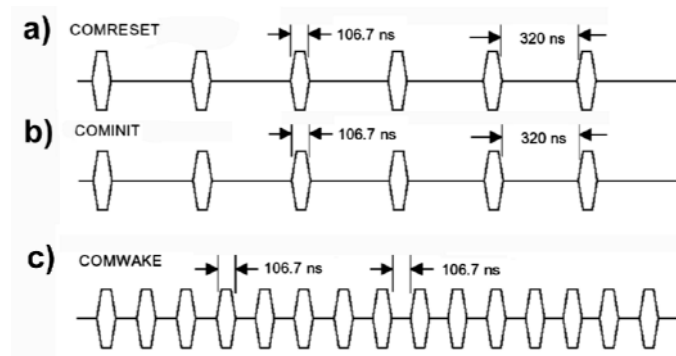
1 - Nutzdaten-Serialisierung; 2 - rückgekoppelte Schieberegister zur CRC-Bildung und -Kontrolle; 3 - rückgekoppelte Schieberegister für Scrambling und Descrambling; 5 - Sendedatenauswahl; 6, 7- XOR-Gatter. Der gesamte Datenstrom (Nutzdaten + CRC) wird dem Scrambling unterworfen (XOR-Verknüpfung 6 mit dem Ausgang des rückgekoppelten Schieberegisters 3 im Sender). Im Empfänger hebt die XOR-Verknüpfung 7 mit dem Ausgang des gleichartigen Schieberegisters (liefert das gleiche Bitmuster) das Scrambling wieder auf (Descrambling).

*Das Interface in Ruhe*

Die Gegentaktspannung ist = 0, die Gleichtaktspannung beträgt 250 mV. Beide Leitungen eines Signalpaares führen somit + 250 mV.

*Sondersignalisierung (Out of Band Signaling OOB)*

Die Sondersignalisierung dient dazu, ganz elementare Funktionen auszulösen. Hierzu werden bestimmte Signalfolgen auf das Interface gegeben, die einfach zu erzeugen und zu erkennen sind (Abbildung 9.69).



**Abbildung 9.69** Sondersignalisierung (Out of Band Signaling OOB)

*Erklärung:*

Die Sondersignalisierung beruht auf Bursts von je 160 Einheitsintervallen der Generation 1 (= 106,7 ns). In jedem Burst werden 4 sog. ALIGN-Primitives übertragen (das sind 32-Bit-Worte mit einer bestimmten festen Belegung). Die einzelnen Signalisierungen unterscheiden sich in der Dauer der Abstände zwischen den Bursts:

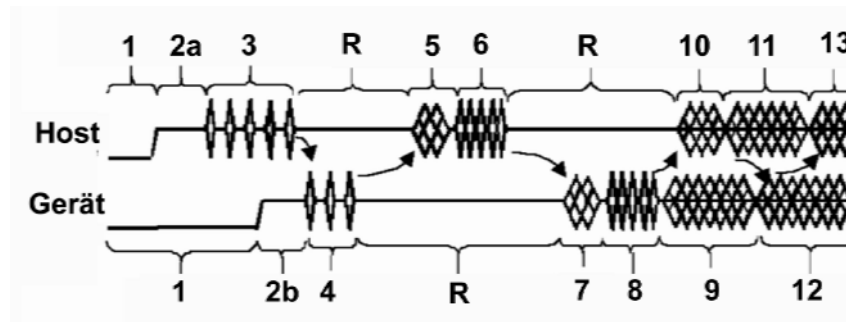
- COMRESET. Hierüber erzwingt der Host ein hartes Zurücksetzen im Gerät. Abstand zwischen den Bursts: 320 ns. Mindestdauer der Signalisierung: 4 aufeinanderfolgende Bursts.
- COMINIT. Hierüber fordert das Gerät vom Host eine Initialisierung an. Abstand zwischen den Bursts: 320 ns (wie COMRESET, nur andere Richtung). Mindestdauer der Signalisierung: 4 aufeinanderfolgende Bursts.
- COMWAKE. Aufforderung zum Verlassen von Stromsparszuständen. Kann sowohl vom Host als auch vom Gerät gesendet werden. Abstand zwischen den Bursts: 106,7 ns (gleiche Dauer wie Burst). Mindestdauer der Signalisierung: 6 aufeinanderfolgende Bursts.

*Kalibrierung*

Der Wellenwiderstand der Signalwege ist mit 100  $\Omega$  differentiell bzw. mit 50  $\Omega$  je Signalleitung gegen Masse spezifiziert. Die Signalleitungen sind beidseitig abgeschlossen. Es ist vorgesehen, daß die Treiber ihre Ausgangsimpedanz an die tatsächliche Eingangsimpedanz des Empfängers anpassen. (Es handelt sich um ein Durchfahren des Wertebereiches, das dann beendet wird, wenn die Anpassung erreicht ist. Um dies zu erkennen, werden spezielle Prüfsignale über das Kabel übertragen.)

*Der Einschaltvorgang*

Abbildung 9.70 veranschaulicht die Abläufe nach dem Einschalten von Host und Gerät.



**Abbildung 9.70** Der Einschaltvorgang

*Erklärung:*

- 1) Host und Gerät ausgeschaltet. Interfacesignale werden über die Abschlußwiderstände auf Low-Pegel gehalten.
- 2) Speisespannung wird in Host (2a) und Gerät (2b) eingeschaltet. Interface gelangt in Ruhezustand (+ 250 mV auf allen Signalleitungen).
- 3) Host sendet COMRESET (für die Dauer des Einschaltrücksetzens),
- 4) das Gerät antwortet mit COMINIT,
- 5) Host gleicht den Leitungsabschluß seines Senders ab (Kalibrierung),
- 6) Host sendet COMWAKE,
- 7) Gerät gleicht den Leitungsabschluß seines Senders ab (Kalibrierung),
- 8) Gerät sendet COMWAKE (6 Bursts),
- 9) Gerät sendet ALIGN-Primitives,
- 10) Host sendet ALIGN-Zeichen D10.2,
- 11) Host sendet ALIGN-Primitives,
- 12) Gerät sendet SYNC-Primitives,
- 13) Host beginnt mit der normalen Arbeit.

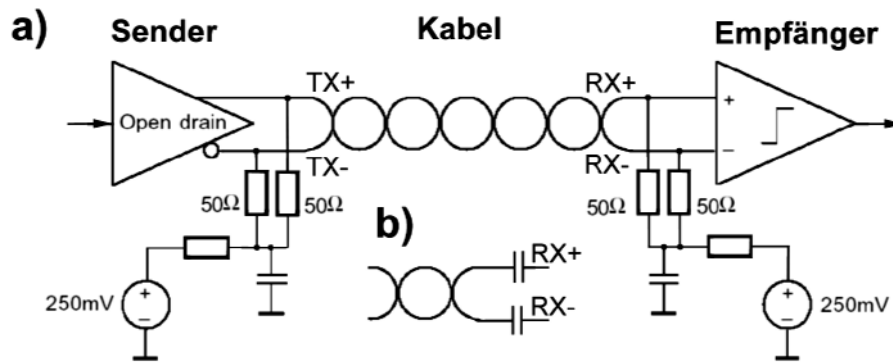
R: Signalweg in Ruhe (+ 250 mV auf beiden Signalleitungen).

Bis zu Punkt 8 erfolgen alle Übertragungen mit der Geschwindigkeit der 1. Generation (UI = 666,67 ps). Mit Punkt 9 versucht das Gerät, dem Host seine aktuelle Geschwindigkeit zu signalisieren. Antwortet der Host nicht innerhalb von 54,6 µs auf die angebotenen ALIGN-Primitives, so schaltet das Gerät die Geschwindigkeit zurück und versucht es noch einmal. Der Host sendet zunächst ALIGN-Zeichen D10.2 (Punkt 10) mit der geringsten Geschwindigkeit, die er unterstützt. Kann er die ALIGN-Primitives des Gerätes erkennen und die betreffende Geschwindigkeit unterstützen, so sendet er seinerseits ALIGN-Primitives mit der vom Gerät vorgegebenen Geschwindigkeit. Hat das Gerät diese ALIGN-Primitives erkannt, so sendet es (als Bestätigung) SYNC-Primitives zum Host, und die normale Arbeit kann beginnen.

Kann der Host innerhalb von 880 µs keine ALIGN-Primitives des Gerätes erkennen, so wiederholt er die gesamte Einschaltfolge von Punkt 3 an („ewige“ Wiederholung, die ggf. von übergeordneter Software beendet wird).

### 9.6.2.3. Der Signalweg

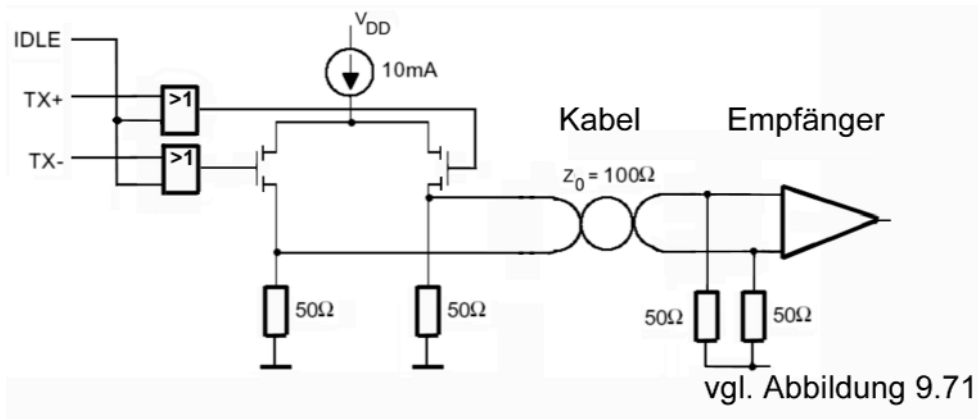
Abbildung 9.71 zeigt den Aufbau eines SATA-Signalweges, Abbildung 9.72 veranschaulicht das Prinzip einer Treiberstufe.



**Abbildung 9.71** Der SATA-Signalweg

*Erklärung:*

a) - gleichspannungsgekoppelter Signalweg; b) - Wechselspannungskopplung. Die Spitzfindigkeiten der 8B/10B-Codierung dienen u. a. dazu, eine (näherungsweise) gleichstromfreie Übertragung zu ermöglichen. Deshalb kann man den Empfänger auch über Kondensatoren ankoppeln. Leitungsabschluß: mit jeweils 50 Ω je Signalleitung. Die Spannungsquellen (250 mV) halten die Signalleitungen im Ruhezustand auf dem geforderten Pegel.



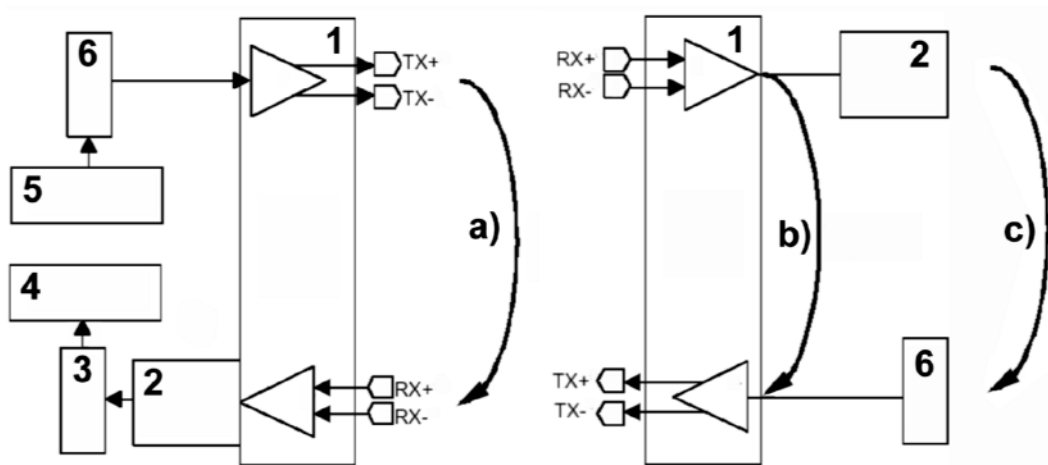
**Abbildung 9.72** Signalweg mit Treiberstufe (Prinzipschaltung)

*Erklärung:*

Der Treiber ist hier mit zwei Open-Drain-Stufen aufgebaut. Wird ein Transistor angesteuert, so fließen die 10 mA der Stromquelle über den jeweiligen Abschlußwiderstand und rufen dort einen Spannungsbfall von ca. 500 mV hervor. Bei Ansteuerung über TX+ oder Tx+ wird nur jeweils einer der Transistoren aktiviert, so daß an der betreffenden Leitung 500 mV anliegen, während die jeweils andere Leitung über ihren Abschlußwiderstand auf Massepotential gehalten wird. Ist IDLE aktiv, so werden beide Transistoren angesteuert, und die 10 mA fließen über die Paralleleschaltung der beiden Abschlußwiderstände. Das ergibt den geforderten Pegel von 250 mV (Ruhezustand).

### 9.6.2.4. Prüfvorkehrungen

Der Standard sieht mehrere Testmuster zum Prüfen des Interfaces vor. Des weiteren können Senderausgänge auf Empfängereingänge zurückgeführt werden (Kurzschlußprüfung (Loopback Testing); Abbildung 9.73).



**Abbildung 9.73** Konfigurationen der Kurzschlußprüfung (Loopback Testing)

*Erklärung:*

1 - Interfacekoppelstufen; 2 - Datenrückgewinnung; 3 - Deserializer; 4 - Festmustererkennung;  
5 - Festmustererzeugung; 6 - Serializer.

- a) lokale analoge Prüfschleife (Near-End Analog Loopback). Herstellerspezifisch (wahlfrei).
- b) analoge Fernprüfschleife (Far-End Analog Loopback). Herstellerspezifisch (wahlfrei).
- c) digitale Fernprüfschleife (Far-End Digital Loopback). Schließt Taktsynchronisation im Empfänger ein (Retiming). Vom Standard gefordert (obligatorisch).

Es kann in beiden Richtungen geprüft werden (vom Host zum Gerät und umgekehrt). Einstellung der Prüfschleifen: über spezielle Informationsformate (BIST Activate Frames).

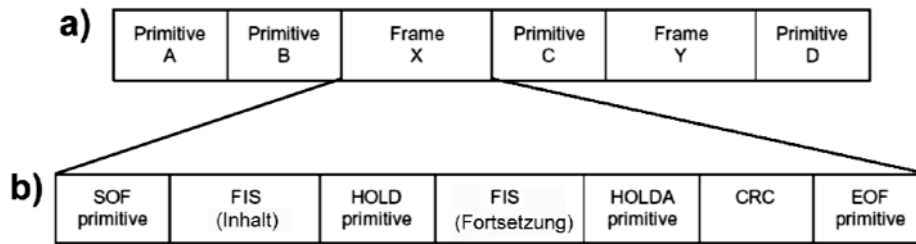
### 9.6.3. Informationsstrukturen

Es gibt zwei elementare Informationstrukturen: Primitives und Frames (Abbildung 9.74). Alle Strukturen beruhen auf dem 32-Bit-Wort (DWord) als kürzester Einheit. Infolge der 8B/10B-Codierung werden je Dword 40 Bits übertragen.

Primitives sind Steuerstrukturen, die jeweils 1 Dword lang sind und eine feste Codierung haben. Alle Primitives beginnen mit einem Steuerzeichen des 8B/10B-Codes.

Frames sind Strukturen, die Nutzdaten enthalten. Sie bestehen aus Primitives, dem eigentlichen Inhalt und einem CRC-DWord. Der eigentliche Inhalt ist in Form sog. Frame Information Structures (FIS's) organisiert.





**Abbildung 9.74** Elementare Informationsstrukturen

*Erklärung:*

a) - aus Primitives und Frames bestehender Informationsfluß; b) Aufbau eines Frames. SOF = Start of Frame; FIS = Frame Information Structure (der eigentliche Inhalt), CRC = Fehlerkontrollcode; EOF = End of Frame. Es ist weiterhin angedeutet, wie der Ablauf zeitweilig angehalten werden kann: HOLD = Sender kann zeitweilig keine Daten liefern; HOLDA (Hold Acknowledge) = Bestätigung einer HOLD-Signalisierung der jeweils anderen Einrichtung.

Die folgenden Abbildungen 9.75 bis 9.82 zeigen die einzelnen FIS-Formate (da es sich nur um einen Überblick handelt, verzichten wir auf die Erklärung der einzelnen Steuerbits).

*Hinweis:*

Ein „erw.“ am Schluß der Registerbezeichnungen kennzeichnet das zweite (im jeweils vorhergehenden Schreibzugriff geladene) Register der 48-Bit-Adressierung (vgl. Abbildung 9.61).

0	Funktionsmerkmale	Kommando	C	R	R	res. (= 0)	FIS-Typ (27H)
1	Geräteauswahl	LBA hoch	LBA mittel		LBA niedrig		
2	Funktionsm. erw.	LBA hoch erw.	LBA mittel erw.		LBA niedrig erw.		
3	Gerätesteuerregister	res. (= 0)	Sektoranzahl erw.		Sektoranzahl		
4	res. (= 0)	res. (= 0)	res. (= 0)		res. (= 0)		

**Abbildung 9.75** FIS für Registertransport vom Host zum Gerät

0	Fehlerregister	Zustandsregister	R	I	R	res. (= 0)	FIS-Typ (34H)
1	Geräteauswahl	LBA hoch	LBA mittel		LBA niedrig		
2	res. (= 0)	LBA hoch erw.	LBA mittel erw.		LBA niedrig erw.		
3	res. (= 0)	res. (= 0)	Sektoranzahl erw.		Sektoranzahl		
4	res. (= 0)	res. (= 0)	res. (= 0)		res. (= 0)		

**Abbildung 9.76** FIS für Registertransport vom Gerät zum Host

0	Fehlerregister	Zustandsregister	R	I	R	res. (= 0)	FIS-Typ (A1H)
1	res. (= 0)						

**Abbildung 9.77** FIS für Bittransport vom Gerät zum Host. Hiermit werden die Bits übertragen, die nur vom Gerät geschrieben werden können. BSY und DRQ werden im Host nicht geändert

0	res. (= 0)	res. (= 0)	res. (= 0)	FIS-Typ (39H)
---	------------	------------	------------	---------------

**Abbildung 9.78** FIS für DMA-Aktivierung (vom Gerät zum Host)

0	res. (= 0)	res. (= 0)	R	I	D	res. (= 0)	FIS-Typ (41H)
1	Pufferidentifizierer niedrig						
2	Pufferidentifizierer hoch						
3	res. (= 0)						
4	Puffer-Offset						
5	Byteanzahl						
6	res. (= 0)						

**Abbildung 9.79** FIS zum Vorbereiten eines DMA-Zugriffs (DMA Setup). Beide Übertragungsrichtungen

0	Funktionsmerkmale	Zustandsregister	R	I	D	res. (= 0)	FIS-Typ (5FH)
1	Geräteauswahl	LBA hoch	LBA mittel			LBA niedrig	
2	res. (= 0)	LBA hoch erw.	LBA mittel erw.			LBA niedrig erw.	
3	neuer Zustand	res. (= 0)	Sektoranzahl erw.			Sektoranzahl	
4	res. (= 0)			Byteanzahl			

**Abbildung 9.80** FIS zum Vorbereiten eines PIO-Zugriffs (PIO Setup). Vom Gerät zum Host

0	res. (= 0)	res. (= 0)	res. (= 0)	FIS-Typ (46H)
1	1. DWord			
2	2. Dword			
n	letztes DWord			

**Abbildung 9.81** FIS zur Datenübertragung (1...2048 Dwords = 4...8192 Bytes). Beide Übertragungsrichtungen

0	res. (= 0)	T	A	S	L	F	P	R	V	res. (= 0)	FIS-Typ (58H)
1	Prüfdaten										
2	Prüfdaten										

**Abbildung 9.82** FIS zum Auslösen von Prüfvorgängen (BIST Activate). Die Bits T, A, S usw. dienen zur Prüfablaufsteuerung und zum Schalten der Prüfschleifen (vgl. Abbildung 9.73)

### 9.6.4. Die SATA-Steuer- und Zustandsregister

Die SATA-Spezifikation sieht im Host bis zu 16 Register zu 32 Bits vor (Serial ATA Status and Control Registers; SCRs). Zur Emulation der herkömmlichen ATA-Programmschnittstelle sind sie nicht erforderlich. Es werden zunächst die ersten 3 Register belegt (Abbildung 9.83, Tabellen 9.27, 9.28):

- SCR0: Zustandsregister (SStatus). Beschreibt den aktuellen Zustand von Gerät und Hostadapter. Nur Lesen.
- SCR1: Fehlerregister (SError). Enthält genauere Fehlerangaben. Lesen und selektives Löschen (Schreibzugriffe löschen einzelne Bits (Schreiben einer 1 löscht das Bit in der betreffenden Position, Schreiben einer 0 läßt es unverändert)).
- SCR2: Steuerregister (SControl). Ermöglicht es, Einzelheiten der Schnittstellensteuerung zu beeinflussen. Lesen und Schreiben.

0	res. (= 0)										IPM		SPD				DET					
1	res. (= 0)	E	P	C	T	res. (= 0)			M	I	res. (= 0)		F	T	S	H	C	D	B	W	I	N
2	res. (= 0)										IPM		SPD				DET					

Abbildung 9.83 SATA-Steuer- und Zustandsregister

DET: Geräteerkennung und Betriebszustand des Interfaces	
0: kein Gerät erkannt, 1: Gerät erkannt, aber keine Kommunikation aufgebaut, 3: Gerät erkannt und Kommunikation aufgebaut, 4: Interface außer Betrieb oder Kurzschlußprüfung	0: nichts tun (keine Geräteerkennung oder Initialisierung), 1: Kommunikation aufbauen (hartes Rücksetzen), 2: Interface stillsetzen
SPD: Geschwindigkeitserkennung und -steuerung	
0: kein Gerät erkannt oder Kommunikation nicht aufgebaut, 1: Geschwindigkeit gemäß Generation 1 vereinbart	0: keine Einschränkung bei Vereinbarung der Geschwindigkeit, 1: nur Geschwindigkeit der Generation 1 vereinbaren
IPM: Stromsparsteuerung	
0: kein Gerät erkannt, 1: Interface aktiv, 2: Stromsparzustand PARTIAL, 3: Stromsparzustand SLUMBER.	0: keine Einschränkungen des Stromsparbetriebs, 1: Übergang in Stromsparzustand PARTIAL wird verhindert, 2: Übergang in Stromsparzustand SLUMBER wird verhindert, 3: Übergänge in beide Stromsparzustände werden verhindert

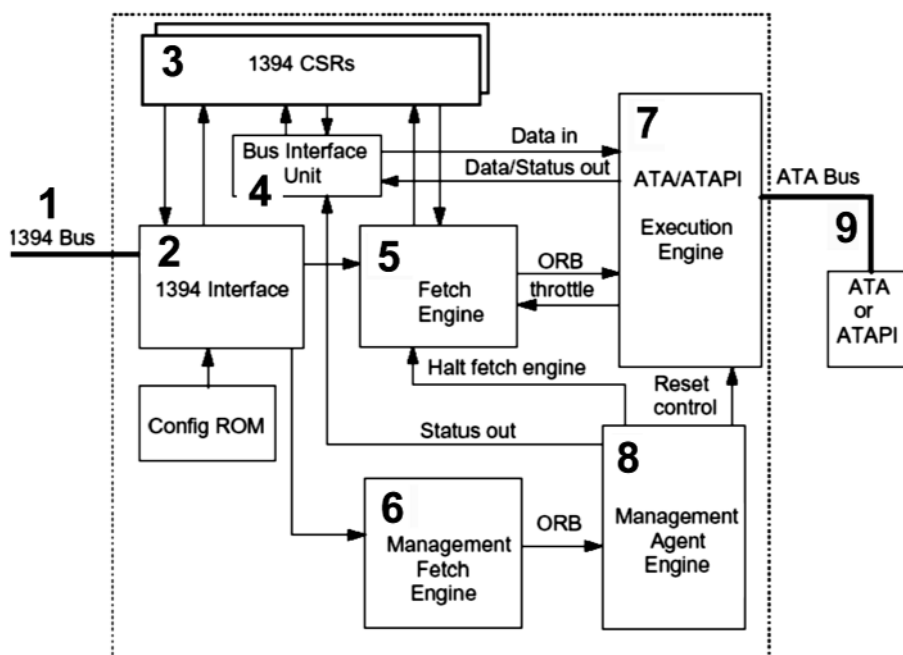
Tabelle 9.27 SCR-Registerbelegungen (1). Links SCR0 (Zustandsanzeige), rechts SCR2 (Zustandseinstellung)

ERR-Feld (Bits 31...16)	DIAG-Feld (Bits 15...0)
E: interner Fehler im Hostadapter, P: Protokollfehler (z. B. Empfang ungültiger Frames), C: Fehlerbehebungsversuch erfolglos; bleibender Fehler, T: transienter Datenintegritätsfehler. Noch kein Fehlerbehebungsversuch. M: behobener Kommunikationsfehler, Kommunikation wurde wieder aufgebaut. I: behobener Datenintegritätsfehler (erfolgreiche Wiederholung)	F: nicht erkannter FIS-Typ, T: fehlerhafter Zustandsübergang (Transportschicht), S: fehlerhafter Zustandsübergang (Verbindungsschicht), H: Handshaking-Fehler, C: CRC-Fehler, D: Disparity-Fehler (8B/10B-Übertragung), B: 10B/8B-Decodierfehler, W: COMWAKE-Signalisierung erkannt, I: interner Fehler in der physischen Schnittstelle, N: Änderung im Bereitschaftszustand der physischen Schnittstelle

**Tabelle 9.28** SCR-Registerbelegungen (2). SCR1

## 9.7. Interfaceverlängerung und Umschaltung

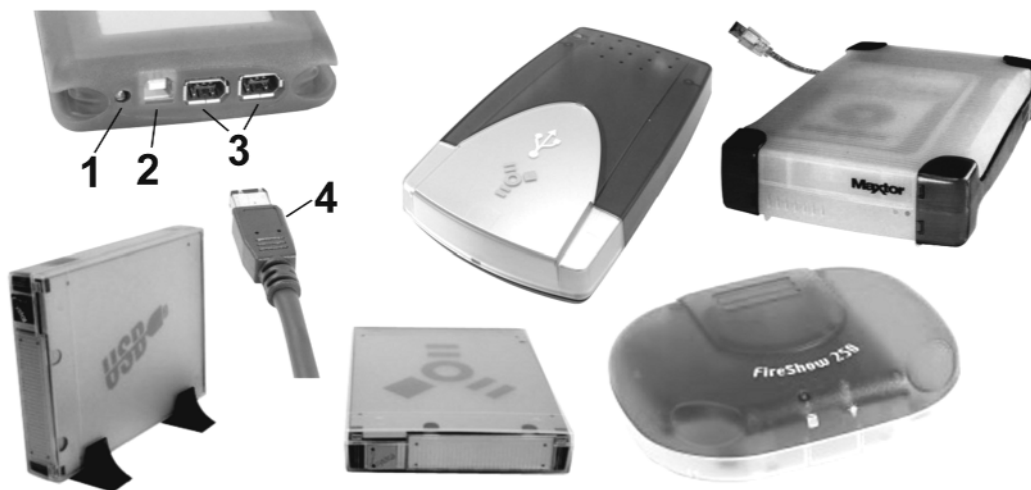
Da ATA von Hause aus nicht als externes Interface gedacht ist, gibt es in dieser Hinsicht nichts. Bei Bedarf ist auf ein passendes anderes Interface auszuweichen. Es liegt nahe, ATA-Geräte über USB oder Firewire anzuschließen. Hierzu gibt es ein reichhaltiges Angebot an entsprechender Hardware (Abbildungen 9.84 bis 9.86).



**Abbildung 9.84** Zwischenadapter (Tailgate) zum Anschließen eines ATA-Gerätes an ein serielles Interface. Hier: an Firewire (Standard T13/1248)

*Erklärung zu Abbildung 9.84:*

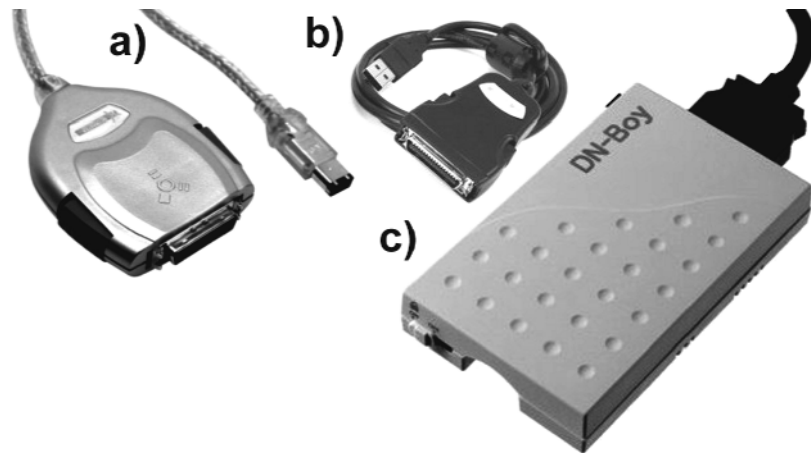
1 - serielles Interface (Firewire); 2 - Firewire-Interfaceanschlußsteuerung; 3 - Steuer- und Zustandsregister für Firewire; 4 - Datenaustauschsteuerung; 5 - Zugriffssteuerung für Kommandos; 6 - Zugriffssteuerung für Verwaltungsabläufe; 7 - ATA-Interfacesteuerung; 8 - ATA-Verwaltungsablaufsteuerung (löst u. a. die Rücksetzabläufe aus); 9 - ATA-Interface mit Gerät. ORB = Operation Request Block (Datenstruktur zum Übertragen von Kommandos über das Firewire-Interface). Kommandos, Daten und Zustandsmeldungen werden seriell paketweise übertragen. Die Aufgaben der dargestellten Anordnung bestehen in der Serien- Parallel- und Parallel-Serien-Wandlung sowie in der wechselseitigen Anpassung beider Interfaceprotokolle. (Vereinfacht gesagt handelt es sich um das Anfordern und Versenden von Paketen und um das Aus- und Einpacken der Informationsinhalte. Zudem sind beide Interfaces auf der physischen Ebene anzusteuern (Empfangen, Senden, Lesen, Schreiben, Rücksetzen, Fehlerabfrage usw..))



**Abbildung 9.85** Laufwerksgehäuse mit USB- und Firewire-Schnittstelle

*Erklärung:*

In solche Gehäuse werden Laufwerke mit ATA-Schnittstelle eingebaut. Es gibt Gehäuse für alle gängigen Formfaktoren (2,5", 3½", 5¼"). Das Gehäuse enthält weiterhin den oder die Interfacewandler (typische Ausführungen: nur USB, nur Firewire, beides). Manche Gehäuse haben eine eingebaute Stromversorgung (Netzteil oder Akku). 1 - Stromversorgungsanschluß (Steckernetzteil); 2 - USB-Anschluß; 3 - Firewire-Anschlüsse; 4 - Firewire-Kabel. Einige Gehäuse können liegend oder stehend betrieben werden, andere sind so geformt, daß man sie nur in einer Lage benutzen kann. Zu manchen gibt es Zubehörteile, die den Festeinbau (z. B. in einen 19"-Rahmen) unterstützten oder die es ermöglichen, Laufwerke mit abweichendem Formfaktor einzubauen.



**Abbildung 9.86** Universelles Laufwerksgehäuse mit ansteckbaren Interfacewandlern

*Erklärung:*

a) - Kabel mit Interfacewandler für Firewire; b) - Kabel mit Interfacewandler für USB, c) - Laufwerksgehäuse mit angestecktem Kabel. Das Laufwerksgehäuse enthält nur das Laufwerk. Gelegentlich ist auch die Stromversorgung eingebaut (Netzteil oder Akku). Die ATA-Schnittstelle ist auf einen Steckverbinder geführt, an den verschiedene Interfacewandler (u. a. für USB und Firewire) angesteckt werden können. Die Wandler befinden sich in einem dickeren Steckergehäuse an einem Ende des Interfacekabels. Auch solche Gehäuse gibt es für alle gängigen Formfaktoren (die Abbildung zeigt ein Gehäuse für 2,5"-Laufwerke).