

5. Signalwandlung

5.1 Analog - digital

Analog-Digital-Wandler (Analog-to-Digital Converters, ADCs) setzen analoge (kontinuierliche) Signalverläufe in Folgen einzelner (diskreter) Wertangaben um, die üblicherweise binär codiert sind. Im folgenden wollen wir zunächst einen Überblick über die verschiedenen Wirkprinzipien geben. Wichtige Grundbegriffe der Umsetzung analoger Signalverläufe in binäre bzw. digitale Wertangaben (Signalabtastung, Digitalisierung) behandeln wir in Abschnitt 5.3.

5.1.1 Einfach, schnell, teuer: Die Parallelumsetzung (Flash-ADC)

Es ist wirklich ganz einfach: wir wollen einen Signalverlauf in binär codierte n-Bit-Angaben umsetzen. Mit n Bits können wir 2^n verschiedene Werte darstellen. Wir müssen also den aktuellen Signalwert lediglich mit den 2^n binär darstellbaren Werten vergleichen und jenen Wert, der dem Signalwert am nächsten kommt, in eine Binärzahl wandeln. Die Schaltungstechnik sieht recht einfach aus (Abbildung 5.1.1).

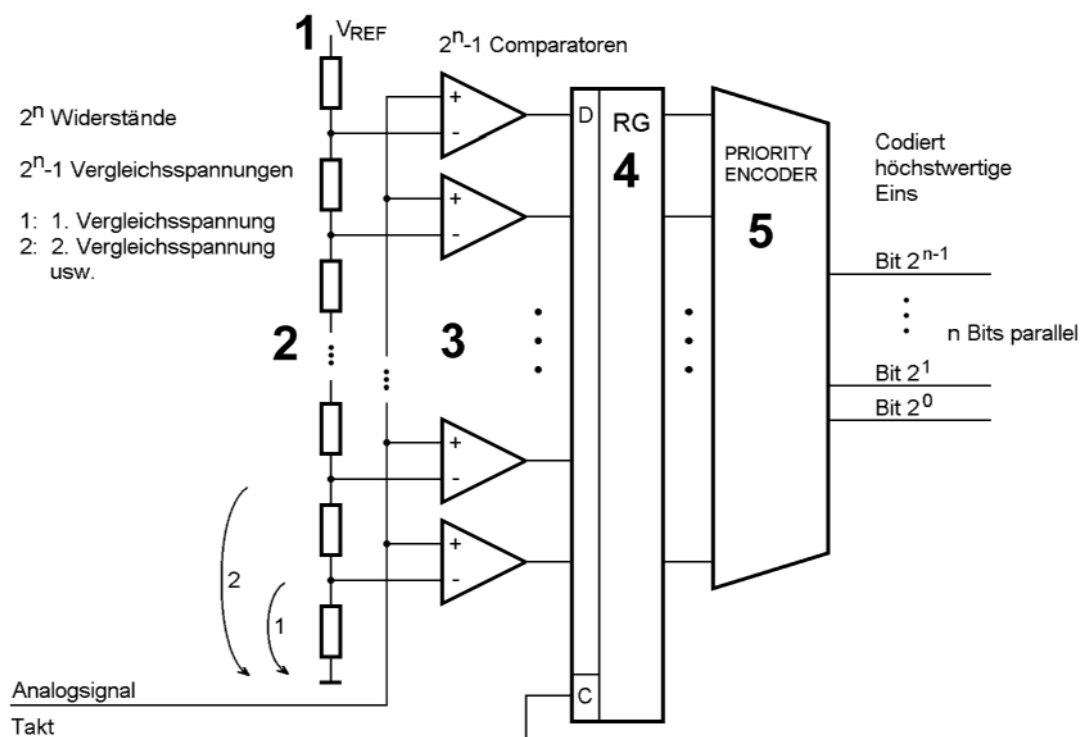


Abbildung 5.1.1 Parallelumsetzung (Flash-ADC)

Erklärung:

1 - Bezugsspannung (Referenzspannung); 2 - Widerstandskette; 3 - Comparatoren; 4 - Halteregister; 5 - Prioritätscodierer.

Die Referenzspannung 1 bestimmt den Wandlungsbereich. Prinzip: wenn Analogsignal = 0, dann Ausgangswert = binär 0; wenn Analogsignal = Referenzspannung, dann Ausgangssignal = binärer Endwert = Full Scale (typischerweise 2^n-1). Der Spannungsbereich von 0 V bis zur Referenzspannung ist in 2^n-1 Spannungswerte einzuteilen, die gleiche Abstände voneinander haben. Hierzu dient die Widerstandskette 2, die als Spannungsteiler wirkt. Sie besteht aus 2^n gleichgroßen Widerständen. Über jedem Widerstand fällt eine Vergleichsspannung ab, die jeweils einem der Comparatoren 3 zugeführt wird. Liegt an dieser Anordnung ein bestimmter analoger Signalwert an, so werden alle Comparatoren 3, deren Vergleichsspannung geringer ist, eine Eins liefern und die anderen eine Null. Es ist dann nur noch die Position der höchstwertigen Eins zu finden. Hierzu werden die Ausgangsbelegungen der Comparatoren 3 in ein Haltereister 4 übernommen. Der Prioritätscodierer 5 erkennt die Position der höchstwertigen Eins und wandelt diese Angabe in eine Binärzahl um.

Die Umsetzung gelingt so wirklich auf einen Schlag, gleichsam blitzartig (daher der Name "Flash"). Solche Schaltungen sind extrem schnell. Einige hundert Millionen Wandlungen in der Sekunde sind ohne weiteres beherrschbar; die Obergrenze liegt im GHz-Bereich. Flash-ADCs eignen sich beispielsweise zum Wandeln von Videosignalen.

Der wesentliche Nachteil: die Aufwendungen steigen exponentiell ($O(2^n)$) mit der Auflösung. Übliche Auflösungen liegen bei 6 und 8 Bits; bessere (teure) Schaltkreise haben 10 Bits.

5.1.2 Ein Kompromiß: Half Flash

Mit einem Half-Flash- oder Subranging-Wandler erreicht man eine hohe Auflösung bei vergleichsweise geringer Umsetzungszeit (von typischerweise einigen hundert ns, so daß einige Millionen Wandlungen in der Sekunde möglich sind). Typische Auflösungen betragen 10...14 Bits. Das Prinzip: es wird ein einfacher, beherrschbarer Flash- Wandler (mit beispielsweise 7 Bits) verwendet und zweimal ausgenutzt. Zunächst wird die Eingangsspannung grob "vordigitalisiert", also bei 7 Bits in 128 Bereiche eingeteilt. Der erhaltene Digitalwert repräsentiert praktisch die höherwertigen Bits der gewünschten Binärangabe. Er wird dann über einen Digital-Analog-Wandler (DAC) in einen Spannungswert umgesetzt, der von der Eingangsspannung subtrahiert wird. Die Spannungsdifferenz wird auf den Bereich der ursprünglichen Eingangsspannung verstärkt und mit dem Flash-Wandler nochmals digitalisiert. Der Ablauf erfordert neben den Wandlern und dem Differenzverstärker noch eine sequentielle Ablaufsteuerung (Abbildung 5.1.2).

Hinweis:

Mit einem n-Bit-Flash-ADC könnte man an sich $2n$ Bits Auflösung erreichen. Tatsächlich werden aber die Bits beider Umsetzungen nicht aneinandergereiht, sondern miteinander verrechnet, um Wandlungsfehler auszugleichen (das betrifft beispielsweise die zwei niedrigstwertigen Bits der ersten und die zwei höchstwertigen der zweiten Wandlung, so daß z. B. ein Wandler auf Grundlage eines 7-Bit-Flash-ADCs eine Auflösung von nur 12 Bits hat).

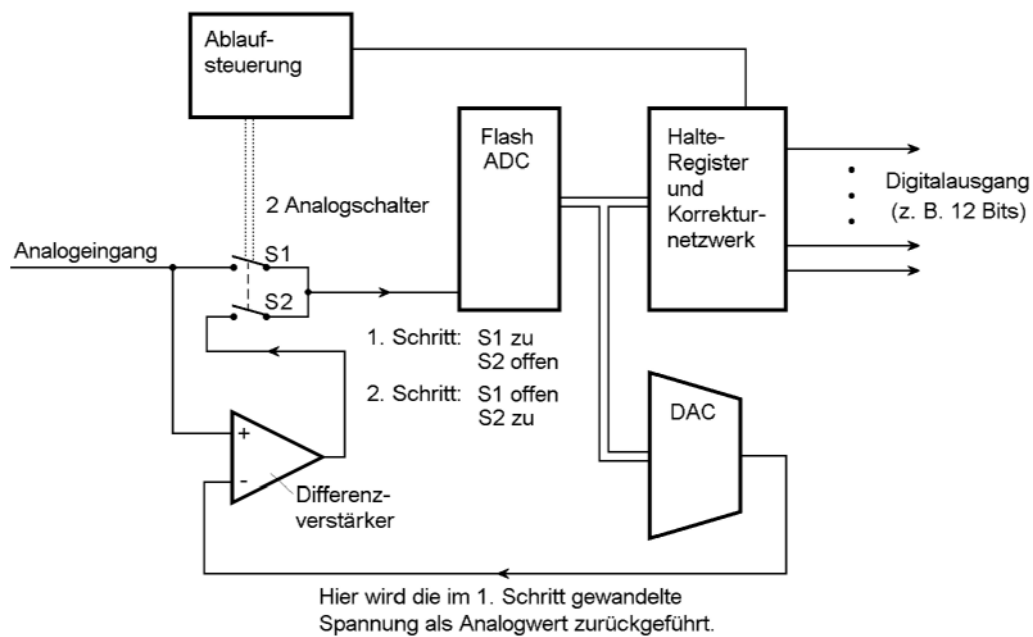


Abbildung 5.1.2 Half-Flash-ADC (Prinzip)

5.1.3 Ein Trick: Mehrstufenumsetzung (Multistep)

Dieses Prinzip gestattet es, die erforderliche Auflösung des Flash-Wandlers - und damit den Gesamt-Aufwand - gegenüber dem Half-Flash-Verfahren nochmals deutlich zu verringern und trotzdem schnell genug zu sein (mehrere Millionen Wandlungen in der Sekunde).

Der Grundgedanke ist ganz einfach: Wir sehen zwar ein Widerstandsnetzwerk für die volle Auflösung vor (z. B. mit 1024 Widerständen für 10 Bits), schalten aber einen - kleineren - Flash-Wandler nur dort an, wo es notwendig ist (Abbildung 5.1.3). Das entspricht genau dem Umgang mit einem "handgeschalteten" Multimeter, das wir - nach einer ersten Abschätzung - auf einen bestimmten Meßbereich einstellen. Die Abschätzung kann man automatisieren, indem man einen weiteren, aber sehr kleinen, einfachen und schnellen Flash-Wandler vorsieht, der das Analogsignal zunächst grob in beispielsweise 4 Spannungsbereiche einsortiert. Dementsprechend wird der "eigentliche" Flash-Wandler an den jeweiligen Teil des Widerstandsnetzwerkes geschaltet. Wie ergibt sich nun der digitale Ausgangswert? - Die höchstwertigen Bits kommen aus der Bereichsabschätzung. Die folgenden Bits liefert der Flash-Wandler. Die niedrigstwertigen Bits werden ebenso gewonnen wie beim Half-Flash-Verfahren: die Spannungsdifferenz zwischen Eingangssignal und dem jeweils gebildeten Digitalwert wird über den Flash-Wandler nochmals umgesetzt und mit den bisher ermittelten Bits verrechnet. Der im ersten Schritt gewandelte Spannungswert wird hier aber nicht - zwecks Subtraktion - aus dem Digitalen ins Analoge zurückgewandelt, sondern an der Widerstandskette des Flash-ADCs gleichsam abgezapft (es ist jener Spannungswert auszuwählen, der am Comparator mit der höchstwertigen Eins anliegt).

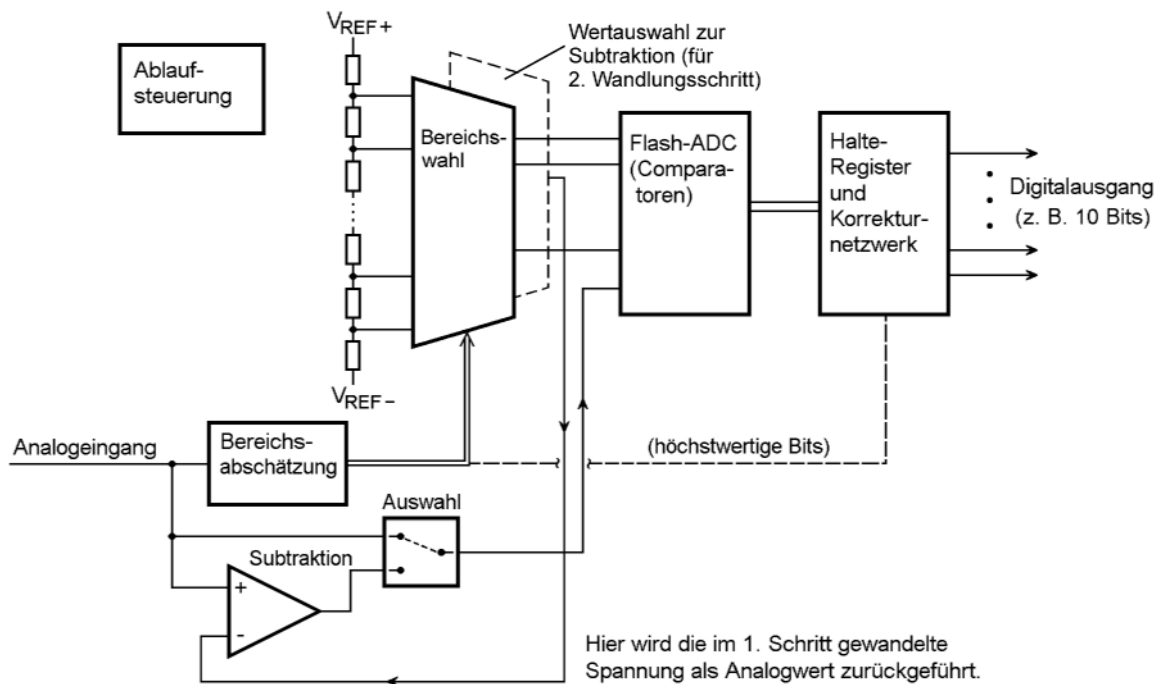


Abbildung 5.1.3 Multistep-ADC (Prinzip)

Hinweis:

Vergleichen wir die Abbildungen 5.1.2 und 5.1.3 miteinander. In beiden Schaltungen ist das Problem zu lösen, die dem gewandelten Digitalwert entsprechende analoge Spannung zu gewinnen, um sie von der Eingangsspannung subtrahieren zu können. Gemäß Abbildung 5.1.2 wird dies durch einen Digital-Analog-Wandler verwirklicht, gemäß Abbildung 5.1.3 durch eine Auswahl-schaltung am Spannungsteiler. Das ist offensichtlich weniger umständlich als eine Rückwandlung ins Analoge. Das Prinzip läßt sich aber nur dann verwirklichen, wenn man auf dem Schaltkreis entsprechend viele Analogschalter anordnen kann (wie dies in einer modernen CMOS-Technologie der Fall ist). Läßt hingegen die Technologie so etwas nicht zu, muß man die umständliche Rückwandlung über den DAC in Kauf nehmen.

5.1.4 Preiswert, aber langsam: Zählverfahren

Zeitbasisumsetzer

Abbildung 5.1.4 zeigt eines der ältesten Prinzipien zur Analog-Digital-Wandlung.

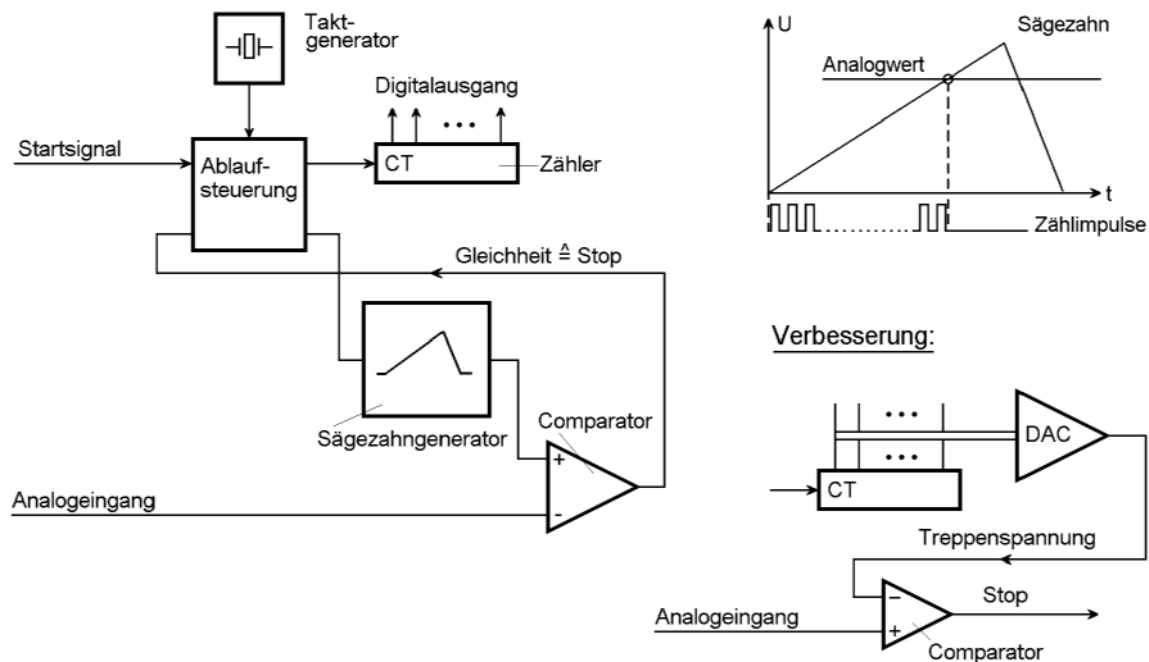


Abbildung 5.1.4 Zeitbasisumsetzer

Erklärung:

Die Ablaufsteuerung startet bei Beginn des Umsetzungsvorgangs einen Sägezahngenerator und läßt einen Zähler gemäß einem festen Takt zählen. Die Sägezahnspannung wird ständig mit der zu wandelnden Eingangsspannung verglichen. Bei Gleichheit wird das Zählen angehalten. Der Zähler enthält somit einen Wert, der der jeweiligen Eingangsspannung entspricht.

Eine Verbesserung: DAC statt Sägezahngenerator. Die Genauigkeit dieser Schaltung hängt unter anderem maßgeblich vom Sägezahngenerator ab (vor allem von dessen Linearität). Eine Verbesserung ist möglich, indem man den Sägezahngenerator durch einen (hinreichend genauen) Digital- Analog-Wandler ersetzt, der den Zählerausgängen nachgeschaltet wird. Beim fortlaufenden Zählen entsteht somit eine Treppenspannung, die mit der Eingangsspannung verglichen wird.

Dem Vorteil der Einfachheit - auch für hohe Auflösungen - stehen zwei wesentliche Nachteile gegenüber: (1) ist die absolute Genauigkeit nicht allzu hoch, (2) dauert eine Umsetzung bei n Bits Auflösung bis zu 2^n Takte.

Langsam, aber genau: Dual Slope

Dieses Verfahren (Abbildungen 5.1.5, 5.1.6) vermeidet einen Nachteil des Zeitbasisumsetzers: die eher mäßige Genauigkeit.

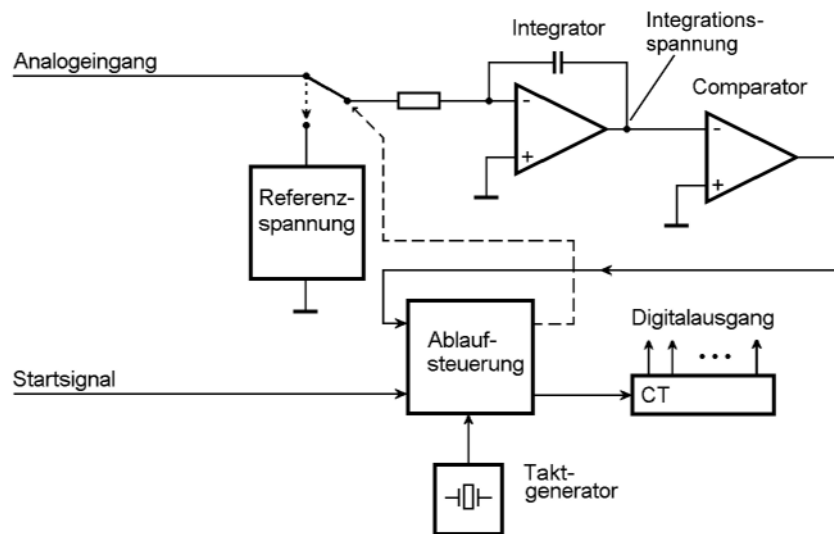


Abbildung 5.1.5 Dual Slope ADC

Die Wandlung erfolgt in zwei Schritten. Der erste Schritt hat eine feste Dauer (die wir mit t_F bezeichnen wollen). Dabei wird der Integrator von der Eingangsspannung aufgeladen; am Ende dieses Schrittes liegt also am Integrator-Ausgang eine Spannung an, die der Eingangsspannung proportional ist. Im zweiten Schritt wird der Integrator-Eingang an eine Referenzspannung angeschlossen, die entgegengesetzte Polarität hat. Der Integrator wird somit entladen. Der Zähler wird währenddessen weitergezählt. Geht die Ausgangsspannung des Integrators infolge der Entladung durch Null, so wird (über Comparator und Ablaufsteuerung) der Zähler angehalten. Die Zeit bis zum Anhalten des Zählers sei t_c . Um den digitalen Wert der Eingangsspannung U_{in} zu bestimmen, wird folgender Zusammenhang genutzt:

$$U_{in} = U_{ref} \cdot \frac{t_c}{t_F}$$

Die Zeitabschnitte t_F und t_c werden durch einen quartzgenau getakteten Zähler dargestellt (eine Möglichkeit wäre, den Zähler im ersten Schritt bis zum Ende durchzählen zu lassen und mit dem Nulldurchgang den zweiten Schritt einzuleiten, so daß der Zähler dann wieder von Null an aufwärts zählt).

Zum Namen: Das Verfahren heißt deshalb Dual Slope (Zwei-Flanken-Verfahren), weil am Integratorausgang zunächst eine ansteigende und dann eine abfallende Signalflanke entsteht (Abbildung 5.1.6). Durch den Wechsel zwischen Auf- und Entladen werden Toleranzen in den analogen Schaltmitteln weitgehend kompensiert, und auch die Langzeit-Ungenauigkeit (Drift) des Taktes hat keine Bedeutung, da der digitale Wert aus einem Verhältnis zweier Zählweiten ermittelt wird.

Dual-Slope-Wandler können mit hoher Auflösung (bis zu 20 Bits und mehr) und großer Genauigkeit gebaut werden. Die Wandlungszeit liegt allerdings im Millisekundenbereich. Die Wandler in Digitalmultimetern beruhen meist auf dem Dual-Slope-Verfahren.

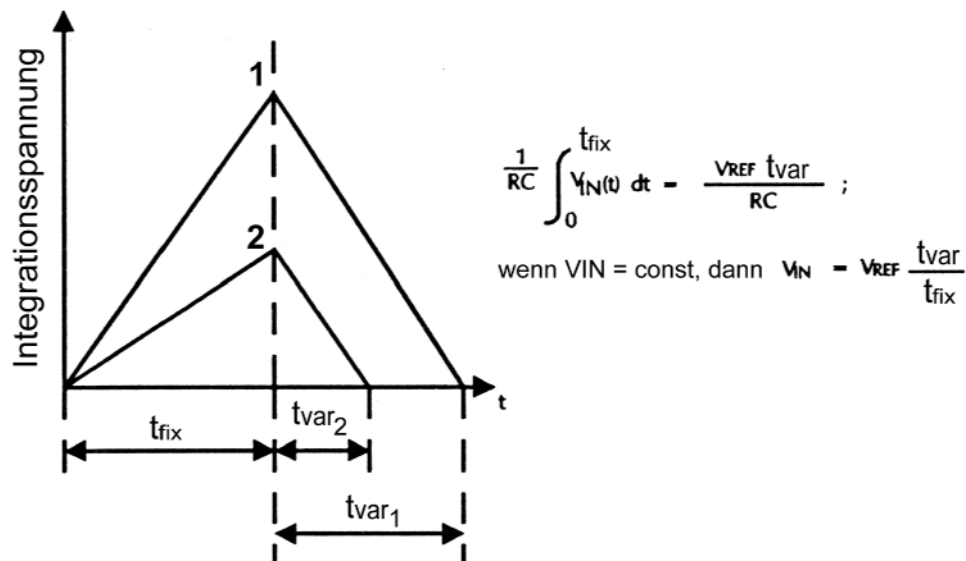


Abbildung 5.1.6 Zum Wandlungsablauf (nach: Texas Instruments)

Erklärung:

1 - Eingangsspannung = Maximum (Full Scale); 2 - Eingangsspannung = $\frac{1}{2}$ Full Scale. t_{fix} = feste Integrationszeit, t_{var} = variable Integrationszeit (abhängig von erreichter Integrationsspannung während t_{fix}).

5.1.5 Schneller: Wägeverfahren (sukzessive Approximation)

Ein anderes Prinzip beseitigt den Nachteil der langen Umsetzungszeit von Zählverfahren: nicht zählen, sondern bitweise umschalten und vergleichen (Abbildung 5.1.7).

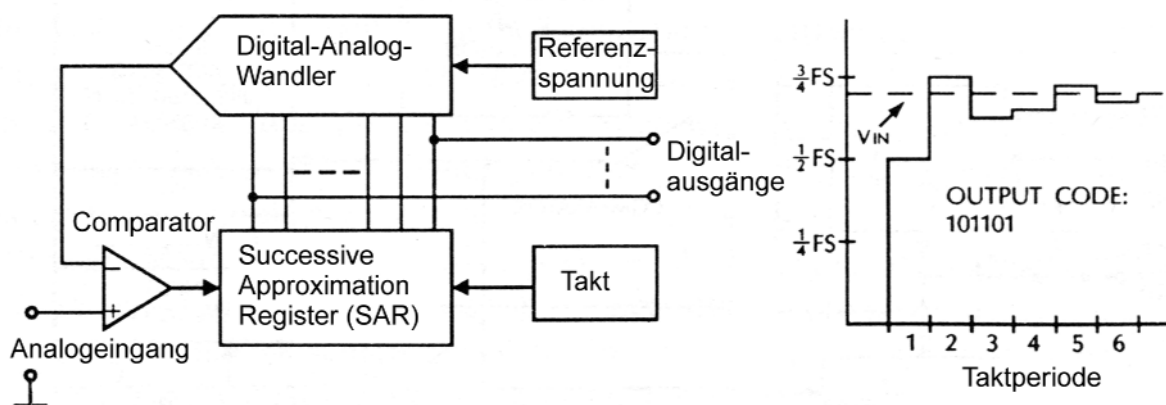


Abbildung 5.1.7 ADC nach dem Verfahren der sukzessiven Approximation (nach: Texas Instruments)

Erklärung zu Abbildung 5.1.7:

An sich sieht die Anordnung genau so aus wie der Zeitbasisumsetzer von Abbildung 5.1.4 mit Digital-Analog-Wandler. Es ist lediglich anstelle des Zählers ein spezielles Register vorgesehen, das als Successive Approximation Register (SAR) bezeichnet wird. Genaugenommen handelt es sich um eine State Machine mit einem charakteristischen Verhalten: Zunächst werden alle Flipflops gelöscht. Dann wird jenes Flipflop eingeschaltet, das das höchstwertige Bit (MSB) repräsentiert. Ist die Eingangsspannung größer als die Ausgangsspannung des Digital-Analog-Wandlers, bleibt es gesetzt. Andernfalls wird es wieder gelöscht. Der nächste Schritt betrifft das folgende Bit (also Position MSB-1). Auch dieses wird zunächst "probeweise" eingeschaltet. Wird die DAC-Ausgangsspannung damit größer als die Eingangsspannung, bleibt es gesetzt, ansonsten wird es wieder gelöscht. So wird Bitposition für Bitposition systematisch durchprobiert, um die größtmögliche Annäherung an die Eingangsspannung zu erreichen.

Der Vorteil: Eine Umsetzung erfordert für n Bits Auflösung n Schritte anstelle von 2^n beim Zählverfahren. Typische Auflösungen liegen zwischen 8 und 16 Bits, Umsetzungszeiten zwischen 1 und 100 μs .

5.1.6 Ganz modern: Delta-Sigma-Umsetzung

Das Delta-Sigma-Verfahren erlaubt Auflösungen zwischen 12 und 20 Bits bei Umsetzungszeiten von mehreren μs . Es erfordert allerdings eine hochentwickelte Schaltungstechnologie, die es ermöglicht, neben dem Analogteil auch recht umfangreiche Schaltungen zur digitalen Signalverarbeitung zu integrieren. Der Wandler an sich liefert keine unmittelbar auswertbaren Bits, sondern Impulsströme, die zunächst der digitalen Signalverarbeitung unterzogen werden müssen. Wir wollen deshalb auf die doch recht komplizierten Einzelheiten nicht weiter eingehen und lediglich das Prinzip kurz skizzieren (Abbildung 5.1.8).

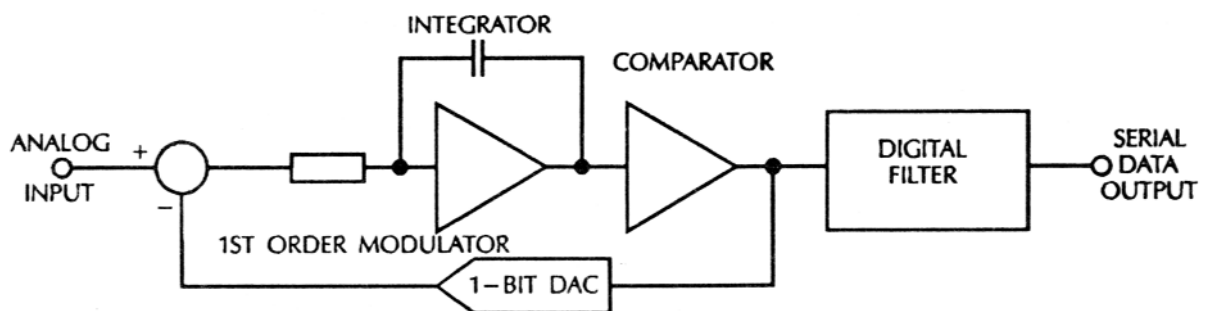


Abbildung 5.1.8 ADC nach dem Delta-Sigma-Verfahren (nach: Texas Instruments)

Erklärung:

Der 1-Bit-DAC ist ein Wandler, der je nach Erregung seines digitalen Eingangs entweder eine positive (bei Erregung mit 0) oder eine negative Spannung (bei Erregung mit 1) liefert. Die Schaltung erzeugt hier Impulse jeweils gleicher Dauer mit betragsmäßig konstanter Spannung. Die Anordnung aus Integrator, Comparator, 1-Bit-DAC und dem Summationsglied am Eingang wirkt als Regelkreis mit dem Bestreben, die Ladung auf dem Kondensator des Integrators nahe bei Null zu halten. Nehmen wir an, der Integratorausgang wird positiv. Dann wird der

Comparator eine Eins abgeben, und der 1-Bit-DAC wird negative Impulse liefern. Somit wird der Kondensator wieder entladen. Geht die Ausgangsspannung des Integrators durch Null, so gibt der Comparator eine Null ab, die den DAC veranläßt, positive Impulse zu erzeugen, die den Integrator wieder aufladen. Die in der Abbildung als "Digitales Filter" bezeichnete Funktionseinheit "sieht" an ihrem Eingang somit eine Impulsfolge, die den Wert der analogen Eingangsspannung widerspiegelt (Abbildung 5.1.9): je positiver diese ist, um so mehr überwiegt der Anteil der Nullen; ist sie negativer, überwiegt der Anteil der Einsen. Hat die Eingangsspannung den Wert 0, erscheinen Einsen und Nullen in jeweils gleicher Anzahl.

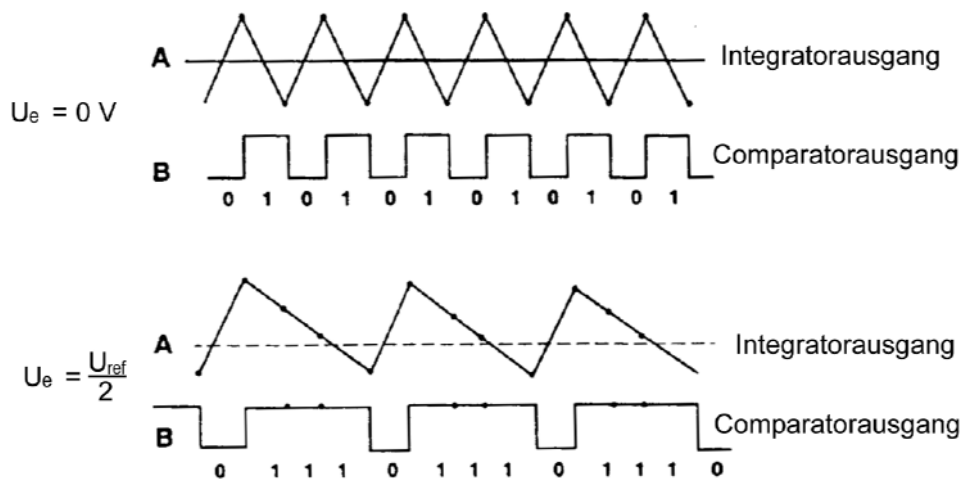


Abbildung 5.1.9 Signalverläufe in einem Delta-Sigma-ADC (nach: Analog Devices)

5.2 Digital - analog

Digital-Analog-Wandler (Digital-to-Analog-Converters, DACs) setzen diskrete, meist binär codierte Wertangaben in analoge Signalwerte um. DACs sind einfacher als ADCs. Abbildung 5.2.1 zeigt zwei naheliegende Prinzipien.

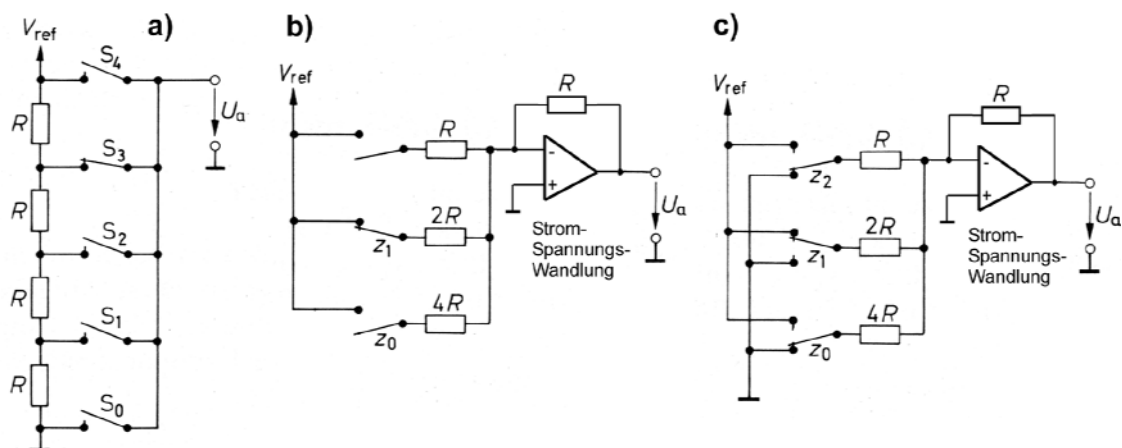


Abbildung 5.2.1 Naheliegende Prinzipien der Digital-Analog-Wandlung (nach: Tietze/Schenk). a) Parallelverfahren; b) und c) Stromsummation (Wägeverfahren)

Erklärung zu Abbildung 5.2.1:

Der ausgangsseitige Spannungswert U_a wird aus einer konstanten und hinreichend genauen Referenzspannung V_{ref} abgeleitet. Eine binäre Ziffernangabe von n Bits führt auf insgesamt 2^n verschiedene (diskrete) Ausgangsspannungswerte. Eine naheliegende Codierung: 111...11: $U_a = V_{ref}$; 000...00: $U_a = 0$; 000...01: $U_a = V_{ref}/2^n$.

Parallelverfahren

Die 2^n Spannungswerte werden mit einem Spannungsteiler erzeugt, der aus $2^n - 1$ Widerständen besteht. Zur Spannungsauswahl sind 2^n Anlogschalter vorgesehen, von denen jeweils einer aktiviert wird (Ansteuerung über 1-aus- n -Decoder). Der Aufwand ist hoch (Gegenstück zum Flash-Wandler). Ein weiterer Nachteil: der Innenwiderstand (hinsichtlich U_a) hängt vom Spannungswert ab (0Ω bei Ziffernwert 0, $(2^n - 1)R$ bei Ziffernwert 1, R bei Ziffernwert 111...01). In praktisch ausgeführten Parallelwandlern verwendet man deshalb Stromquellen anstelle der Widerstände (Abbildung 5.2.2).

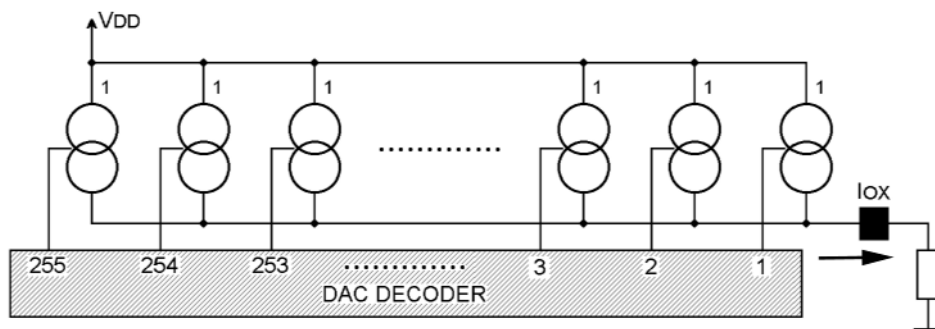


Abbildung 5.2.2 Parallelwandler mit geschalteten Stromquellen (nach: Texas Instruments)

Erklärung:

Für 8 Bits sind $2^8 - 1 = 255$ gleichartige schaltbare Stromquellen vorgesehen. Die Ströme der jeweils aktiven Stromquellen summieren sich zum Ausgangsstrom I_{OX} . Der ankommende Binärwert wird decodiert (DAC Decoder). Prinzip: Binärwert zu 1-aus- n -Code, wobei die jeweils niederwertigen Stellen mit Einsen aufgefüllt werden. Beispiel: dezimal 5 = binär 101 = 1-aus- n 10000 = aufgefüllt 11111. Somit werden die ersten 5 Stromquellen aktiviert.

Stromsummation (Wägeverfahren)

Jede Binärstelle schaltet einen Widerstand ein oder aus. Die Widerstände sind gemäß der Folge der Binärzahlen abgestuft. Hat der Widerstand der höchstwertigen Bitposition (MSB) den Wert R , so hat jener der nächstniederen Bitposition den Wert $2R$, der folgende $4R$ usw. Sind die Widerstände zugeschaltet, so fließt jeweils ein Strom I , $1/2$, $1/4$ usw. Der insgesamt fließende Strom ergibt sich als Summe der binär gewichteten Teilströme. Die Ausgangsspannung wird durch Strom-Spannungs-Wandlung gebildet (Abbildungen 5.2.3 bis 5.2.7).

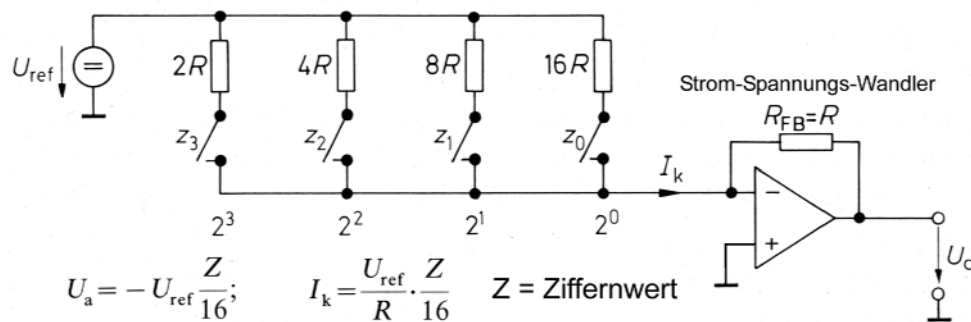


Abbildung 5.2.3 Digital-Analog-Wandlung durch Summieren binär gewichteter Ströme und nachfolgende Strom-Spannungs-Wandlung (nach: Tietze/Schenk)

Diese Schaltung ist in der Praxis nur brauchbar, wenn es um wenige Binärstellen geht, wenn es sich um einen diskreten Aufbau handelt und wenn es nicht allzu sehr auf Genauigkeit ankommt (Abbildung 5.2.4).

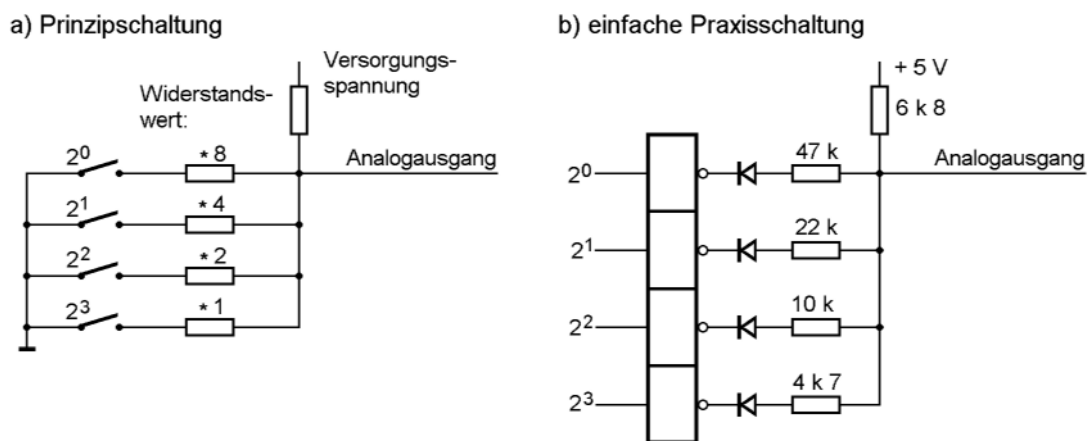


Abbildung 5.2.4 Ein einfacher D-A-Wandler. Strom-Spannungs-Wandlung über Widerstand, der vom Summenstrom durchflossen wird

Denksportaufgaben: (1) wozu sind die Dioden vorgesehen? (2) unter welchen Bedingungen können sie weggelassen werden?

Sie werden benötigt, um zu verhindern, daß aus den Treibern, die ausgangsseitig High-Signal führen, zusätzlicher Strom durch die Widerstände fließt. Sie sind unnötig, wenn Open-Collector-Treiber verwendet werden oder wenn die Treiber nicht zwischen Low und High, sondern zwischen Low und hochohmig umschalten (Tri-State-Prinzip; z. B. anwendbar bei Anschluß an Mikrocontroller).

Die Auslegung gemäß Abbildung 5.2.1b und 5.2.3 hat drei wesentliche Nachteile:

1. schwankende Pegel an den Schaltern (offen: Referenzspannung, geschlossen: Masse). Beim Umschalten müssen somit die parasitären Kapazitäten umgeladen werden (längere Schaltzeiten bzw. Geschwindigkeitsverlust). Abhilfe: Wechselschalter (Abbildungen 5.2.1c und 5.2.5).

2. schwankende Belastung der Referenzspannungsquelle. Abhilfe: s. Punkt 1.
3. man braucht binär gewichtete Widerstände mit hinreichender Präzision. Diese Forderung nur schwer zu erfüllen, vor allem in Hinsicht auf die Schaltungsintegration. Abhilfe: R-2R-Widerstandsketten (Leiternetzwerke; Abbildungen 5.2.6 bis 5.2.8).

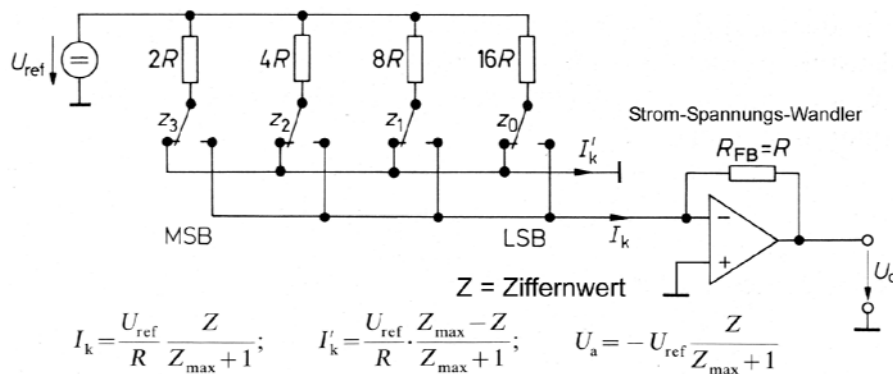


Abbildung 5.2.5 Digital-Analog-Wandler mit Wechselschaltern (nach: Tietze/Schenk)

Erklärung:

Jeder Widerstand liegt entweder an Masse oder am Eingang des Strom-Spannungs-Wandlers, der ebenfalls Massepotential führt*). Somit wird jeder Widerstand von einem konstanten Strom durchflossen, und die Referenzspannungsquelle „sieht“ eine konstante Belastung (im Beispiel: $2R \parallel 4R \parallel 8R \parallel 16R = \frac{16}{15} R$).

*) Denksportaufgabe: weshalb?

Weil der gegengekoppelte Operationsverstärker bestrebt ist, die Differenzspannung an seinen Eingängen zu Null zu machen. Der positive Eingang befindet sich fest auf Massepotential, also wird der negative ebenfalls auf Massepotential gehalten.

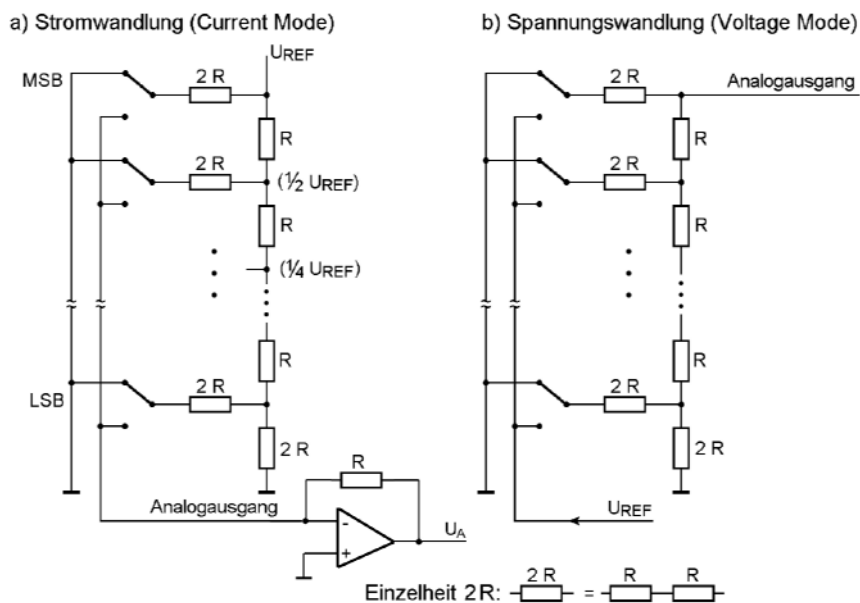


Abbildung 5.2.6 D-A-Wandlung mit Leiternetzwerken (R-2R)

Erklärung zu Abbildung 5.2.6:

Im Längszweig (in der Abbildung von oben nach unten) fällt an jedem Widerstand R ein binärer Bruchteil der Referenzspannung U_{REF} ab (U_{REF} , $1/2 U_{REF}$, $1/4 U_{REF}$ usw.). Es gibt zwei Betriebsweisen:

- Stromwandlung. Am Analogausgang ist der summierte Strom entnehmbar, woraus über einen rückgekoppelten Operationsverstärker die gewünschte Spannung gebildet werden kann.
- Spannungswandlung. Hier kann am Analogausgang direkt eine entsprechend geteilte Spannung abgenommen werden.

Des Weiteren ist dargestellt, daß man die $2R$ -Widerstände durch Reihenschaltung zweier R -Widerstände verwirklichen kann; man kommt also mit einem einzigen Widerstandswert aus (wichtig für die Schaltungsintegration).

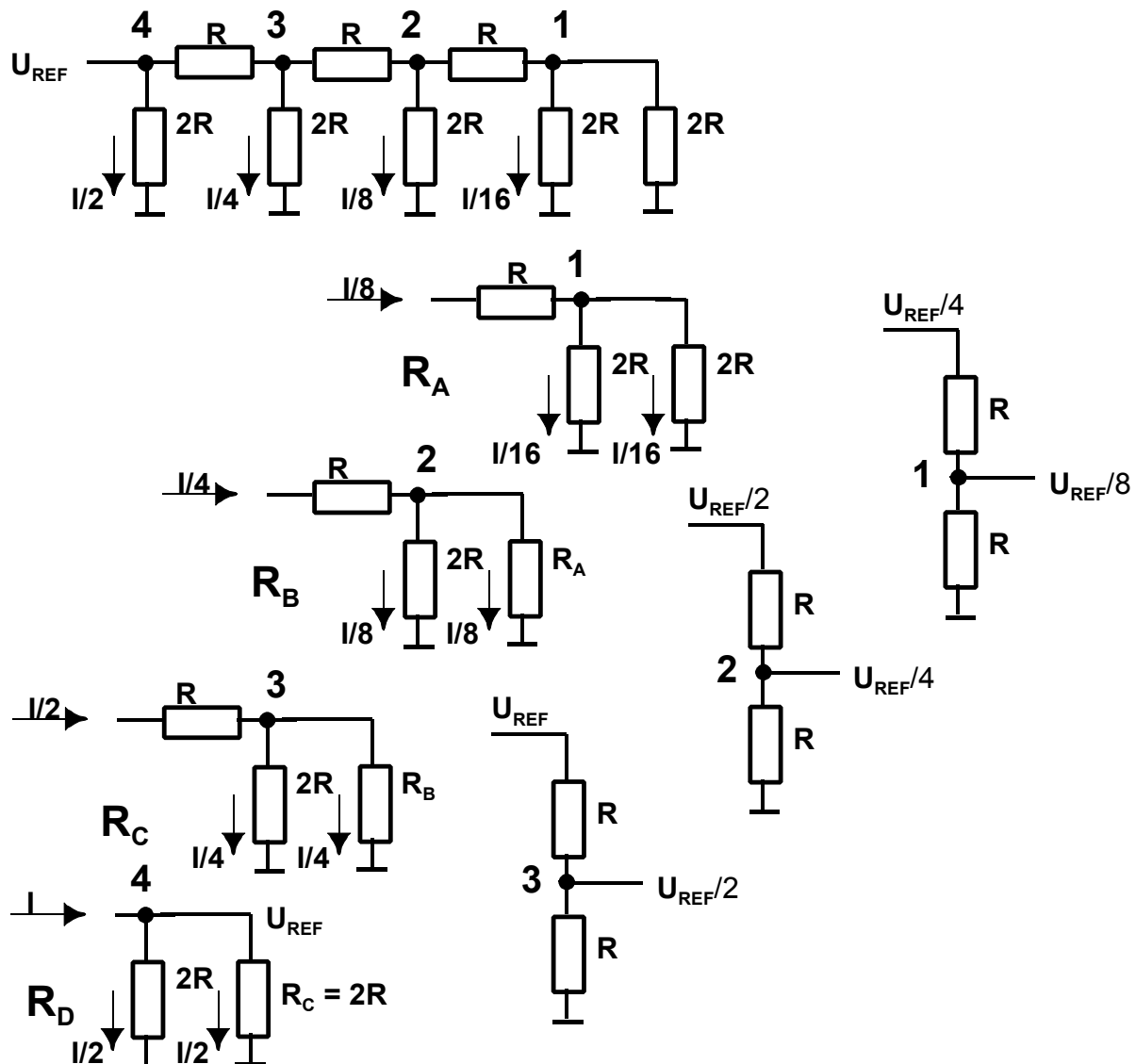


Abbildung 5.2.7 Zur Wirkungsweise des R-2R-Leiternetzwerks

Erklärung zu Abbildung 5.2.7:

Das Leiternetzwerk mit Serien- und Parallelwiderständen (oben) wird gleichsam stückweise aufgerollt. Welchen Gesamtwiderstand bekommt die Referenzspannung zu sehen, welche Spannungen und Ströme ergeben sich an den einzelnen Punkten? - Gehen wir zunächst von rechts nach links:

$$\text{Teilwiderstand } R_A = R + (2R \parallel 2R) = 2R$$

$$\text{Teilwiderstand } R_B = R + (2R \parallel R_A) = R + (2R \parallel 2R) = 2R$$

$$\text{Teilwiderstand } R_C = R + (2R \parallel R_B) = R + (2R \parallel 2R) = 2R$$

$$\text{Gesamtwiderstand } R_D = 2R \parallel R_C = 2R \parallel 2R = R = \text{Belastung der Referenzspannungsquelle}$$

Spannungsteilung:

Jeder Schaltungsteil kann als ein Spannungsteiler aufgefaßt werden, der aus dem Längswiderstand R und einem Ersatzwiderstand besteht, der sich aus den rechts davon angeordneten Widerständen ergibt. Dessen Wert ist ebenfalls R (aus $2R \parallel 2R$). Die jeweils oben anliegende Spannung wird in der Mitte auf die Hälfte geteilt. Somit ergeben sich (von links nach rechts) folgende Teilspannungen: U_{REF} , $\frac{1}{2} U_{REF}$, $\frac{1}{4} U_{REF}$, $\frac{1}{8} U_{REF}$.

Stromteilung:

In Punkt 4 fließt der Gesamtstrom I hinein. Durch R_C und damit durch den Punkt 3 fließt $\frac{1}{2} I$. Durch R_B und damit durch den Punkt 2 fließt $\frac{1}{4} I$. Durch R_A und damit durch den Punkt 1 fließt $\frac{1}{8} I$.

Abbildung 5.2.8 zeigt weitere Einzelheiten anhand von Datenblattauszügen eines typischen DACs.

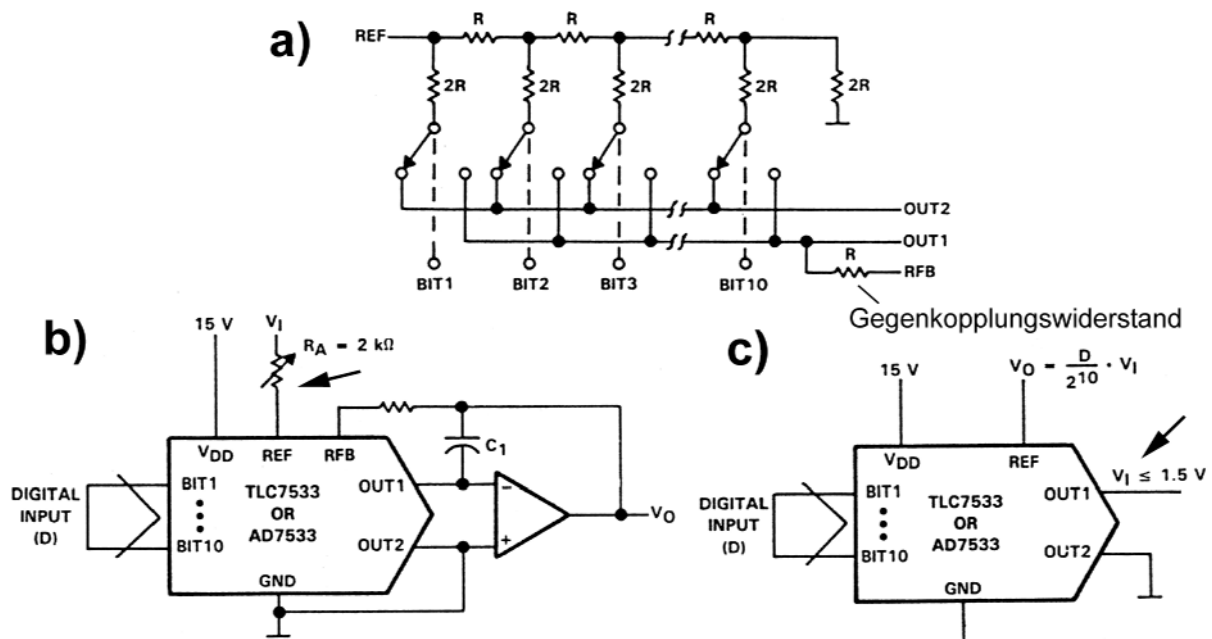


Abbildung 5.2.8 Ein integrierter Digital-Analog-Wandler (nach: Texas Instruments)

Erklärung zu Abbildung 5.2.8:

a) - Widerstandsnetzwerk (alle Schalter auf Null); b) - Einsatzbeispiel Stromwandlung; c) - Einsatzbeispiel Spannungswandlung. Achten Sie darauf, wo jeweils die Referenzspannung V_I angeschlossen ist (Pfeile).

Hinweis:

Auf dem Schaltkreis kann man die Wertegleichheit der Widerstände mit hoher Genauigkeit realisieren, nicht aber die Absolutwerte (in dieser Hinsicht können die Abweichungen bis zu $\pm 50\%$ betragen). Deshalb wird typischerweise auch der Gegenkopplungswiderstand R_{FB} des Strom-Spannungs-Wandlers mitintegriert.