

ATA IO Experimentierplattform 06a

Kurzbeschreibung

Stand: 1.2 vom 19. 9. 06



Verwendungszweck:

Erprobung von beliebigen ATA-IO-Schaltungen an einer parallelen ATA-Schnittstelle. Besondere Unterstützung zum Experimentieren mit universellen E-A-Ports sowie mit ISA-Bus-Adapterschaltungen und PC/104-Moduln.

Bestückung:

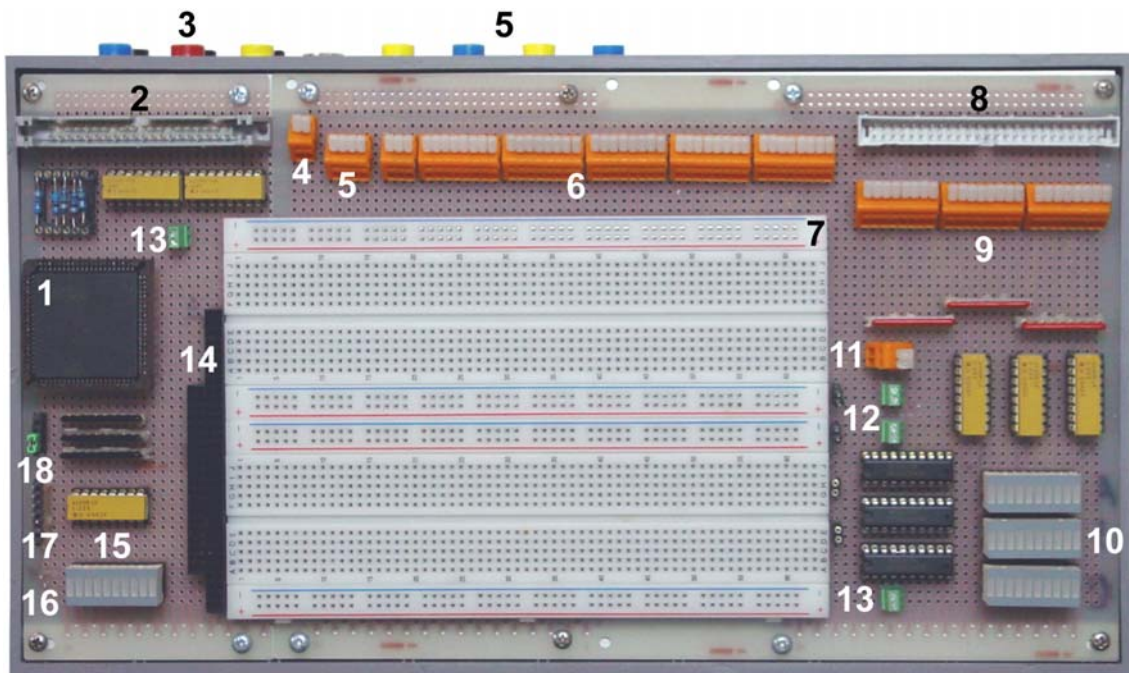
- CPLD Xilinx 95108 in Gehäuse PLCC 84,
- Steckplatine für diskrete Zusatzschaltungen,
- frei nutzbarer 50poliger Steckverbinder für 24 E-A-Signale (gemäß Industriestandard Opto 22),
- Pull-up-Widerstände für diese 24 Signale,
- LED-Anzeige (gepuffert) für diese 24 Signale,
- PC/104-Steckverbinder, beschaltet für 8-Bit-E-A-Zugriffe,
- Klemmenblöcke zum wahlfreien Adaptieren der CPLD- und der E-A-Signale.

Konfiguration der CPLD-Signale:

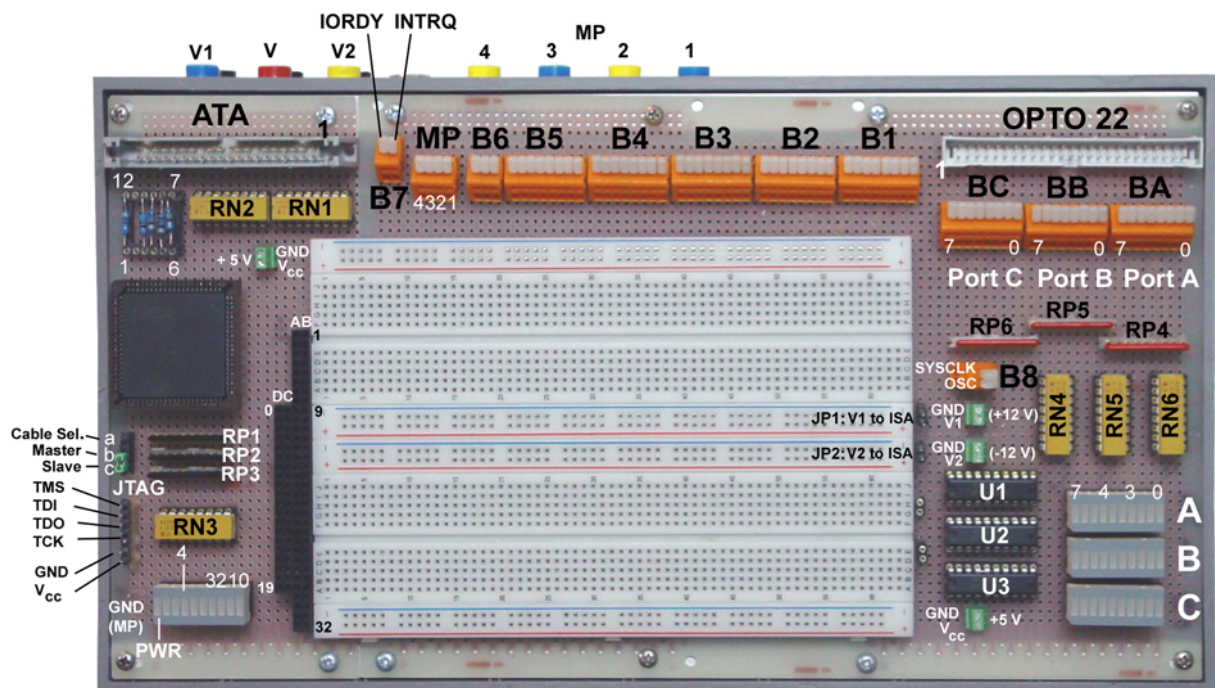
- 43 Signale sind auf Klemmen geführt und somit frei verfügbar.
- 26 Signale sind nicht auf Klemmen geführt. Das betrifft den elementaren ATA-Anschluß (ohne INTRQ und IORDY) sowie 5 Leuchtanzeigen.
- 28 der 43 auf Klemmen geführten Signale sind fest an den PC/104-Steckverbinder angeschlossen.
- die 24 E-A-Leitungen des Opto-22-Steckverbinders sind auf Klemmen geführt.
- die Signale INTRQ und IORDY der ATA-Schnittstelle sind auf Klemmen geführt.

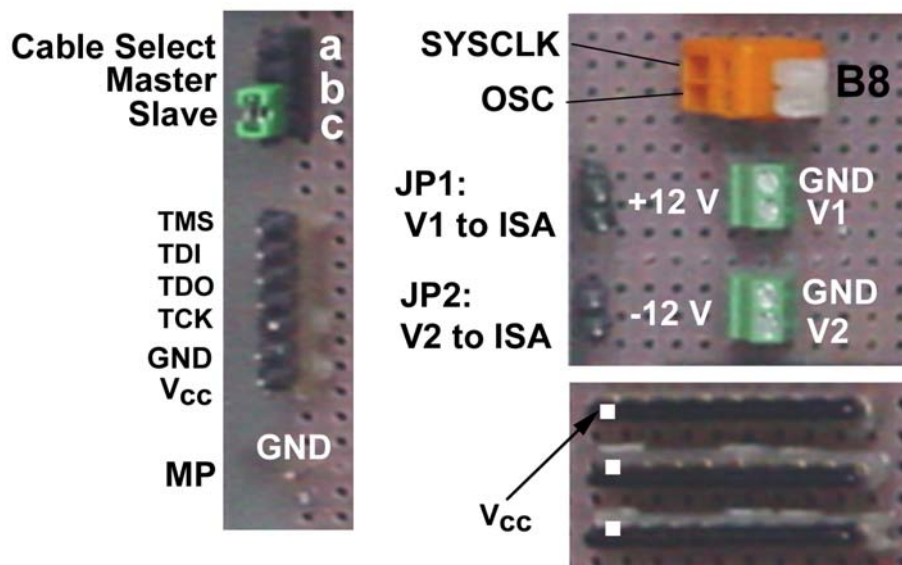
Hinweise zur CPLD-Entwicklung:

1. Alle Schaltungen ohne ISA-Bus (PC/104): Constraints-Angaben für die 26 nicht auf Klemmen geführten Signale verwenden. Rest ist frei verfügbar.
2. Verbindungen zum Opto-22-Steckverbinder: sind über Klemmen herzustellen.
3. Schaltungen mit ISA-Bus: Constraints-Angaben für ISA-Bus verwenden. Die ISA-Signale liegen an den entsprechenden Klemmen an. Die verbleibenden Signale sind frei verfügbar.
4. Experimentieren mit den Signalen INTRQ und IORDY der ATA-Schnittstelle: Signale im CPLD oder auf der Stecktafel erzeugen und über die zugehörigen Klemmen auf das ATA-Interfacekabel führen.
5. Takte am ISA-Bus: Können eingespeist werden (z. B. von Taktgenerator auf Steckplatine oder über Meßbuchse).



- | | |
|---|--|
| <ul style="list-style-type: none"> 1 - CPLD; 2 - ATA-Steckverbinder; 3 - Speisespannungszuführung; 4 - Klemmen für ATA-Signale IORDY und INTRQ; 5 - Meßbuchsen + Klemmen (frei nutzbar); 6 - Klemmenblöcke für 43 frei nutzbare CPLD-Signale; 7 - Steckplatine; 8 - Opto-22-Steckverbinder (24 E-A-Signale in 3 Ports A, B, C); 9 - Klemmenblöcke für die E-A-Ports A, B, C; | <ul style="list-style-type: none"> 10 - Anzeige für die E-A-Ports A, B, C; 11 - Klemmen für ISA-Taktsignale; 12 - Klemmen für Speisevoltungen V1, V2 und Jumper für ISA-Versorgung (+12 V, -12 V); 13 - Klemmen für Speisevoltung +5 V (V_{cc}); 14 - PC/104-Steckverbinder (ISA-Bus); 15 - Leuchtanzeigen; 16 - Masse-Meßpunkt; 17 - JTAG-Programmieranschlüsse für CPLD; 18 - Kontakte für ATA-Konfiguration (Master/Slave) |
|---|--|





Einzelheiten. Links ATA-Gerätekonfiguration und JTAG-Programmierschluß; rechts ISA Takt- und Spannungszuführung. Darunter die Bestückung der SIL-Widerstandsnetzwerke.

ATA-Schnittstelle:

Gemäß Industriestandard Parallel ATA. Programmierbare E-A-Zugriffe mit 8 Bits Zugriffsbreite. Nicht unterstützte ATA-Signale: DD15...8, PDIAG-, DASP-.

Ansteuerung der Signale IORDY und INTRQ der ATA-Schnittstelle:

Entsprechende Schaltungen im CPLD-Schaltkreis vorsehen oder auf Steckplatine aufbauen. Der ATA-Schnittstelle über Klemmenblock B7 zuführen.

Gerätekonfiguration an ATA-Schnittstelle:

- Cable Select: Jumper von a nach b.
- Master: Jumper von b nach c.
- Slave: gar kein Jumper oder von c nach Parkposition.

Programmierbarkeit im System (ISP):

Wird unterstützt (Anschlüsse für JTAG-Downloadkabel).

Spannungsversorgung (1): Steckplatine:

Speisespannungen V_{CC} , V1, V2 bedarfsweise über die entsprechenden Klemmen zuführen.

Spannungsversorgung (2): ISA-Bus ungenutzt:

V_{CC} = CPLD-Speisespannung (typischerweise + 5 V). V1 und V2 können bedarfsweise angelegt werden (Wert und Polarität beliebig). V_{CC} liegt an CPLD und am Opto-22-Steckverbinder an.

Spannungsversorgung (3): ISA-Bus:

V_{CC} = + 5 V. Liegt an CPLD und ISA-Bus an. V1 = +12 V, V2 = -12 V. Bei Bedarf dem ISA-Bus zuführen. Hierzu Jumper stecken. JP1 für +12 V, JP2 für -12 V.

Beschaltung der Ports A, B, C des Opto-22-Steckverbinders:

Freie Verdrahtung über Klemmenblöcke B1 bis B6 (CPLD-Seite) und BA, BB, BC (Opto-22-Seite). CPLD-Schaltung entwerfen und Verdrahtung gemäß ausgegebener Pin-Liste herstellen.

Taktsignale (SYSCLK, OSC) des ISA-Bus:

Bedarfsweise erzeugen (z. B. mit Quarzgenerator auf Steckplatine) oder über Meßbuchsen und Klemmenblock MP einspeisen. Dem ISA-Bus über Klemmenblock B8 zuführen.

ISA-Busbetrieb:

- nur E-A-Zugriffe,
- 8 Bits Zugriffsbreite,
- 16-Bit-Adressierung,
- Interruptabfrage,
- keine Wartezustände,
- nicht unterstützte Eingänge mit Festwerten belegt (inaktive Pegel),
- Datenbus mit Pull-Up-Widerständen,
- Adreßbitpositionen 15 bis 10 mit Pull-up-Widerständen (Adreßsignale auf High, sofern CPLD nur 10-Bit-Adressierung unterstützt),
- alles weitere bestimmt die jeweilige Schaltung im CPLD.

Signale der ATA-Schnittstelle:

1	RESET	2	GND
3	DD7	4	DD8 ^{*)}
5	DD6	6	DD9 ^{*)}
7	DD5	8	DD10 ^{*)}
9	DD4	10	DD11 ^{*)}
11	DD3	12	DD12 ^{*)}
13	DD2	14	DD13 ^{*)}
15	DD1	16	DD14 ^{*)}
17	DD0	18	DD15 ^{*)}
19	GND	20	GND
21	DMARQ	22	GND
23	DLOW-	24	GND
25	DIOR-	26	GND
27	IORDY ^{*)}	28	CSEL
29	DMACK-	30	GND
31	INTRQ ^{*)}	32	res. ^{*)}
33	DA1	34	PDIAG- ^{*)}
35	DA0	36	DA2
37	CS0-	38	CS1-
39	DASP- ^{*)}	40	GND

*) : nicht unterstützt

Der PC/104-Steckverbinder:

	D	C		A	B
			1	IOCHCHK#	GND
			2	SD7	RESET
			3	SD6	+ 5 V
			4	SD5	IRQ9
			5	SD4	- 5 V
			6	SD3	DRQ2
			7	SD2	-12 V
			8	SD1	SRDY (NOWS#)
0	GND	GND	9	SD0	+ 12 V
1	MEMCS16#	SBHE#	10	IOCHRDY	-
2	IOCS16#	LA23	11	AEN	SMEMW#
3	IRQ10	LA22	12	SA19	SMEMR#
4	IRQ11	LA21	13	SA18	IOW#
5	IRQ12	LA20	14	SA17	IOR#
6	IRQ15	LA19	15	SA16	DACK3#
7	IRQ14	LA18	16	SA15	DRQ3
8	DACK0#	LA17	17	SA14	DACK1#
9	DRQ0	MEMR#	18	SA13	DRQ1
10	DACK5#	MEMW#	19	SA12	REFRESH#
11	DRQ5	SD8	20	SA11	SYSCLK
12	DACK6#	SD9	21	SA10	IRQ7
13	DRQ6	SD10	22	SA9	IRQ6
14	DACK7#	SDd11	23	SA8	IRQ5
15	RQ7	SD12	24	SA7	IRQ4
16	+ 5 V	SD13	25	SA6	IRQ3
17	MASTER#	SD14	26	SA5	DACK2#
18	GND	SD15	27	SA4	TC
19	GND	-	28	SA3	BALE
			29	SA2	+ 5 V
			30	SA1	OSC
			31	SA0	GND
			32	GND	GND

Der E-A-Anschluß gemäß Industriestandard (Opto 22):

Opto-22-Kanal	E-A-Port	Pin		Signal
23	C7	1	2	GND
22	C6	3	4	GND
21	C5	5	6	GND
20	C4	7	8	GND
19	C3	9	10	GND
18	C2	11	12	GND
17	c1	13	14	GND
16	C0	15	16	GND
15	B7	17	18	GND
14	B6	19	20	GND
13	B5	21	22	GND
12	b4	23	24	GND
11	B3	25	26	GND
10	B2	27	28	GND
9	B1	29	30	GND
8	B0	31	32	GND
7	A7	33	34	GND
6	A6	35	36	GND
5	A5	37	38	GND
4	A4	39	40	GND
3	A3	41	42	GND
2	A2	43	44	GND
1	A1	45	46	GND
0	A0	47	48	GND
+5V	-	49	50	GND

JTAG-Programmierschluß:

V _{CC} (+5 V)	GND		TCK	TDO	TDI	TMS
------------------------	-----	--	-----	-----	-----	-----

LED-Anzeigen:

			4			3	2	1	0
PWR (= V _{CC})			SELECTED			DH3	DH2	DH1	DH0
			Pin 13			Pin 33	Pin 31	Pin 32	Pin 41

Die Signalbezeichner betreffen die Anzeigen des ATA Frontend 01a. In der CPLD können beliebige Signale auf diese Anzeigen geführt werden. Signalbildung: aktiv Low.

Klemmenblöcke:**B1**

7	6	5	4	3	2	1	0
12	11	7	6	5	3	2	1
		AEN	INT_D	SD6	SD5	IOWn	SD4

B2

7	6	5	4	3	2	1	0
36	35	26	25	23	20	18	15
SD3		IORn			ISA_RESET	INT_A	

B3

7	6	5	4	3	2	1	0
52	51	50	48	46	45	43	40
SD7		SD2	SD1	SA10	SD0		INT_B

B4

7	6	5	4	3	2	1	0
67	66	63	62	61	58	57	56
INT_C	SA11	SA6	SA5		SA14	SA4	SA3

B5

7	6	5	4	3	2	1	0
79	77	75	74	72	71	70	68
SA7		SA2		SA1	SA0	SA13	SA12

B6

2	1	0
84	82	80
SA15	SA9	SA8

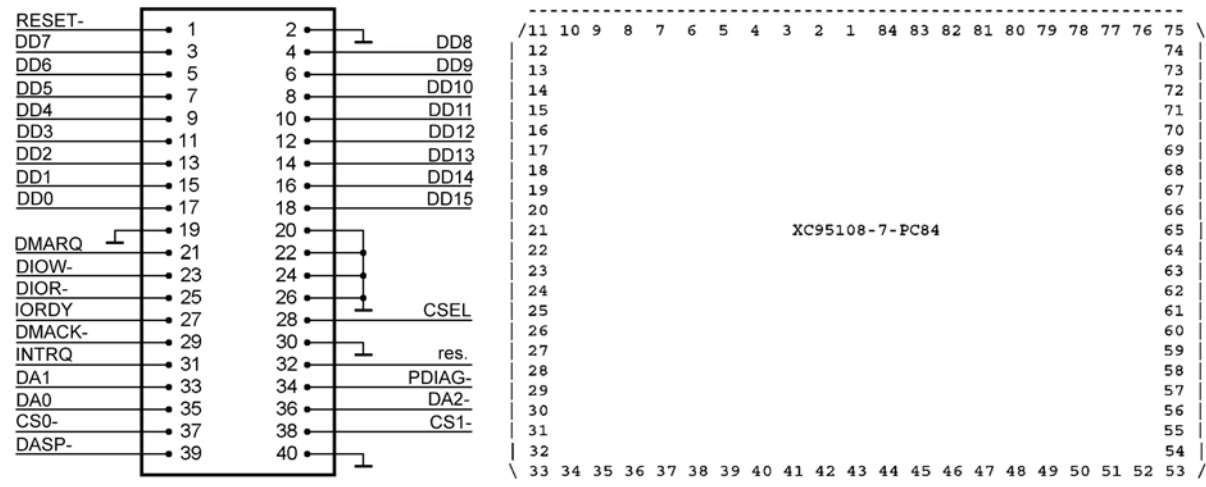
Hervorgehobene Felder:

Signal mit Pull-up-Widerstand (10k) beschaltet (Vorkehrung für Betrieb mit ISA-Bus).

Wenn (bei Nutzung ohne ISA-Bus) diese Widerstände stören:

Widerstandsnetzwerke RP1, RP2, RP 3 entfernen oder andere CPLD-Anschlüsse wählen (Constraints-Angaben).

Anschlußbelegungen: links ATA-Steckverbinder, rechts CPLD



Constraints-Angaben für ATA-Schnittstelle und LED-Anzeigen (Ausführungsbeispiel: ATA-Frontend 01a):

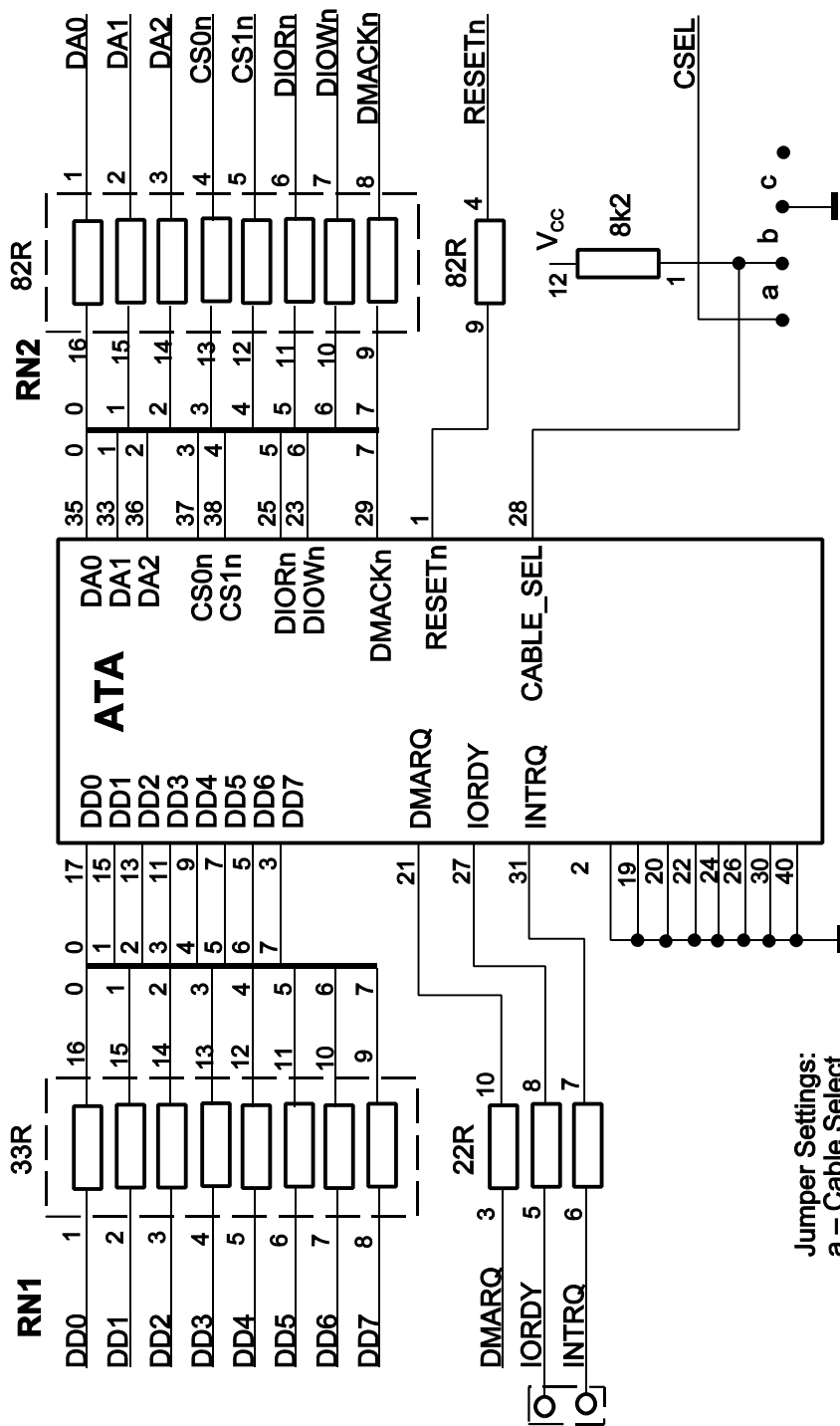
CSEL	Input	p4
CS0n	Input	p69
CS1n	Input	p47
DA0	Input	p83
DA1	Input	p53
DA2	Input	p37
DD<0>	InOut	p44
DD<1>	InOut	p34
DD<2>	InOut	p14
DD<3>	InOut	p17
DD<4>	InOut	p39
DD<5>	InOut	p19
DD<6>	InOut	p21
DD<7>	InOut	p24
DH0n	Output (LED 0)	p41
DH1n	Output (LED 1)	p32
DH2n	Output (LED 2)	p31
DH3n	Output (LED 3)	p33
DIORn	Input	p10
DIOwn	Input	p9
DMACKn	Input	p65
DMARQ	Input	p81
REI	Input	p76
REO	Output	p54
RESETn	Input	p55
SELECTEDn	Output (LED 4)	p13

Die Belegung der LED-Anzeigen bedarfsweise abwandeln.

Constraints-Angaben für ATA-Schnittstelle, ISA-Bus und LED-Anzeigen (Ausführungsbeispiel: ATA-to-ISA Buadapter 06a)::

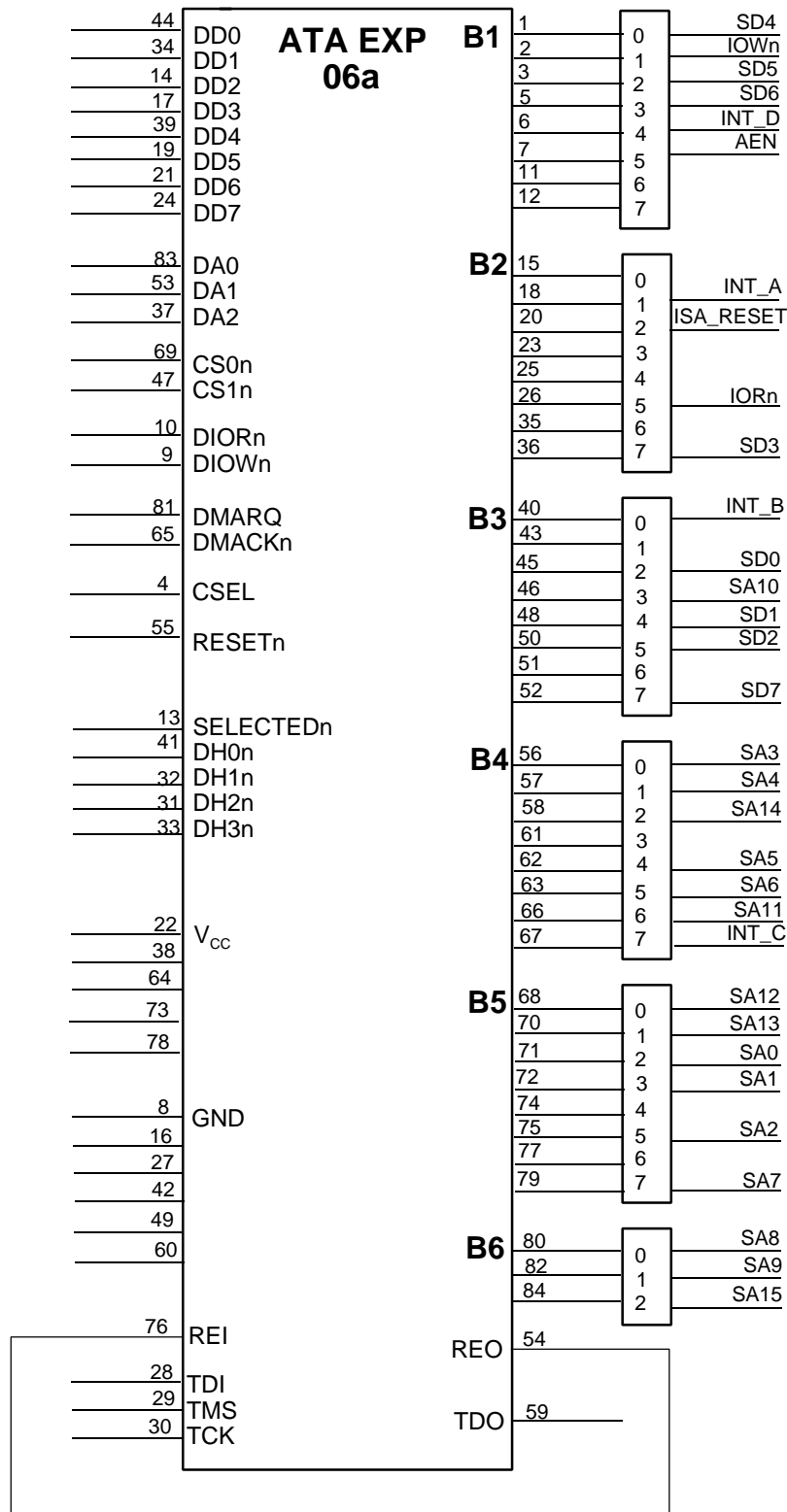
AEN	Output	p7	SA_HIGH<0>	Output	p80
CSEL	Input	p4	SA_HIGH<1>	Output	p82
CS0n	Input	p69	SA_HIGH<2>	Output	p46
CS1n	Input	p47	SA_HIGH<3>	Output	p66
DA0	Input	p83	SA_HIGH<4>	Output	p68
DA1	Input	p53	SA_HIGH<5>	Output	p70
DA2	Input	p37	SA_HIGH<6>	Output	p58
DD<0>	InOut	p44	SA_HIGH<7>	Output	p84
DD<1>	InOut	p34	SA_LOW<0>	Output	p71
DD<2>	InOut	p14	SA_LOW<1>	Output	p72
DD<3>	InOut	p17	SA_LOW<2>	Output	p75
DD<4>	InOut	p39	SA_LOW<3>	Output	p56
DD<5>	InOut	p19	SA_LOW<4>	Output	p57
DD<6>	InOut	p21	SA_LOW<5>	Output	p62
DD<7>	InOut	p24	SA_LOW<6>	Output	p63
DIORn	Input	p10	SA_LOW<7>	Output	p79
DIOWn	Input	p9	SD<0>	InOut	p45
DMACKn	Input	p65	SD<1>	InOut	p48
DMARQ	Input	p81	SD<2>	InOut	p50
INTRQ	Output	p15	SD<3>	InOut	p36
INT_A	Input	p18	SD<4>	InOut	p1
INT_B	Input	p40	SD<5>	InOut	p3
INT_C	Input	p67	SD<6>	InOut	p5
INT_D	Input	p6	SD<7>	InOut	p52
IORn	Output	p26	SELECTEDn	Output (LED 4)	p13
IOWn	Output	p2	WR_STATE_1n	Output (LED 0)	p41
ISA_RESET	Output	p20	WR_STATE_2n	Output (LED 1)	p32
ITRPn	Output (LED 3)	p33			
RD_STATEn	Output (LED 2)	p31			
REI	Input	p76			
REO	Output	p54			
RESETn	Input	p55			

Die Belegung der LED-Anzeigen bedarfsweise abwandeln.



Jumper Settings:
 a – Cable Select
 b – Master
 c – Slave (Jumper in Parking Position)

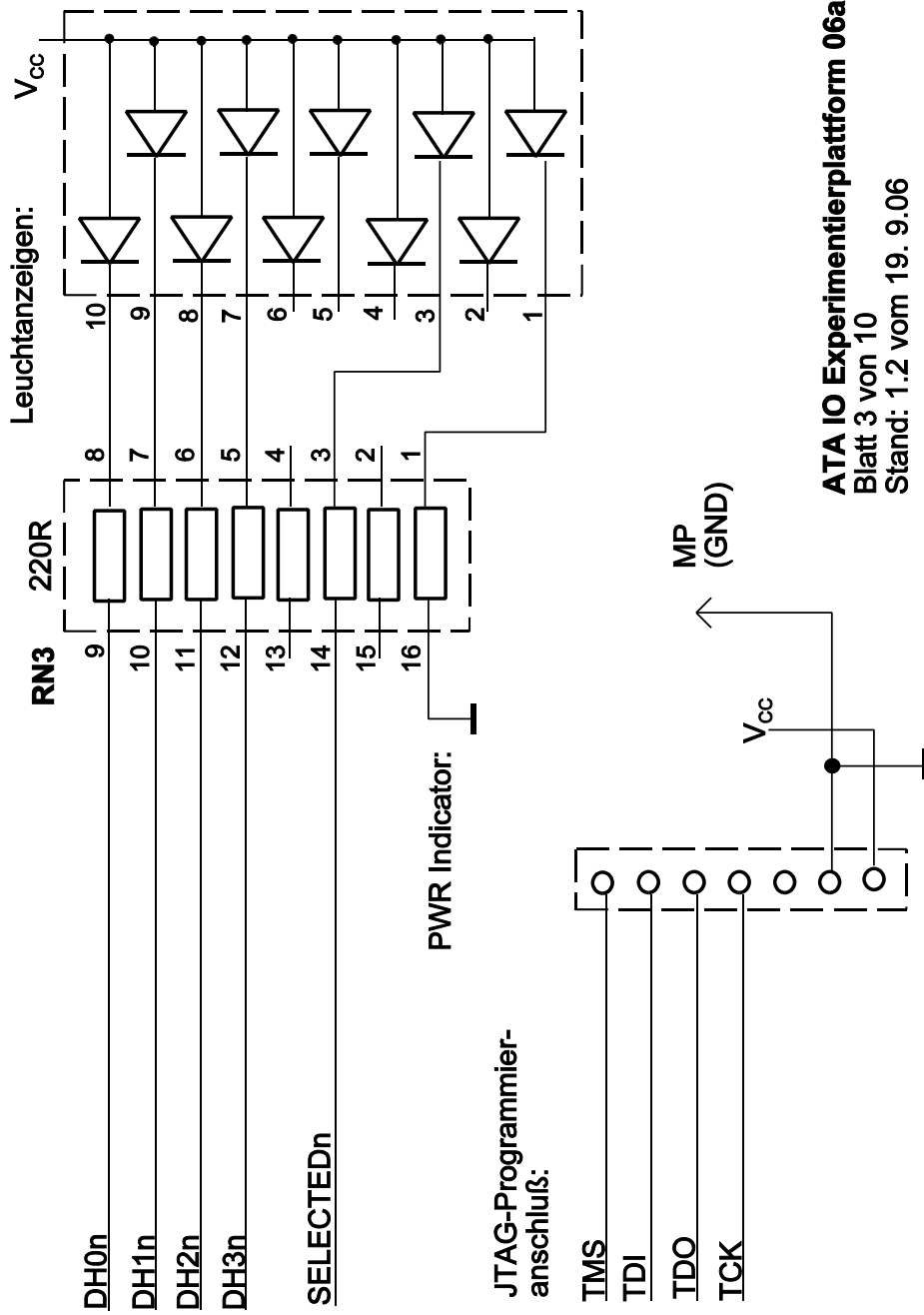
ATA IO Experimentierplattform 06a
 Blatt 1 von 10
 Stand: 1.2 vom 19. 9. 06



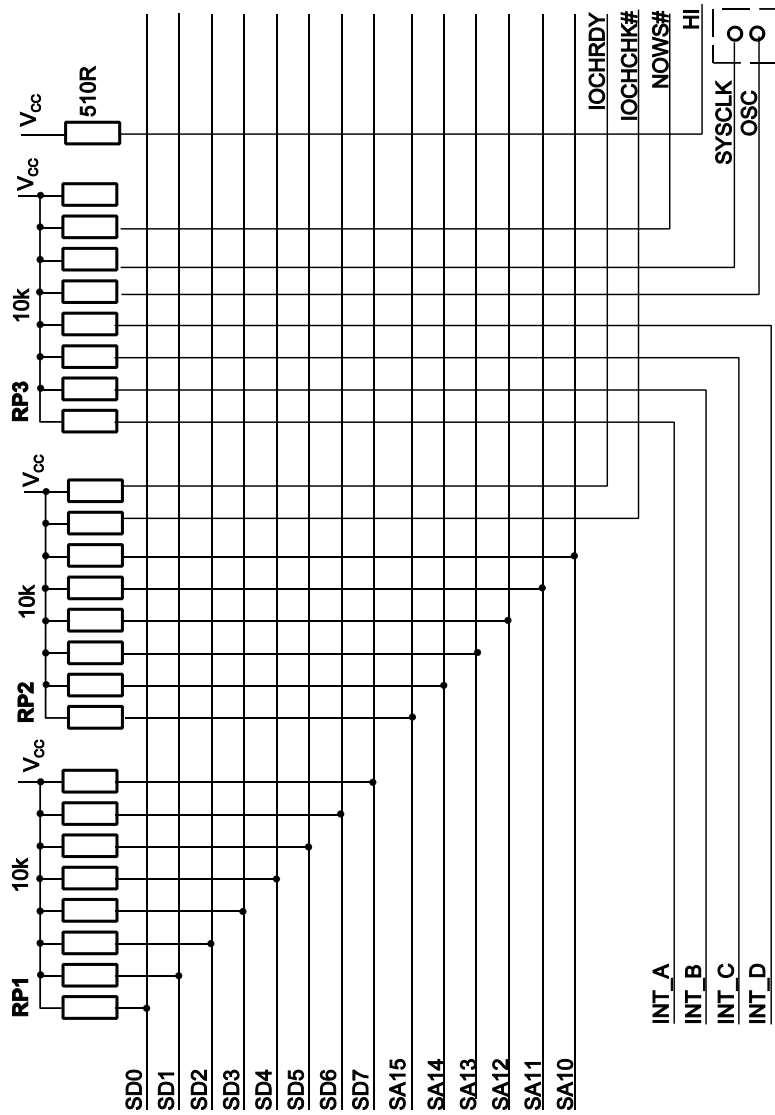
ATA IO Experimentierplattform 06a

Blatt 2 von 10

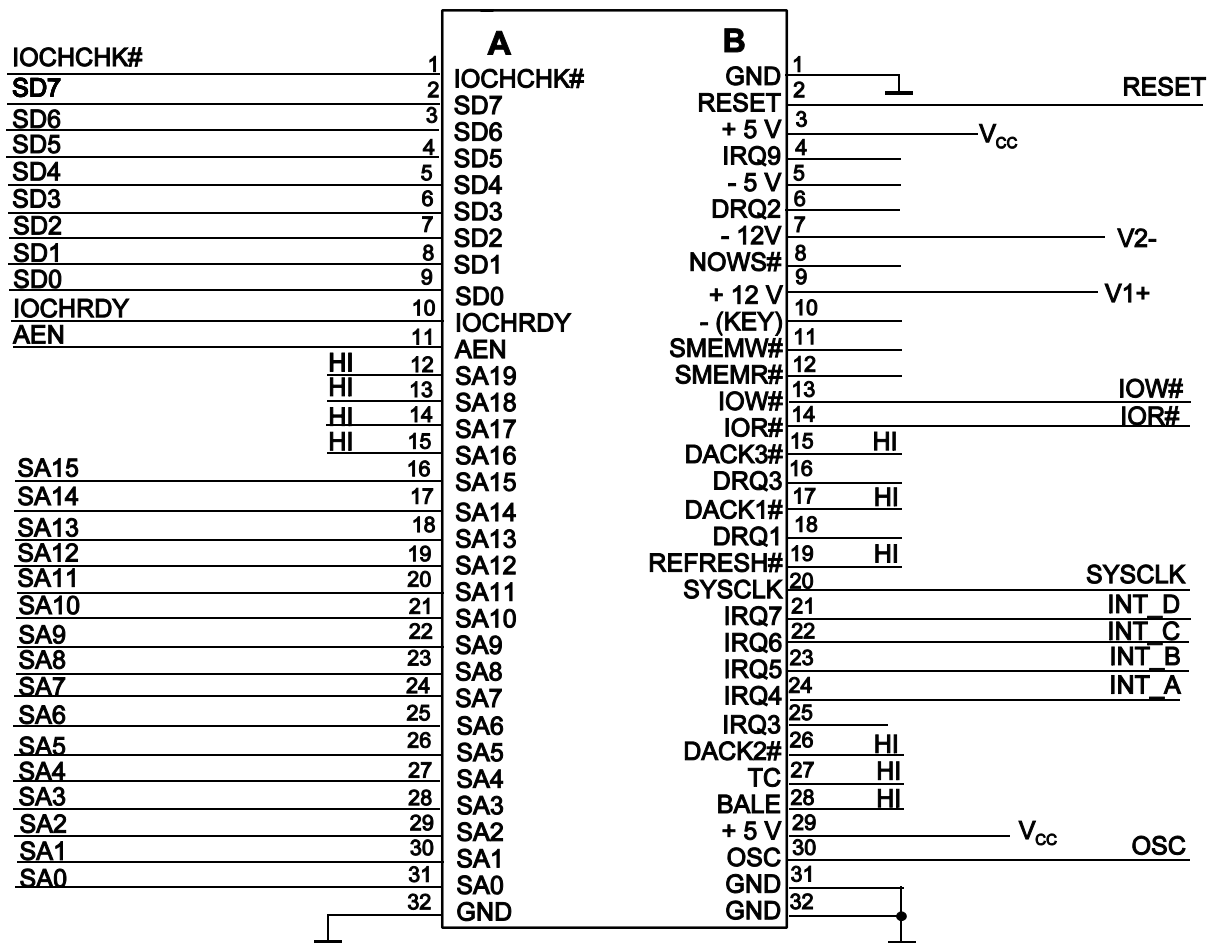
Stand: 1.2 vom 19. 9. 06



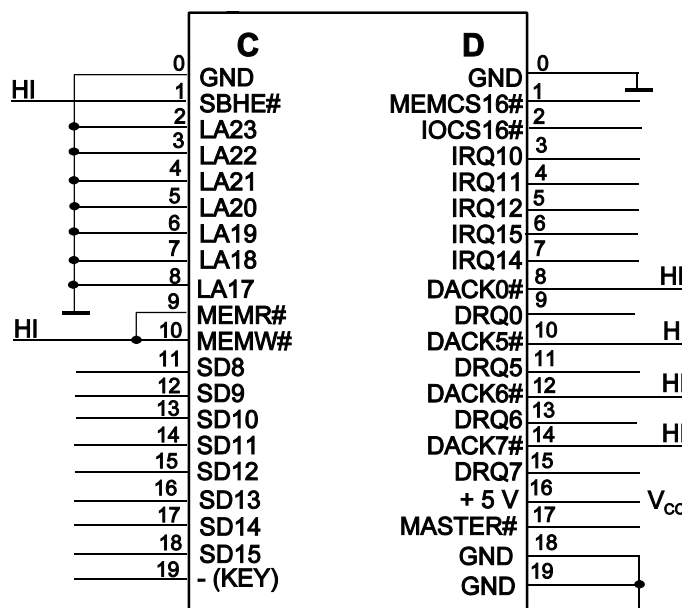
ATA IO Experimentierplattform 06a
 Blatt 3 von 10
 Stand: 1.2 vom 19. 9.06



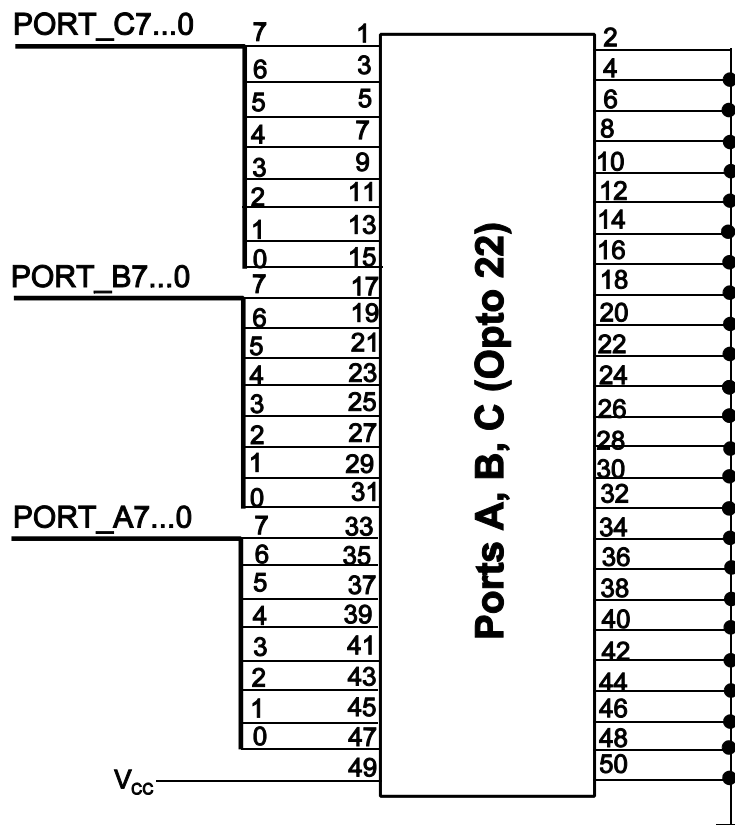
ATA IO Experimentierplattform 06a
 Blatt 4 von 10
 Stand: 1.2 vom 19. 9. 06



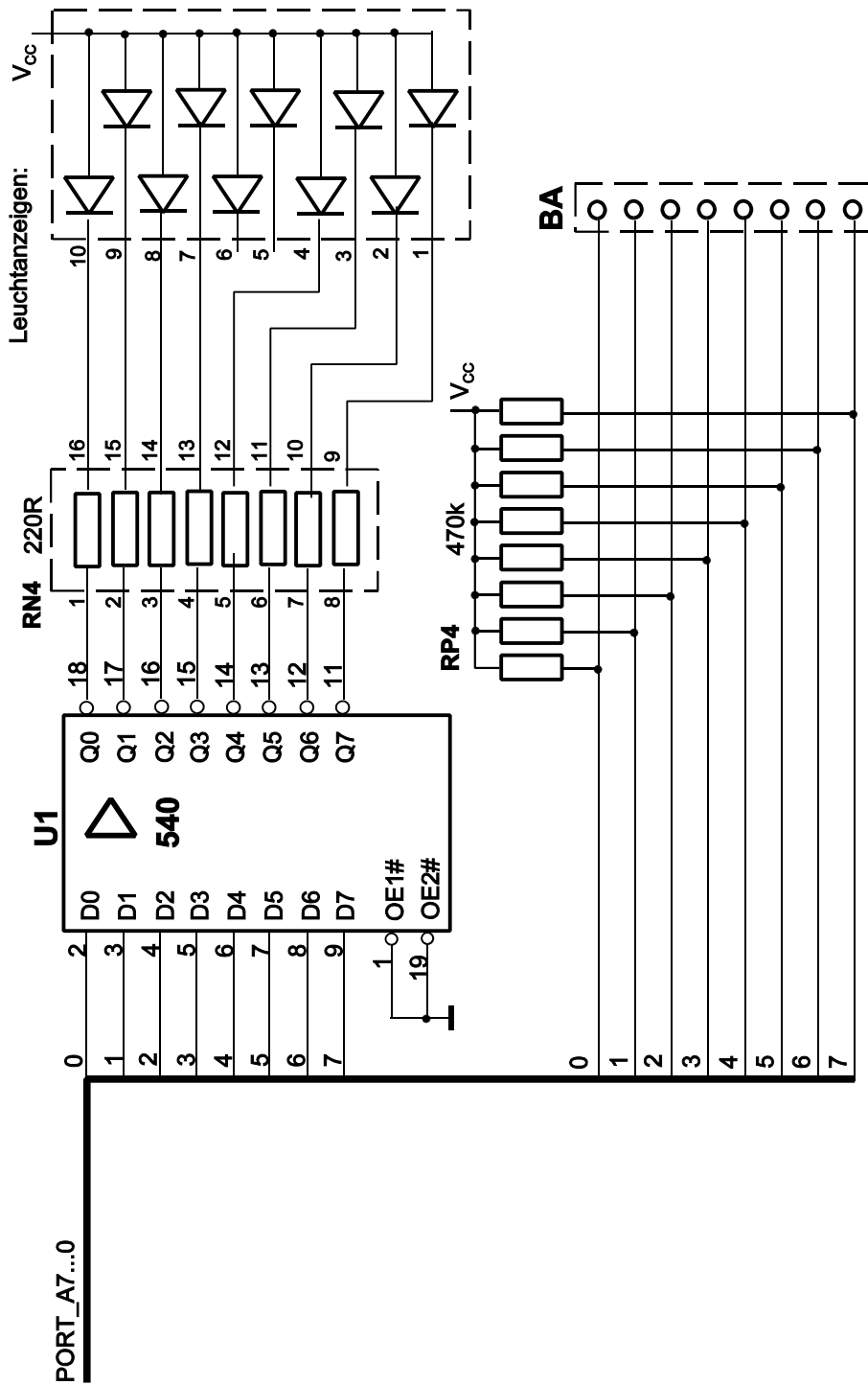
ATA IO Experimentierplattform 06a
Blatt 5 von 10
Stand: 1.2 vom 19. 9. 06



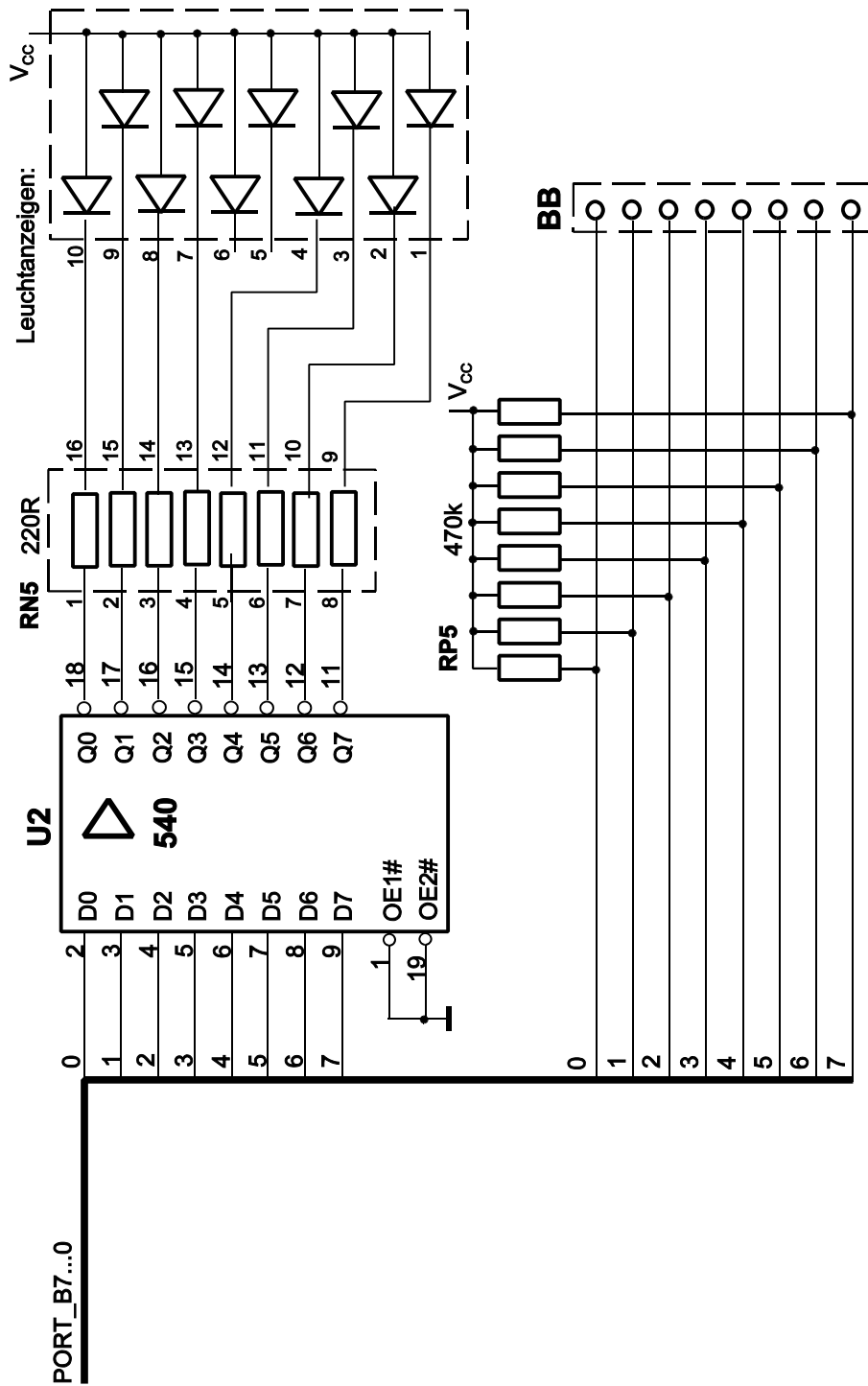
ATA IO Experimentierplattform 06a
Blatt 6 von 10
Stand: 1.2 vom 19. 9. 06



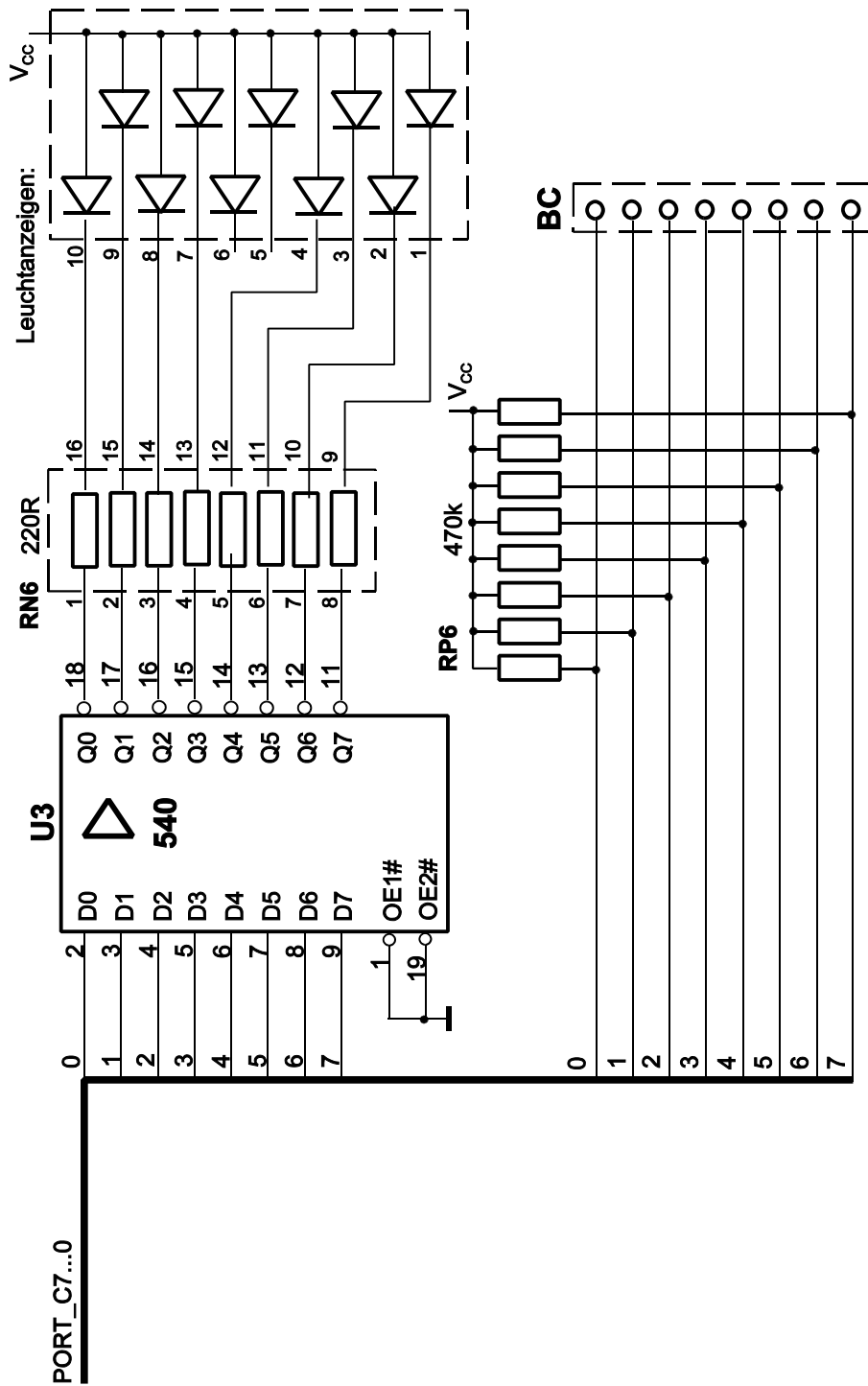
ATA IO Experimentierplattform 06a
 Blatt 7 von 10
 Stand: 1.2 vom 19. 9. 06



ATA IO Experimentierplattform 06a
Blatt 8 von 10
Stand: 1.2 vom 19. 9. 06



ATA IO Experimentierplattform 06a
 Blatt 9 von 10
 Stand: 1.2 vom 19. 9. 06



ATA IO Experimentierplattform 06a
 Blatt 10 von 10
 Stand: 1.2 vom 19. 9. 06