

| | |
|--------------|-------------------|
| Name: | Matr.-Nr.: |
|--------------|-------------------|

FH Dortmund

FB Informations- und Elektrotechnik

Entwicklung digitaler Schaltungen EDS

Klausur vom 3. 2. 2010

Aufgaben

1. Skizzieren Sie den Aufbau einer typischen CPLD-Makrozelle.

(5 Punkte)

2. Realisieren Sie die Verknüpfung $A \oplus (B \vee C)$ mit einem Multiplexer (Abb. 1).

(10 Punkte)

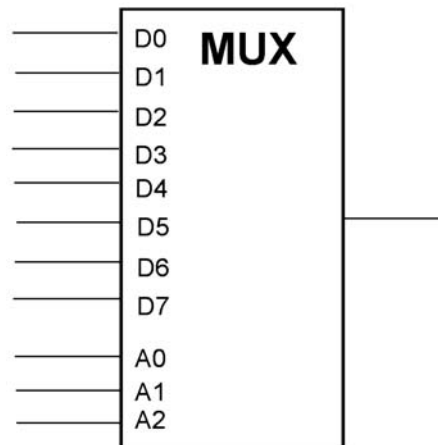


Abb. 1

3. Es ist eine Einrichtung zu entwerfen, die die Position der höchst- oder der niedrigstwertigen Eins in einem Binärvektor angibt, und zwar als Binärzahl. Es soll ein Zuordnerspeicher eingesetzt werden, der die vollständige Wertetabelle enthält (Abb. 2). Über das Signal FIRST/LAST ist er zwischen beiden Funktionen umschaltbar. Das Ausgangssignal ZERO zeigt an, daß der Binärvektor gar keine Eins enthält. Welche Speicherkapazität (genaue Angabe der Organisationsform) wird benötigt, wenn der Binärvektor

- a) 8 Bits,
- b) 12 Bits,
- c) 16 Bits lang ist?

(9 Punkte)

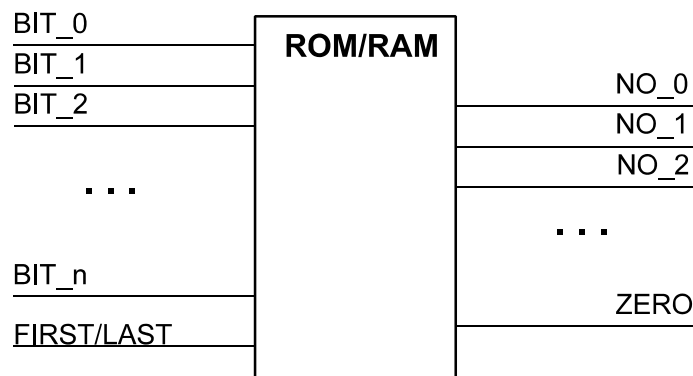


Abb. 2

4. Abb. 3 zeigt einen Schreibzugriff zu einem SRAM.
- In welchem Zeitabschnitt darf der Datenbus mit Schreibdaten belegt werden? (In die Abbildung einzeichnen und kurz erläutern.)
 - Zu welchem Zeitpunkt werden die Daten in den Speicher übernommen? (Kurz erläutern und in der Abbildung kennzeichnen.)

(15 Punkte)

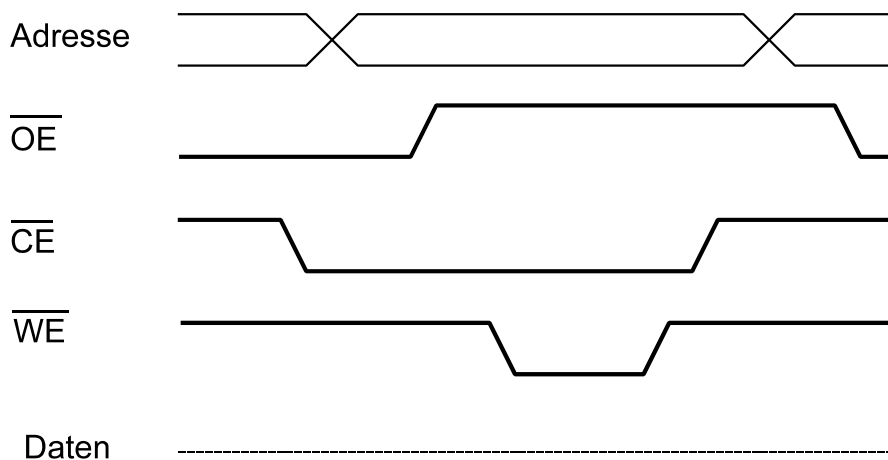


Abb. 3

- Verilog (1). Geben Sie eine Strukturbeschreibung der Schaltung von Abb. 4 an. Das Modul soll PROBE_1 heißen. (10 Punkte)
- Verilog (2). Stellen Sie die Schaltung von Abb. 4 mit den Sprachmitteln der RTL-Beschreibung dar (Modul PROBE_2). (10 Punkte)

(10 Punkte)

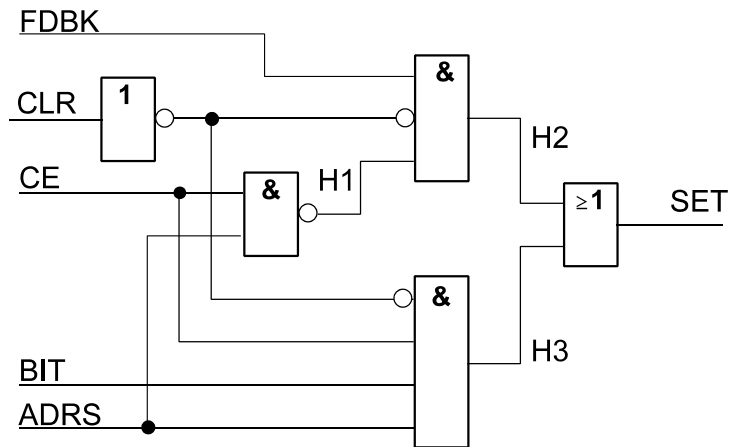


Abb. 4

7. Verilog (3). Viele moderne Interfaces sind Punkt-zu-Punkt-Verbindungen, die an Schaltverteiler angeschlossen sind. Das Grundelement eines typischen Schaltverteilers (Switch Fabric) ist das Schalterelement von Abb. 5. Ist das Steuersignal $C = 0$, so sind die Verbindungen von A nach X und von B nach Y durchgeschaltet. Ist $C = 1$, sind A mit Y und B mit X verbunden. Beschreiben Sie das Verhalten der Schaltung als kombinatorisches Netzwerk (also mit blockierenden Zuweisungen). Modulbezeichner: SWITCH_1.

(10 Punkte)

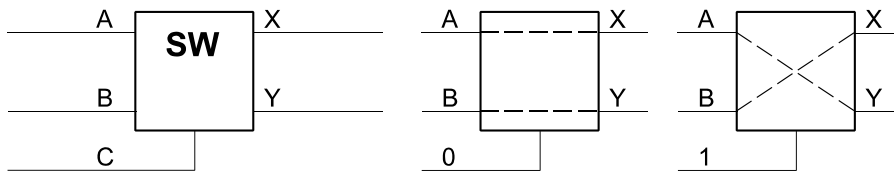


Abb. 5

8. Verilog (4). Beschreiben Sie das Verhalten einer synchronen Zählerschaltung mit drei Ausgängen CT[2], CT[1], CT[0], die gemäß Tabelle 1 zyklisch zählt (von Stellung 4 wieder nach Stellung 1). Die Eingänge: Takt CLK und asynchrones Rücksetzen CLR (aktiv High wirkend). Beim Rücksetzen soll die Stellung 1 eingestellt werden. Modulbezeichner: CTR_1.

(10 Punkte)

| Stellung | CT[2] | CT[1] | CT[0] |
|----------|-------|-------|-------|
| 1 | 0 | 0 | 0 |
| 2 | 0 | 1 | 0 |
| 3 | 1 | 0 | 1 |
| 4 | 1 | 1 | 1 |

Tabelle 1

9. Verilog (5). Beschreiben Sie das Verhalten eines vollsynchronen Registers gemäß Abb. 6. Die Funktionen:

- LD: Daten übernehmen,
- LDI: Daten invertiert übernehmen,
- SET: alles setzen (FH),
- CLR: alles löschen (0H),
- sonst: nichts tun (Daten halten).

CLR soll mit Vorrang wirken, also auch dann, wenn weitere Steuerleitungen erregt sind. Ansonsten ist die Mehrfacherregung gleichgültig (kommt nicht darauf an). Modulbezeichner: REG_1.

(10 Punkte)

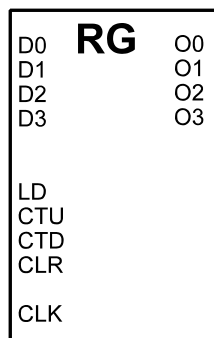


Abb. 6

Zusatzaufgaben

Z1. Wir gehen zurück zu Abb. 2. Jetzt soll das Ausgangssignal ZERO einfach zuviel sein; mit anderen Worten, die Bildung der Aussage "keine einzige Eins" soll aus dem Speicher herausgenommen werden. Wie kann man das Signal ZERO auf einfache Weise erzeugen?

(5 Punkte)

Z2. Entwerfen Sie das Register von Aufgabe 9 als Schaltung mit D-Flipflops und beliebigen Gattern. Es genügt, eine Bitposition darzustellen.

(10 Punkte)

Viel Erfolg!

| | |
|--------------|-------------------|
| Name: | Matr.-Nr.: |
|--------------|-------------------|

FH Dortmund

FB Informations- und Elektrotechnik

Entwicklung digitaler Schaltungen EDS

Klausur vom 26. 1. 2011

Aufgaben

1. Manchmal sind nur einzelne Schaltfunktionen zu implementieren. Dabei lohnt es sich nicht, CPLDs oder FPGAs einzusetzen. Welche handelsübliche Bauelemente verwenden Sie, wenn die Schaltfunktion

a) 3 Variable,

b) 10 Variable umfaßt?

(Es genügt, die jeweilige Allgemeinbezeichnung anzugeben, nach speziellen Typen wird nicht gefragt.) Geben Sie an (Skizze, kurze Erläuterung), wie die jeweilige Schaltung grundsätzlich aussieht.

(10 Punkte)

2. Abb. 1 zeigt einen Schreibzugriff zu einem SRAM.

a) In welchem Zeitabschnitt darf der Datenbus mit Schreibdaten belegt werden? (In die Abbildung einzeichnen und kurz erläutern.)

b) Zu welchem Zeitpunkt werden die Daten in den Speicher übernommen? (Kurz erläutern und in der Abbildung kennzeichnen.)

(10 Punkte)

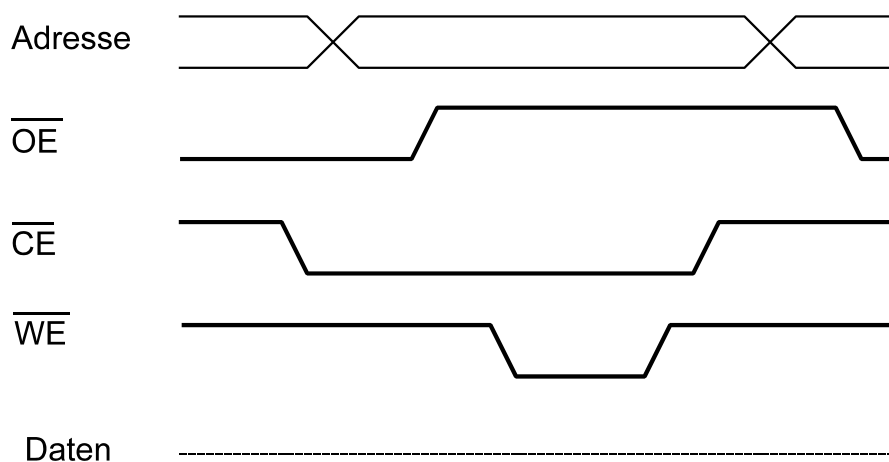


Abb. 1

3. Verilog (1). Geben Sie eine Strukturbeschreibung der Schaltung von Abb. 2 an. Das Modul soll PROBE_1 heißen.

(10 Punkte)

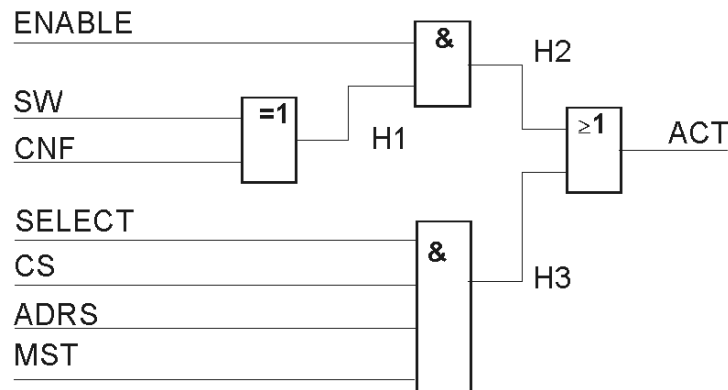


Abb. 2

4. Verilog (2). Entwerfen Sie ein Modul PROBE_2, das die folgende Schaltgleichung verwirklicht. Zur Beschreibung sind die Sprachmittel der RTL-Beschreibung zu verwenden.

(10 Punkte)

$$A \cdot (B \vee \overline{C \oplus D})$$

5. Verilog (3). Ein Ansatz zum Bau ausfallsicherer Systeme ist die sog. Dreifachreduanz. Die Funktionseinheiten werden dreimal vorgesehen und mit Vergleichseinrichtungen verbunden. Unser System (Abb. 3) besteht aus den Funktionseinheiten Master (M), Checker (C) und Voter (V). Beschreiben Sie das Verhalten der Auswahlschaltung SEL als kombinatorisches Netzwerk (also mit blockierenden Zuweisungen). Modulbezeichner: SEL_1. Die Funktionsweise: Am Ausgang S soll der Wert erscheinen, mit dem die Mehrheit der Eingänge M, C, V belegt ist (bei einem Bitmuster 0, 0, 1 erscheint eine Null, bei einem Bitmuster 1,0,1 erscheint eine Eins usw.). Das Signal ERROR ist dann zu aktivieren, wenn nicht alle drei Eingänge übereinstimmenden (weder 0, 0, 0 noch 1, 1, 1).

(12 Punkte)

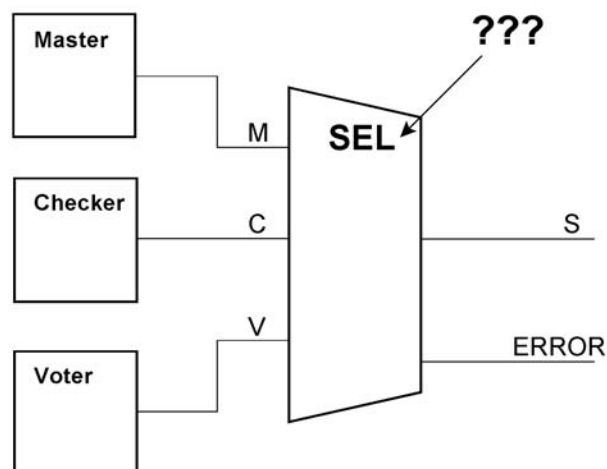


Abb. 3

6. Verilog (4). Beschreiben Sie das Verhalten eines vollsynchronen Registers gemäß Abb. 4. Die Funktionen:

- LD: Daten übernehmen,
- CT: zählen,
- INIT: Anfangswert einstellen.

Das Steuersignal INVERT wirkt so, wie in Tabelle 1 angegeben. Die Vorrangregeln: 1. INIT, 2. LD, 3. CT.

(15 Punkte)

| INVERT | LD | CT | INIT |
|--------|-------|------------------|---------------|
| 0 | Laden | vorwärts zählen | alles löschen |
| 1 | Laden | rückwärts zählen | alles setzen |

Tabelle 1

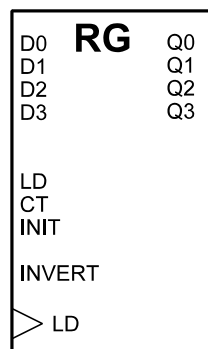


Abb. 4

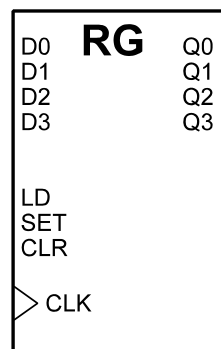


Abb. 5

Zusatzaufgaben

Z1. Skizzieren Sie den Aufbau einer typischen FPGA-Zelle mit RAM-Zuordner.

(5 Punkte)

Z2. Realisieren Sie die Verknüpfung von Aufgabe 4 mit NAND- und XOR-Gattern, die jeweils zwei Eingänge haben.

(10 Punkte)

Z3. Entwerfen Sie ein vollsynchrones Register gemäß Abb. 5 (Schaltplanentwurf einer Bitposition). Die Funktionen:

- LD: Daten übernehmen,
- SET: alles setzen (FH),
- CLR: alles löschen (OH),
- sonst: nichts tun (Daten halten).

CLR soll mit Vorrang wirken, also auch dann, wenn weitere Steuereingänge erregt sind. Ansonsten ist die Mehrfacherregung gleichgültig (kommt nicht darauf an).

(10 Punkte)

Viel Erfolg!