

Die ersten Schritte

CPLD-Schaltungsentwurf mit Xilinx ISE Entwicklungsumgebung

Aufgabe 1: Entwerfen Sie einen Siebensegmentdecoder für die BCD-Zahlen 0...9

Zur Erprobung ist ein BCD-Zähler (als fertiges Funktionselement aufzurufen) vorgeschaltet. Hierzu können die in den Digitaltechnik-Übungsstunden erarbeiteten Ergebnisse ausgenutzt werden. Es ist jedoch auch möglich, intuitiv zu entwerfen (Abb. 1) und die Optimierung dem System zu überlassen. Erprobung: Mit entsprechenden Übungsplattformen bzw. Starterkits (Abb. 3 bis 5).

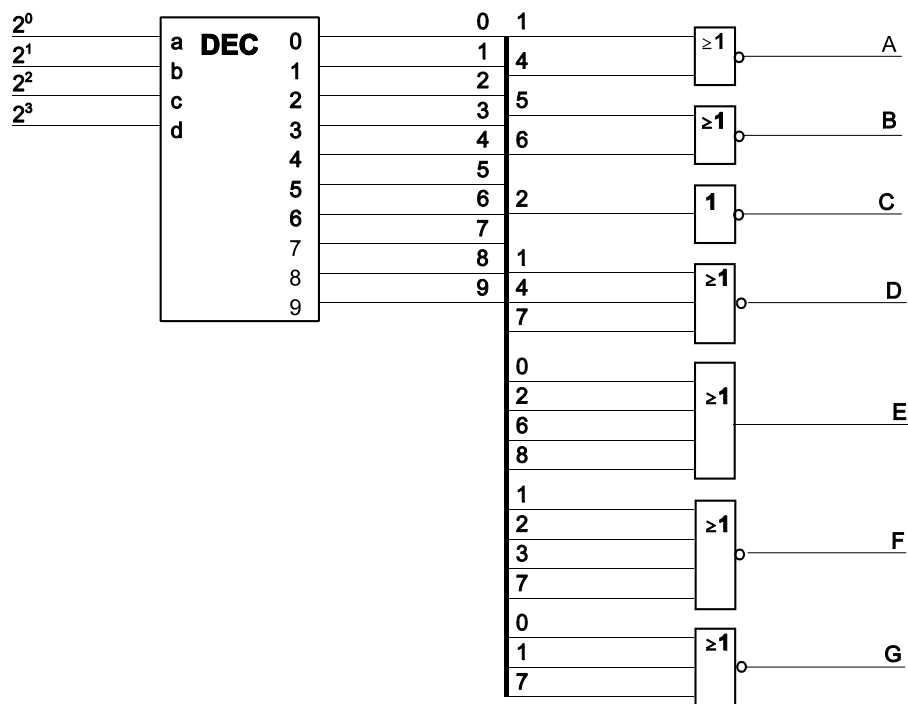


Abb. 1 Ein intuitiv entworfener Siebensegmentdecoder (Prinzipialschaltung). Hinweise: 1. dem BCD-Decoder wird ein Dezimalzähler vorgeschaltet. 2. Die Siebensegmentanzeigen werden aktiv Low angesteuert (Negation aller Ausgangssignale)

Aufgabe 2:

Erweitern Sie den Siebensegmentdecoder auf die headezimale Anzeige (0...9, A...F). Ansteuerung durch Binärzähler anstelle des BCD-Zählers.

Aufgabe 3:

Ersetzen Sie die fertigen Zähler durch vollsynchrone BCD- und Binärzähler, die vorwärts und rückwärts zählen können (ein einziger Takt + zwei Steuersignale (FWD, BWD)).

Aufgabe 4:

Wandeln Sie die Entwürfe (Decoder, Zähler) in Funktionselemente (mit eigenen Symbolen) um. Bauen Sie aus diesen Funktionselementen zweistellige Zähler (BCD, binär) mit Siebensegmentanzeige.

Aufgabe 5:

Bauen Sie auf eine Stoppuhr auf Grundlage des zweistelligen BCD-Zählers (Abb. 2).



Abb. 2 Stoppuhr

Bedienung:

Taste T1:

1. Betätigung: Zeit läuft (zählen),
2. Betätigung: anhalten (Stop),
3. Betätigung: weiter zählen,
4. Betätigung: anhalten (Stop) usw.

Taste T2:

Alles löschen. Grundzustand.

Anzeige:

7-Seg-LEDs. Zunächst 2 Stellen 0.0 bis 9.9.

Zeitraster: 1 ms.

Zeitählung: von 0.0 bis 9.9 s. Sind die 9,9 s erreicht, soll die Uhr stehenbleiben.

Aufgabe 6:

Ergänzen Sie den binären Zähler durch eine Steuerschaltung, die den Incrementalgeber der Übungsplattform auswertet (Abb. 6). Hiermit sollen sich beliebige Hex-Werte einstellen lassen.

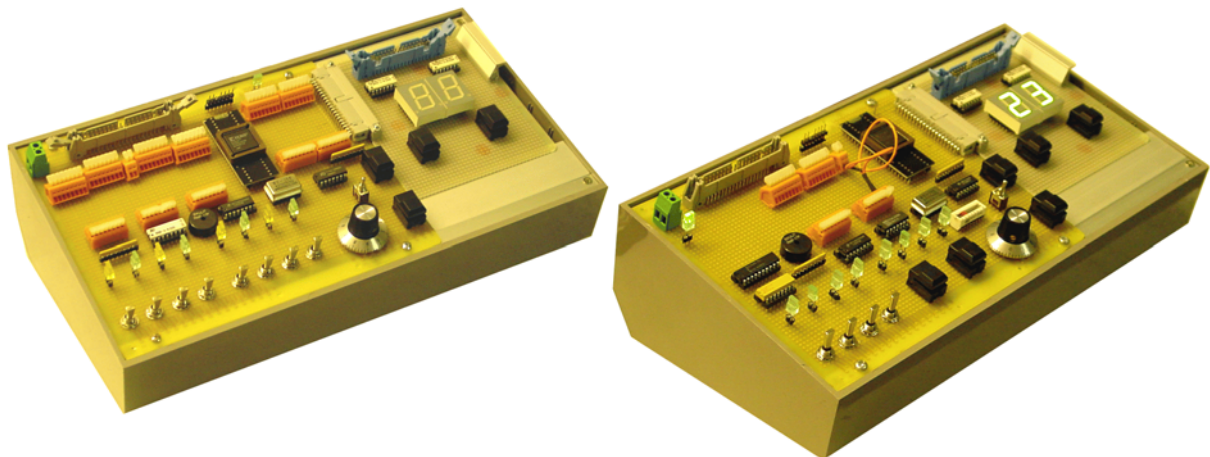


Abb. 3 CPLD-Übungstafeln

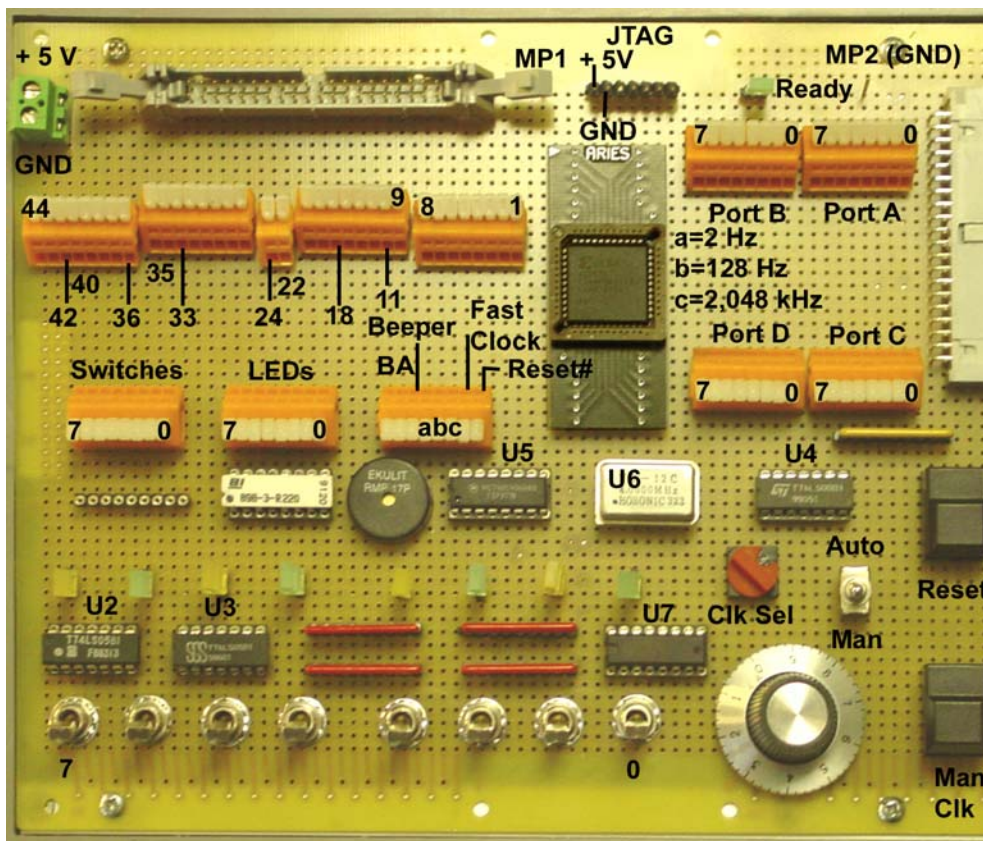


Abb. 4 CPLD-Übungstafel 06a. Übersicht

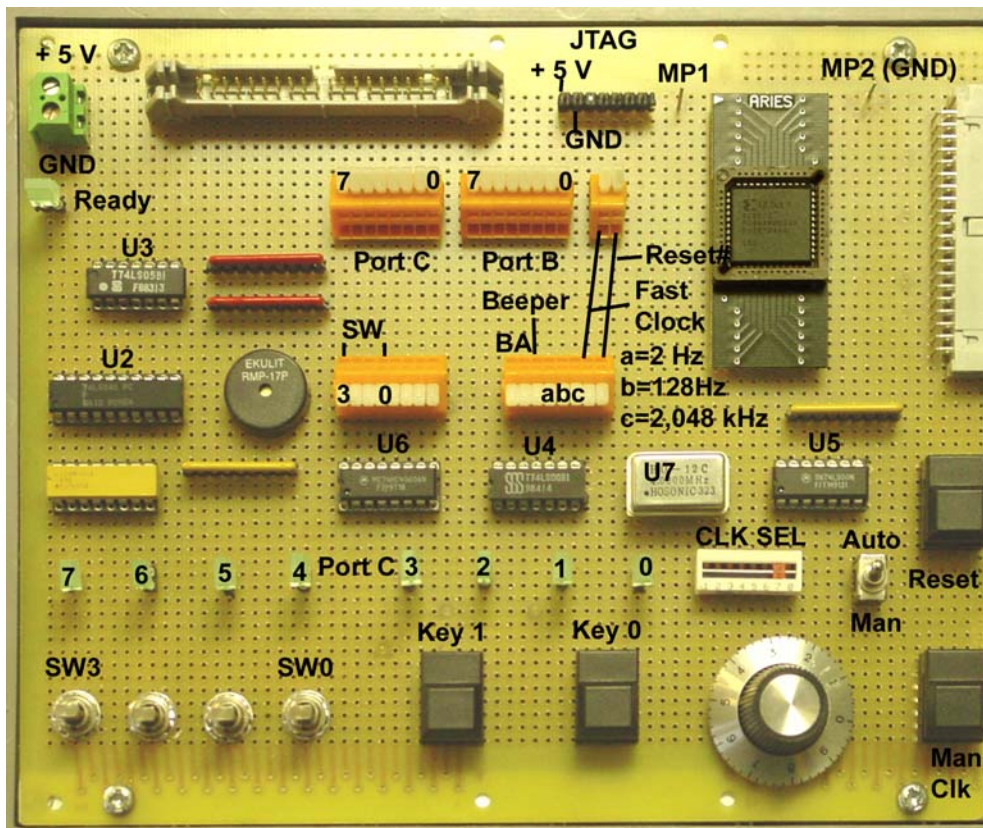


Abb. 5 CPLD-Übungstafel 06b. Übersicht

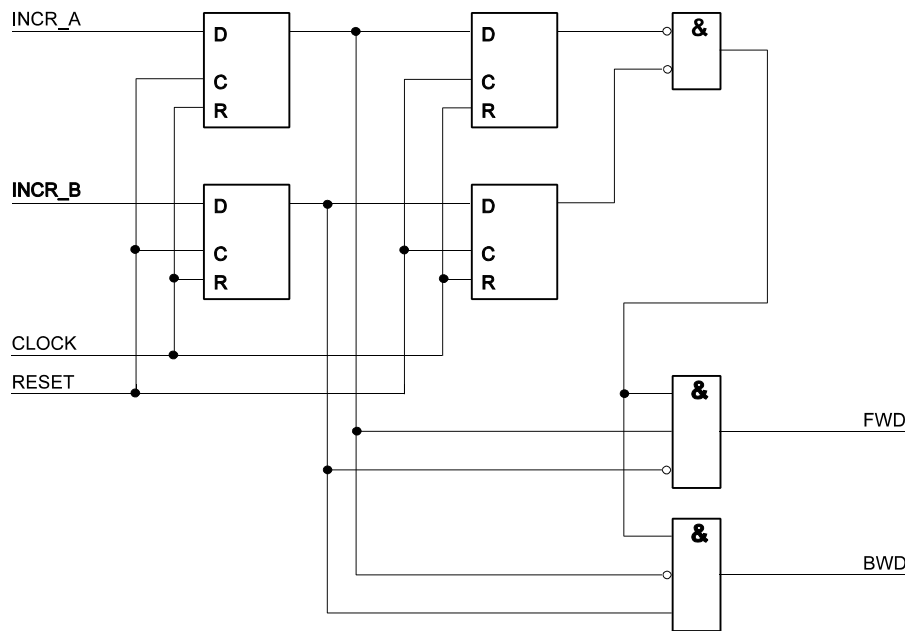


Abb. 6 Auswertung Incrementalgeber (Prinzipialschaltung). CLOCK ist ein langsamer Takt von einigen hundert Hz (Entprellung).

Aufgabe 7: Zeitgeber

Es soll eine symmetrische Impulsfolge herauskommen, deren Breite über den Incrementalgeber eingestellt werden kann (Abb. 7). Zum Vergleich: es genügt ein sog. logischer Vergleich (Werte gleich oder ungleich) - das kann man mit XOR-Gattern basteln . . .

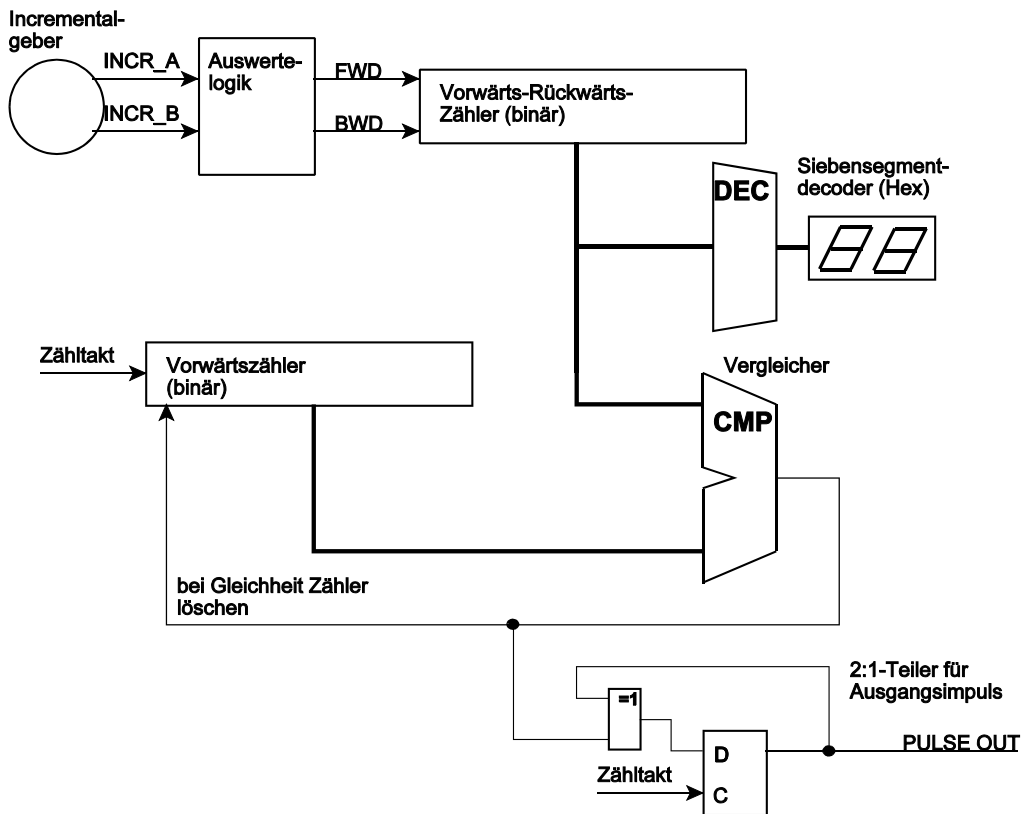


Abb. 7 Zeitgeber

Aufgabe 8: Pulsweitenmodulation (PWM)

Es sollen Impulse in gleichen Abständen herauskommen, deren Breite über den Incrementalgeber eingestellt werden kann (Pulsweitenmodulation). An eine solche Anordnung (Abb. 8) kann u. a. ein Gleichstrommotor angeschlossen werden, um dessen Drehzahl zu steuern.

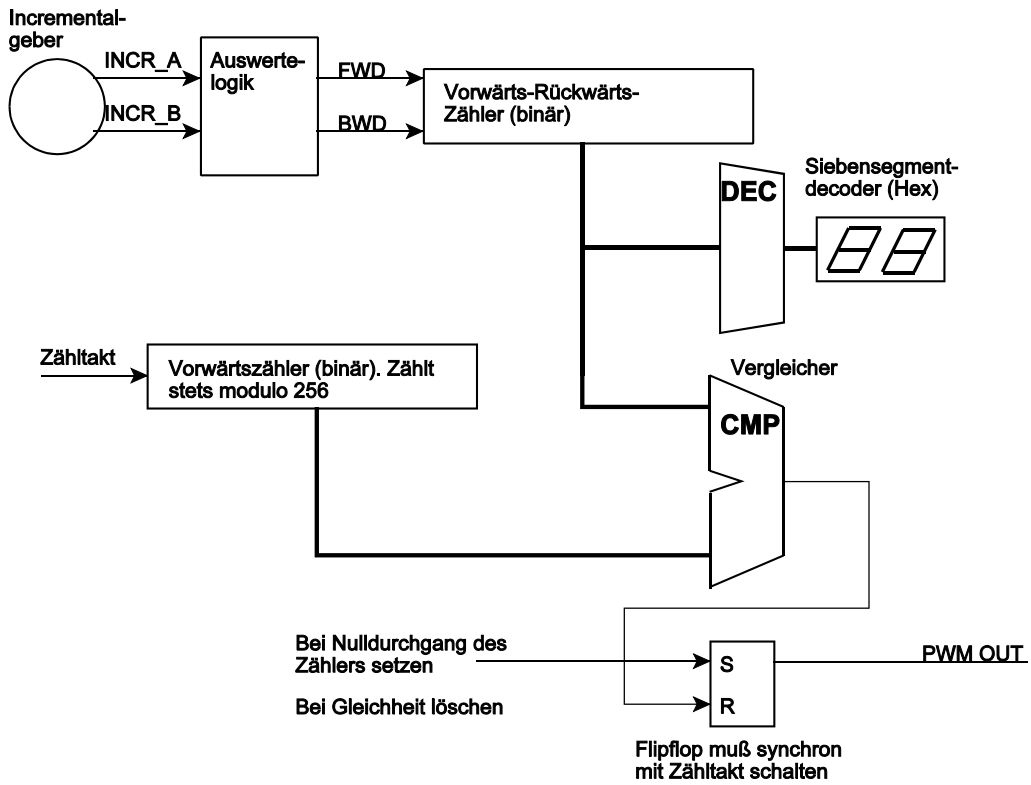


Abb. 8 Pulsweitenmodulation (PWM)