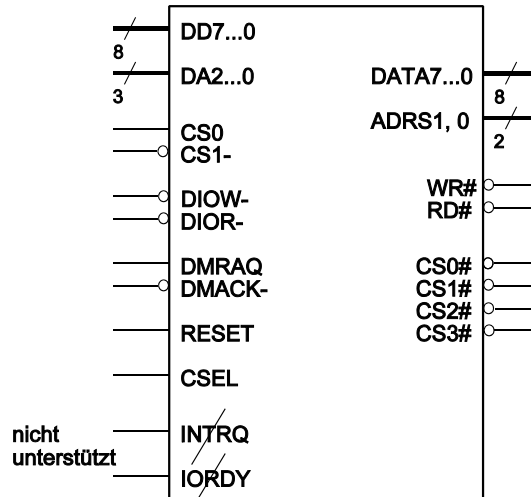


Übersicht:

- 1.1 ATA-seitiger Adapter (Kernlogik)
- 1.2 erweitern auf Unterstützung von Wartezuständen (IORDY)
- 1.3 erweitern auf Unterstützung von Interrupts (IREQ)
- 1.4 Busanschluß für 8255 usw.
- 1.5 Busanschluß für Consolport
- 1.6 8255 Mode 0 Emulation
- 1.7 Ergänzung um Einzelbitfunktionen für alle Bitpositionen
- 1.8 Ergänzung um Änderungserkennung (Change of State COS)
- 1.9 Ergänzung um nachschaltbare Treiber 245 o. dergl. 8255 Mode 0 oder max. 4 vereinfachte 8-Bit-Ports (ähnl. 8255)
- 1.10 herkömmliche universelle 8-Bit-Ports (bitweise steuerbar)
- 1.11 erweitert auf Rücklesen aller Register (wie Atmel)
- 1.12 erweitert auf Einzelbitzugriffe
- 1.13 Ergänzung um Änderungserkennung (Change of State COS)
- 1.14 erweitert um ternäre Abfrage
- 1.16 Counter/Timer-Einheit 16 Bits
- 1.17 Slave Ports
- 1.18 8-Bit-Konsolport für Einheitsbedientafel 02
- 1.19 Schnittstelle mit Atmel-Mikrocontroller und externem Speicher (Speicherschnittstelle kostet ca. 20 Signale). Untersuchen: Vermittlung oder Dual Port.
- 1.20 Impulsmustererzeugung
- 1.21 FIFO-Kopplung

Projekt 01

Gehäuse PC 44. Ausgang Bus zum Anschließen von 8255 / 8254. Zu unterstützen: wenigstens 2, max. 4 Schaltkreise (Varianten ausprobieren).



Wenigstens 2 E-A-Schaltkreise unterstützen (CS0#, CS1#).

CSEL ggf. nicht unterstützen. Master/Slave wird dann fest programmiert (2 Typen).

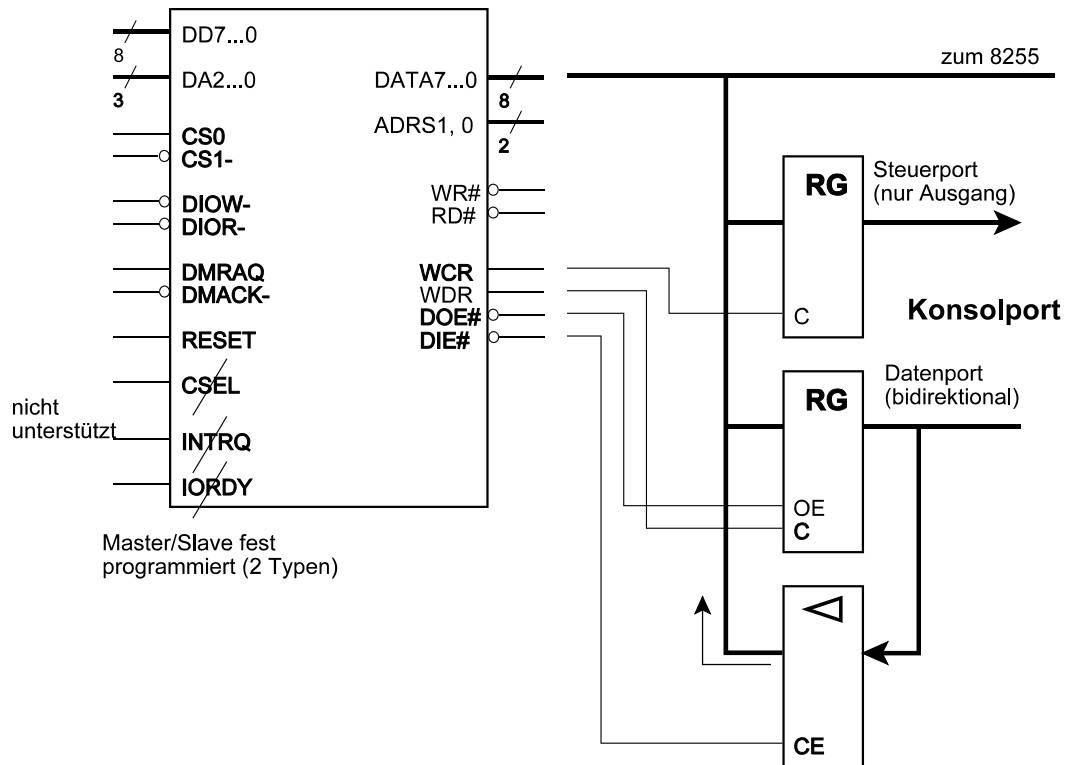
CS		Registeradresse DA				Register	
1-	0-	2	1	0	Hex	Lesezugriff	Schreibzugriff
1	0	0	1	0	2	Schaltkreisadresse 0	
1	0	0	1	1	3	Schaltkreisadresse 1	
1	0	1	0	0	4	Schaltkreisadresse 2	
1	0	1	0	1	5	Schaltkreisadresse 3	
1	0	1	1	0	6	Geräte- und Schaltkreisauswahl	

3	2	1	0	
0	0	0	0	nichts tun
0	0	0	1	Schaltkreis 1
0	0	1	0	Schaltkreis 2
0	0	1	1	Schaltkreis 3
0	1	0	0	Schaltkreis 4
sonst				nichts tun

Datenbus wird aktiv, wenn Schreiben mit einer der angegebenen Schaltkreisadressen. Registeradresse wird in Adressen ADRS1, 0 umcodiert. WR#, RD# werden nur bei Zugriff auf eine gültige Schaltkreisadresse abgegeben. CS0#...# werden durch Decodieren der Schaltkreisadresse im DH-Register gebildet.

Projekt 02

Gehäuse PC 44. Ausgang Bus zum Anschließen eines 8255 / 8254 sowie Konsolport mit 8-Bit-Datenbus und 8 auswärtsführenden Steuersignalen, aufzubauen mit gängigen Schaltkreistypen (z. B. 573 und 245).



Zugriff auf E-A-Schaltkreis:

CS		Registeradresse DA				Register	
1-	0-	2	1	0	Hex	Lesezugriff	Schreibzugriff
1	0	0	1	0	2	Schaltkreisadresse 0 (= 8255 Port A)	
1	0	0	1	1	3	Schaltkreisadresse 1 (= 8255 Port B)	
1	0	1	0	0	4	Schaltkreisadresse 2 (= 8255 Port C)	
1	0	1	0	1	5	Schaltkreisadresse 3 (= 8255 Control Reg.)	
1	0	1	1	0	6	Geräte- und Portauswahl	

Zugriff auf Konsolport:

CS		Registeradresse DA				Register	
1-	0-	2	1	0	Hex	Lesezugriff	Schreibzugriff
1	0	0	1	0	2	-	
1	0	0	1	1	3	Schreiben Konsolportsteuerregister	
1	0	1	0	0	4	Schreiben in Datenregister/Lesen vom Datenbus	
1	0	1	0	1	5	Schreiben in Steuerregister	
1	0	1	1	0	6	Geräte- und Portauswahl	

3	2	1	0	
0	0	0	0	nichts tun
0	0	0	1	Schaltkreiszugriff
0	0	1	0	Konsolportzugriff
sonst				nichts tun

Konsolportsteuerregister:

7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	DOE

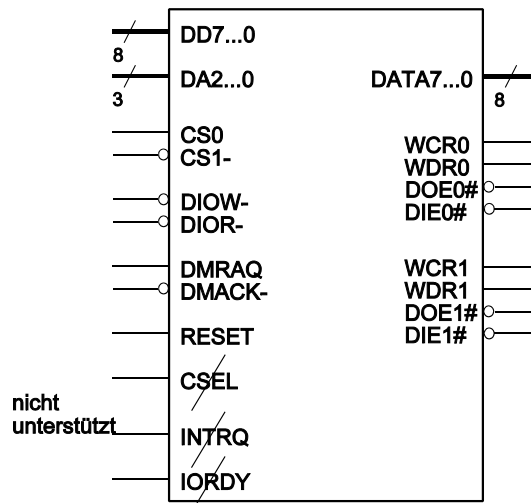
Datenbus wird aktiv, wenn Schreiben mit einer der angegebenen Portadresse. Registeradresse wird in Adressen ADRS1, 0 umcodiert. WR#, RD# werden nur bei Zugriff auf die Schaltkreisadresse gebildet. CE-Eingang des E-A-Schaltkreises liegt fest auf Low (immer aktiv). DOE# entspricht Bit 0 im Konsolportsteuerregister.

Rücksetzen:

DATA7...0 => 0H, WCR => 1, WDR => 1. Hierdurch Löschen der Konsolportregister.

Projekt 03

Ähnlich Projekt 02, nur zwei Konsolports.



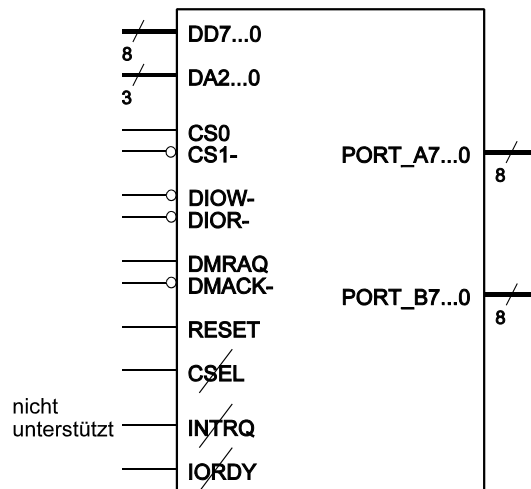
Master/Slave fest programmiert (2 Typen)

CS		Registeradresse DA				Register	
1-	0-	2	1	0	Hex	Lesezugriff	Schreibzugriff
1	0	0	1	0	2	-	
1	0	0	1	1	3	Schreiben Konsolportsteuerregister	
1	0	1	0	0	4	Schreiben in Datenregister/Lesen vom Datenbus	
1	0	1	0	1	5	Schreiben in Steuerregister	
1	0	1	1	0	6	Geräte- und Portauswahl	

3	2	1	0	
0	0	0	0	nichts tun
0	0	0	1	Konsolport 0
0	0	1	0	Konsolport 1
sonst				nichts tun

Projekt 04

Gehäuse PC 44, CPLD 9572. Zwei universelle 8-Bit-Ports.



Master/Slave fest programmiert (2 Typen)

CS		Registeradresse DA				Register	
1-	0-	2	1	0	Hex	Lesezugriff	Schreibzugriff
1	0	0	1	0	2	-	
1	0	0	1	1	3	(ggf. Rücklesen Pins)	
1	0	1	0	0	4	Schreiben in Datenregister	
1	0	1	0	1	5	Schreiben in Richtungssteuerregister	
1	0	1	1	0	6	Geräte- und Portauswahl	

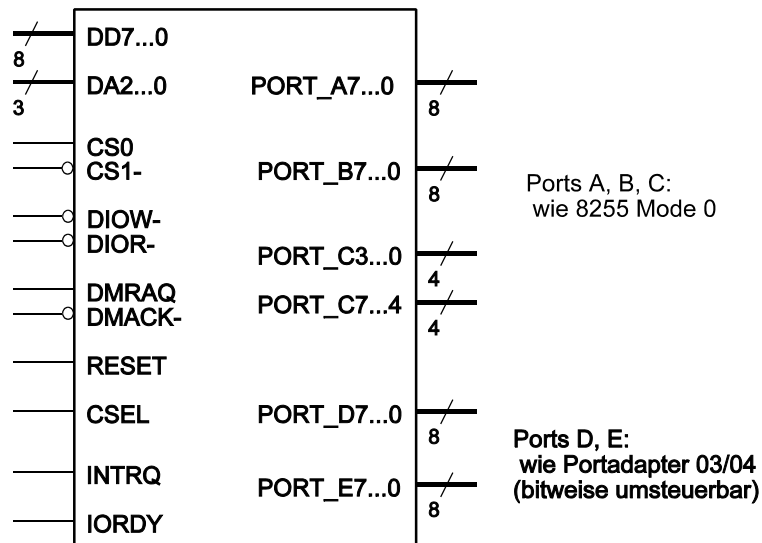
3	2	1	0	
0	0	0	0	nichts tun
0	0	0	1	Port A
0	0	1	0	Port B
sonst				nichts tun

Rücklesen: Ausprobieren (was in den Schaltkreis paßt):

1. Variante: Lesezugriff auf Richtungssteuer- und Datenregister liefert die Pinbelegung (wie bisher).
2. Variante: beide Register sowie Pinbelegung rücklesbar (wie Atmel AVR).

Projekt 05

Gehäuse PC 84. 3 Ports wie 8255 Mode 0 + 2 universelle E-A-Ports wie Projekt 04 (ausprobieren).



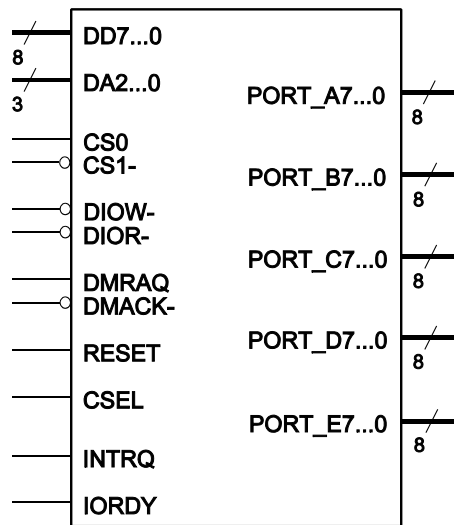
Interrupts und Wartezustände können unterstützt werden.

Zugriff auf 8255-Ports:

CS		Registeradresse DA				Register	
1-	0-	2	1	0	Hex	Lesezugriff	Schreibzugriff
1	0	0	1	0	2	Port A	
1	0	0	1	1	3	Port B	
1	0	1	0	0	4	Port C	
1	0	1	0	1	5	Control-Register	
1	0	1	1	0	6	Geräte- und Portauswahl	

Projekt 06:

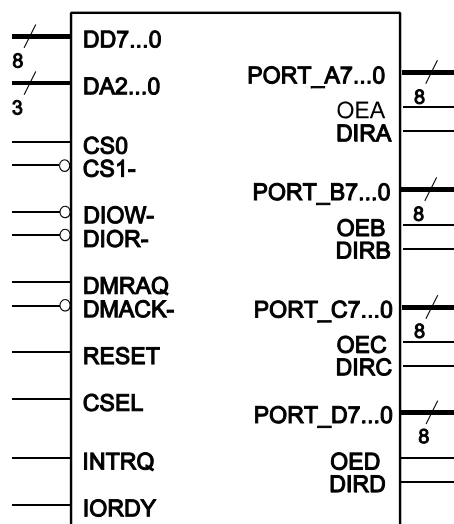
Gehäuse PC 84. 5 universelle 8-Bit-Ports (wie bisherige Portadapter (anfänglich nur Neuerfassung)).



IORDY wird nicht unterstützt. Unterstützung von INTRQ nur bei Einbau der Änderungserkennung (COS).

Projekt 07:

Gehäuse PC 84. 4 byteweise steuerbare Ports ähnlich 8255 mit zusätzlichen Steuersignalen für externe Puffer 245.

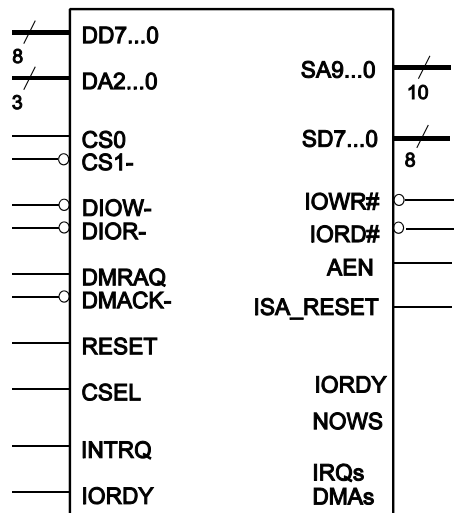
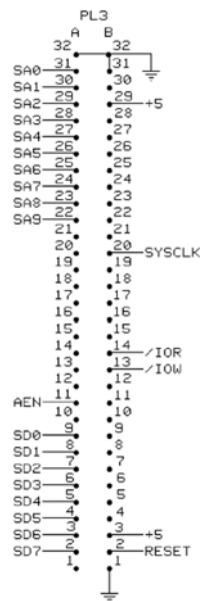


Varianten:

1. eigene Steuerregisterlösung
2. Ports A, B, C wie 8255; eigenes Steuerregister für Port D.
3. Ports A, B, C wie 8255. Port D als Konsolport

Projekt 08:

Gehäuse PC 84. Emulation 8-Bit-ISA-Bus mit E-A-Zugriffen. Zu unterstützende Bussignale:

*Erweiterte Unterstützung:*

1. Interrupts. Umschaltbar zwischen echter Interruptauslösung und Emulation (Polling der Interruptanforderungen).
2. DMA (Emulation; kein DMA-Betrieb an ATA-Schnittstelle).
3. Angleichung an Original-ISA-Timing. Unterstützung IORDY auf ATA-Seite.
4. Unterstützung IORDY und NOWS auf ISA-Seite.

4 * DRQ, 4 * DACK, 1 * TC, 6 * IRQ -- das ggf. reduzieren.

CS		Registeradresse DA				Register	
1-	0-	2	1	0	Hex	Lesezugriff	Schreibzugriff
1	0	0	1	0	2	ISA-Adresse (SA7...0)	
1	0	0	1	1	3	ISA-Daten (SD7...0)	
1	0	1	0	0	4	ISA-Zustand (Abfrage)	
1	0	1	0	1	5	Steuerregister (generell)	
1	0	1	1	0	6	Geräte- und Portauswahl; SA 9, 8	

Zustandsregister (Lesen):

7	6	5	4	3	2	1	0
DRQ3	DRQ2	DRQ1	IRQ 7	IRQ6	IRQ5	IRQ4	IRQ3

Zustandsregister (Schreiben):

7	6	5	4	3	2	1	0
DACK3	DACK2	DACK1	IRQ 7	IRQ6	IRQ5	IRQ4	IRQ3

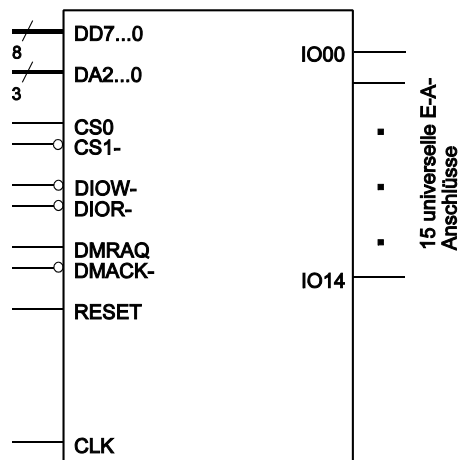
IRQs werden gelöscht

Steuerregister:

7	6	5	4	3	2	1	0
						WS CTL	IRQ CTL

Projekt 09

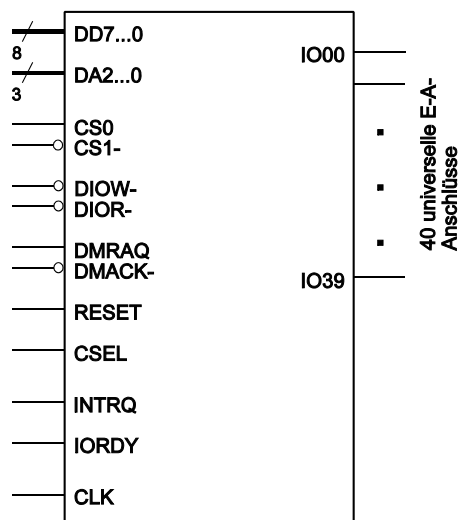
Frei programmierbarer Schaltkreis mit 9536 oder 9572/PC44.



Takteingang, um auch synchrone sequentielle Schaltungen einbauen zu können. Dafür entfällt CSEL (Geräteauswahl wird mitprogrammiert). Max. 15 universelle E-A's. Ggf. Steck-Option, um auf 16 E-A's gehen zu können.

Projekt 10

Frei programmierbarer Schaltkreis mit 9572 oder 95108/PC84.



Takteingang, um auch synchrone sequentielle Schaltungen einbauen zu können. Mindestens 40 universelle E-A's. Ggf. Steck-Option, um auf 48 E_A's gehen zu können.

Alle Projekte mit PC84

Ergänzung der 8255-Grundfunktionen durch:

Einzelbitzugriff für alle Ports,
 Änderungserkennung (Change of State COS),
 ternäre Abfrage,
 ggf. Timer/Counter.