

CPLD-Übungstafel 06b (UeCPLD 06b)

Kurzbeschreibung

Stand: 02 vom 16. 10. 07

Verwendungszweck:

Aufbau und Betrieb von Versuchsschaltungen in CPLDs Xilinx XC9572 PC 44 oder XC9536 PC 44.



Ausstattung:

- CPLD mit 34 Signalanschlüssen,
- Übungstafel faßt 32 Signale in 4 8-Bit-Ports A, B, C, D zusammen,
- 4 Schalter mit Tastfunktion (nicht entprellt),
- 2 Tasten, entprellt,
- 1 Incrementalgeber (nicht entprellt),
- Piezo-Schallgeber (mit NF-Signal anzusteuern),
- Schalter, Tasten, Incrementalgeber und Schallgeber an Klemmen geführt (frei anschließbar),
- LED-Anzeige für Port C (8 LEDs),
- Ports B und C an Klemmen geführt,
- Portanschlüsse für Portadapter PPKI 04 und Experimentiertafeln (wie UeIDE 04 oder Portadapter 03f oder Einheitsgerät EG 01 n. A.),
- Taktsignale von mehreren MHz bis 2 Hz sowie Handtakt,
- Takterzeugung mit Quarz-Taktgenerator (z. B. 4 MHz; auswechselbar), mit Zählerschaltkreis 40960 und Quarz 32,768 kHz sowie mittels Taktaste,
- Rücksetztaste,
- alle zur CPLD geführten Eingangssignale kommen von Open-Collector-Stufen. Deshalb keine Konflikte, wenn ungenutzte CPLD-Anschlüsse durch Programmierung auf Masse geschaltet werden.
- Programmieranschluß (JTAG) für Xilinx-Programmierkabel.

Spannungsversorgung: + 5 V.

Zuordnung der 8-Bit-Ports:

Bit	Port A	Port B	Port C	Port D
0	1	20	2	3
1	35	33	36	37
2	11	22	12	13
3	24	34	25	26
4	4	7 (GCK 3)	8	9
5	38	42 (GTS 1)	43	44
6	14	40 (GTS 2)	18	19
7	27	6 (Slow CLOCK (GCK 2))	28	29

- Fast CLOCK (GCK 1): 5
- RESET# (GSR): 39

Verbindungen:

- Port A: nur zu Experimentiertafel,
- Port B: zu Experimentiertafel und auf Klemmen,
- Port C: zu Experimentiertafel sowie auf LEDs und Klemmen,
- Port D: nur zur Experimentiertafel.

Port A:

Fest an Experimentiertafel- und Portadapteranschluß.

A7	A6	A5	A4	A3	A2	A1	A0
----	----	----	----	----	----	----	----

Port B:

Fest an Experimentiertafel- und Portadapteranschluß. An Klemmen geführt. In B7...4 sind die Steuersignale GCK 2, GCK 3, GTS 2, GTS 3 zusammengefaßt. B3---B0 sind frei verfügbar

B7	B6	B5	B4	B3	B2	B1	B0
GCK 2	GTS 2	GTS 1	GCK 3	frei verfügbar			

Port C:

Fest an Experimentiertafel- und Portadapteranschluß. An Klemmen und 8 einzelne LEDs geführt. Anzeige aktiv High. Belastet die Signale nicht (Anschluß über Puffer).

C7	C6	C5	C4	C3	C2	C1	C0
----	----	----	----	----	----	----	----

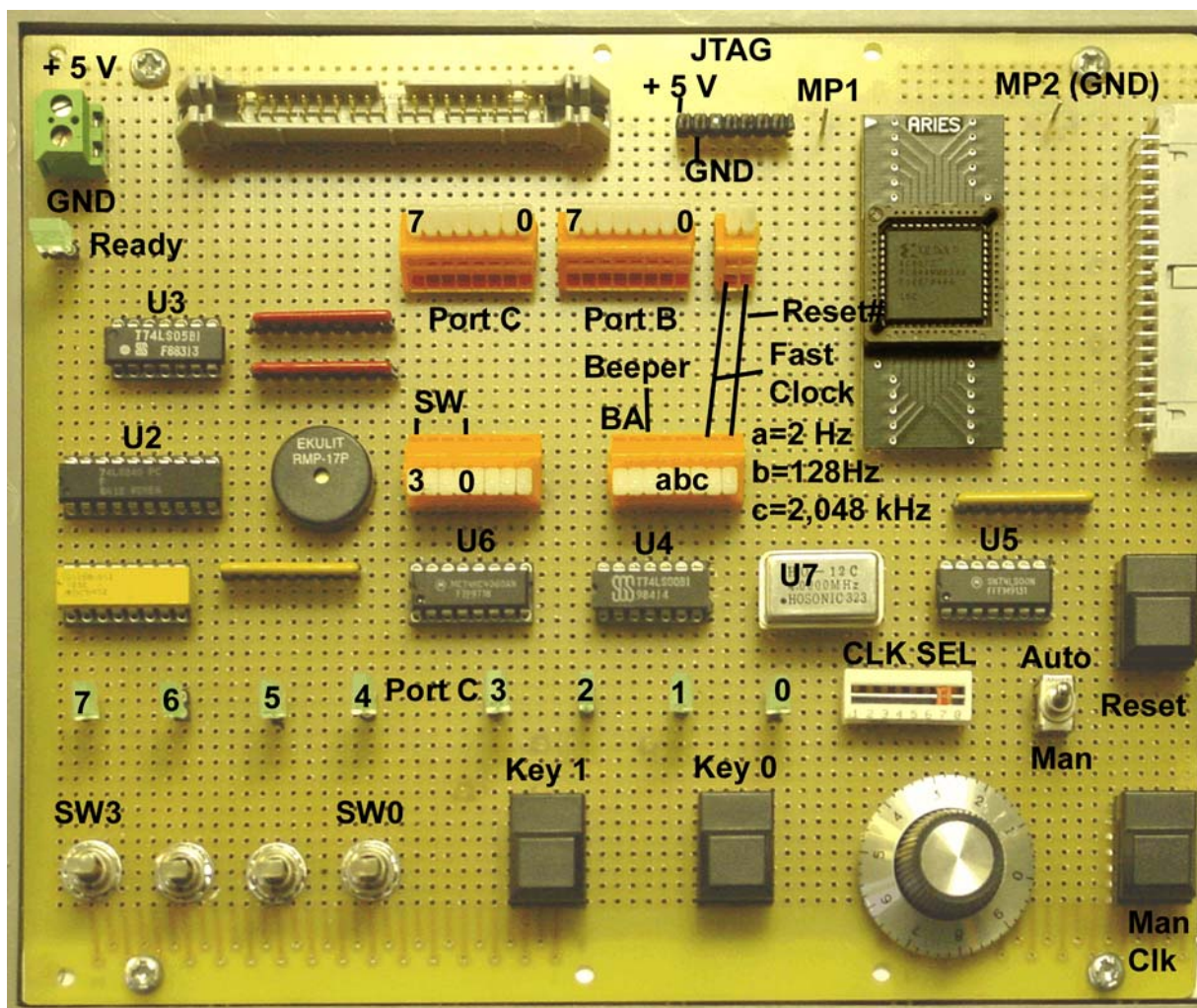
Port D:

Fest an Experimentiertafel- und Portadapteranschluß.

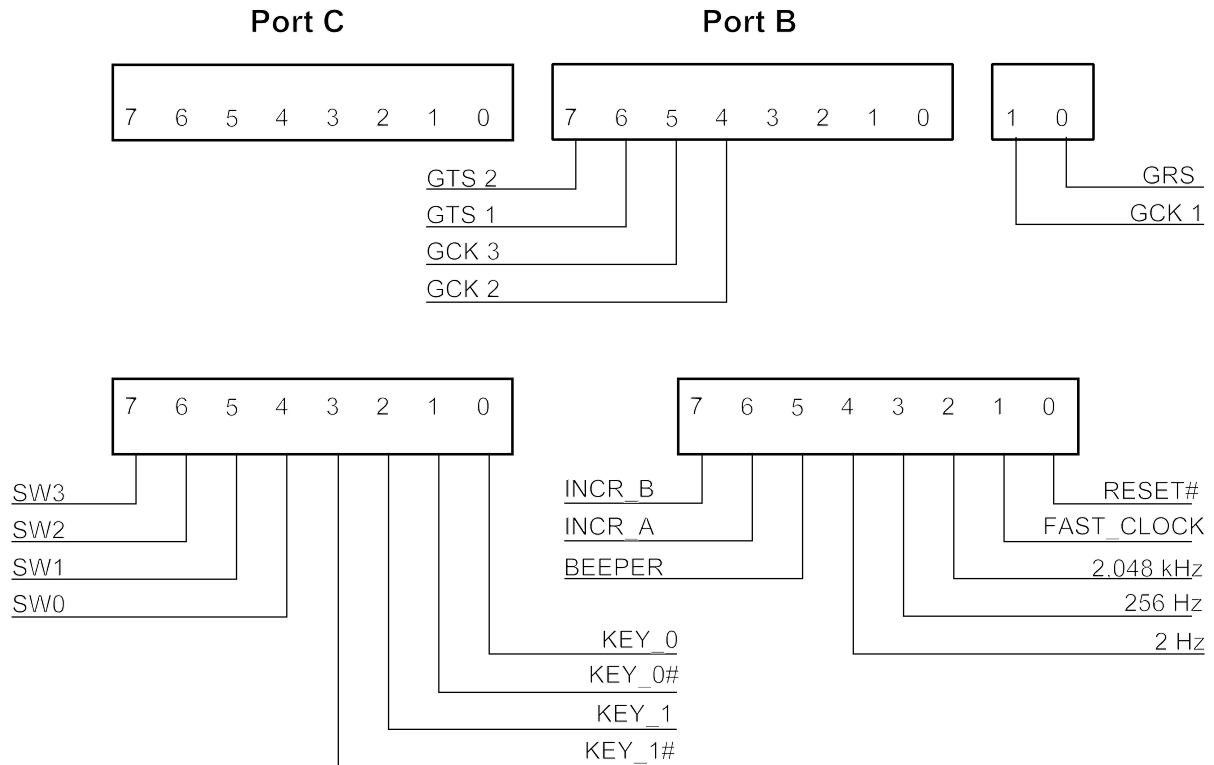
D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

Hinweise zur Vorzugsnutzung:

1. Schaltungen auf Experimentiertafel: vor allem Ports A und D.
2. Elementare Anzeigen (u. a. zum debugging): Port C.
3. Externe Rückführungen (z. B. auf Tristate- und Takteingänge): Port B; Signale B3...B0 sowie Port C.
4. Schalter, Tasten, Incrementalgeber, Schallgeber: Ports B und C.



Belegung der Klemmen:



Schalter- und Tastenanschlüsse an Klemmen:

Schalter SW3...SW0 sind nicht prellfrei. Wirken aktiv High. Tasten KY1, KY0 sind prellfrei. Jeweils beide Ausgänge (aktiv Low, aktiv High) verfügbar.

SW3	SW2	SW1	SW0	KY1#	KY1	KY0#	KY0
7	6	5	4	3	2	1	0

Incrementalgeber, Schallgeber und Taktsignale an Klemmen:

Incrementalgeber INCR-B, INCR_A nicht prellfrei. Wirken aktiv High. Schallgeber BEEPER wirkt aktiv High.

INCR_B	INCR_A	BEEPER	2 Hz	256 Hz	2,048 kHz	FAST CLOCK	RESET#
7	6	5	4	3	2	1	0

Vorzugsnutzung der Takte:

- 2 Hz: für den langsamen Durchlauf,
- 256 Hz: Takt für entprellzwecke (ca. 4 ms),
- 2,048 kHz: Grundtakt zur Aufbereitung weiterer "langsamer" Taktsignale,
- FAST CLOCK: der normale Betriebstakt. Wird typischerweise mit Vorzugs-Takteingang GCK1 verbunden.

FAST CLOCK: Auswahl über Schiebeschalter und Wahlschalter AUTO/MAN.

Taktauswahl über Schiebeschalter:

Schalterstellung	Taktfrequenz	Schalterstellung	Taktfrequenz
0	2 Hz (500 ms)	4	128 Hz (7,8125 ms)
1	4 Hz (250 ms)	5	512 Hz (1,9531 ms)
2	8 Hz (125 ms)	6	2,048 kHz (488,28 μ s)
3	32 Hz (31,25 ms)	7	Quarzgenerator, z. B. 4 MHz

Wahlschalter AUTO/MAN:

- AUTO: Takt gemäß Schiebeschalter,
- MAN: Takt von Takttaste. Prellfrei. Aktiv High.

Umschaltung AUTO/MAN ist nicht prellfrei.

Quarzgenerator:

Formfaktor DIL-14. Industriestandard. Frequenzänderung durch Auswechseln.

Rücksetzen:

Mittels Rücksetztaste. Prellfrei. Aktiv Low.

Takt- und Rücksetztaste sind frei nutzbar und können auch anderweitig verwendet werden. Ebenso ist es möglich, über die Klemmen Taktsignale andere Herkunft zuzuführen.

Takt- und Rücksetzsignale an Klemmen:

FAST CLOCK	RESET#
1	0

Ausgangssignale Zählerschaltkreis 4060 bei Taktfrequenz 32,768 kHz:

Ausgang	Teilverhältnis	Frequenz	Periodendauer
7	$1:2^4 = 1:16$	2,048 kHz	488,28 μ s
5	$1:2^5 = 1:32$	1,024 kHz	0,97656 ms
4	$1:2^6 = 1:64$	512 Hz	1,9531 ms
6	$1:2^7 = 1:128$	256 Hz	3,9062 ms
14	$1:2^8 = 1:256$	128 Hz	7,8125 ms
13	$1:2^9 = 1:512$	64 Hz	15,625 ms
15	$1:2^{10} = 1:1\ 024$	32 Hz	31,25 ms
1	$1:2^{12} = 1:4\ 096$	8 Hz	125 ms
2	$1:2^{13} = 1:8\ 192$	4 Hz	250 ms
3	$1:2^{14} = 1:16\ 384$	2 Hz	500 ms

Belegung des JTAG-Anschlusses (CPLD-Programmierung):

6	5	4	3	2	1	0
+ 5 V	GND	-	TCK	TDO	TDI	TMS

Die Sonderanschlüsse des PC-44-Gehäuses (betrifft 9536 und 9572):

Pin Type	PC44
I/O/GCK1	5
I/O/GCK2	6
I/O/GCK3	7
I/O/GTS1	42
I/O/GTS2	40
I/O/GSR	39
TCK	17
TDI	15
TDO	30
TMS	16
V _{CCINT} 5V	21,41
V _{CCIO} 3.3V/5V	32
GND	10,23,31

XC 9536/72 PC44 I/O Pins:

Pin	Steuersignale	E-A-Ports	Pin	Steuersignale	E-A-Ports
1		A0	24		A3
2		C0	25		C3
3		D0	26		D3
4		A4	27		A7
5	GCK1	FAST CLOCK	28		C7
6	GCK2	B7 / SLOW CLOCK	29		D7
7	GCK3	B4	33		B1
8		C4	34		B3
9		D4	35		A1
11		A2	36		C1
12		C2	37		D1
13		D2	38		A5
14		A6	39	GSR	RESET#
18		C6	40	GTS2	B6
19		D6	42	GTS1	B5
20		B0	43		C5
22		B2	44		D5

Pins, Funktionsblöcke und Makrozellen:

Pin	FB 1 ^{*)}	FB 1	FB 2	FB 3	FB 4	Pin	FB 2 ^{*)}	FB 1	FB 2	FB 3	FB 4
2	1	5				1	1	2			
3	2	6				44	2		17		
5	3	9				42	3		14		
4	4	8				43	4		15		
6	5	11				40	5		11		
8	6	15				39	6		9		
7	7	14				38	7		8		
9	8	17				37	8		6		
11	9			2		36	9		5		
12	10			5		35	10		2		
13	11			8		34	11				17
14	12			9		33	12				15
18	13			11		29	13				14
19	14			14		28	14				11
20	15			15		27	15				9
22	16			17		26	16				8
24	17				2	25	17				5

*): XC9536

Signalanschlüsse XC9536:

Function Block	Macrocell	PC44	Notes	Port	Function Block	Macrocell	PC44	Notes	Port
1	1	2		C0	2	1	1		A0
1	2	3		D0	2	2	44		D5
1	3	5	[1]	CLK	2	3	42	[1]	B5
1	4	4		A4	2	4	43		C5
1	5	6	[1]	B7	2	5	40	[1]	B6
1	6	8		C4	2	6	39	[1]	RST
1	7	7	[1]	B4	2	7	38		A5
1	8	9		D4	2	8	37		D1
1	9	11		A2	2	9	36		C1
1	10	12		C2	2	10	35		A1
1	11	13		D2	2	11	34		B3
1	12	14		A6	2	12	33		B1
1	13	18		C6	2	13	29		D7
1	14	19		D6	2	14	28		C7
1	15	20		B0	2	15	27		A7
1	16	22		B2	2	16	26		D3
1	17	24		A3	2	17	25		C3
1	18	-			2	18	-		

Signalanschlüsse XC9572:

Function Block	Macro-cell	PC44	Ports	Function Block	Macro-cell	PC44	Ports
1	1	–	A0	3	1	–	
1	2	1		3	2	11	A2
1	3	–		3	3	–	
1	4	–		3	4	–	
1	5	2	C0	3	5	12	C2
1	6	3	D0	3	6	–	
1	7	–		3	7	–	
1	8	4	A4	3	8	13	D2
1	9	5 ^[1]	CLK	3	9	14	A6
1	10	–		3	10	–	
1	11	6 ^[1]	B7	3	11	18	C6
1	12	–		3	12	–	
1	13	–		3	13	–	
1	14	7 ^[1]	B4	3	14	19	D6
1	15	8	C4	3	15	20	B0
1	16	–		3	16	–	
1	17	9	D4	3	17	22	B2
1	18	–		3	18	–	
2	1	–		4	1	–	
2	2	35	A1	4	2	24	A3
2	3	–		4	3	–	
2	4	–		4	4	–	
2	5	36	C1	4	5	25	C3
2	6	37	D1	4	6	–	
2	7	–		4	7	–	
2	8	38	A5	4	8	26	D3
2	9	39 ^[1]	RESET	4	9	27	A7
2	10	–		4	10	–	
2	11	40 ^[1]	B6	4	11	28	C7
2	12	–		4	12	–	
2	13	–		4	13	–	
2	14	42 ^[3]	B5	4	14	29	D7
2	15	43	C5	4	15	33	B1
2	16	–		4	16	–	
2	17	44	D5	4	17	34	B3
2	18	–		4	18	–	

- XC9536 und 9572 PC 44 haben gleiche Anschlußbelegung (nur andere Zuordnung zu den Funktionsblöcken). -

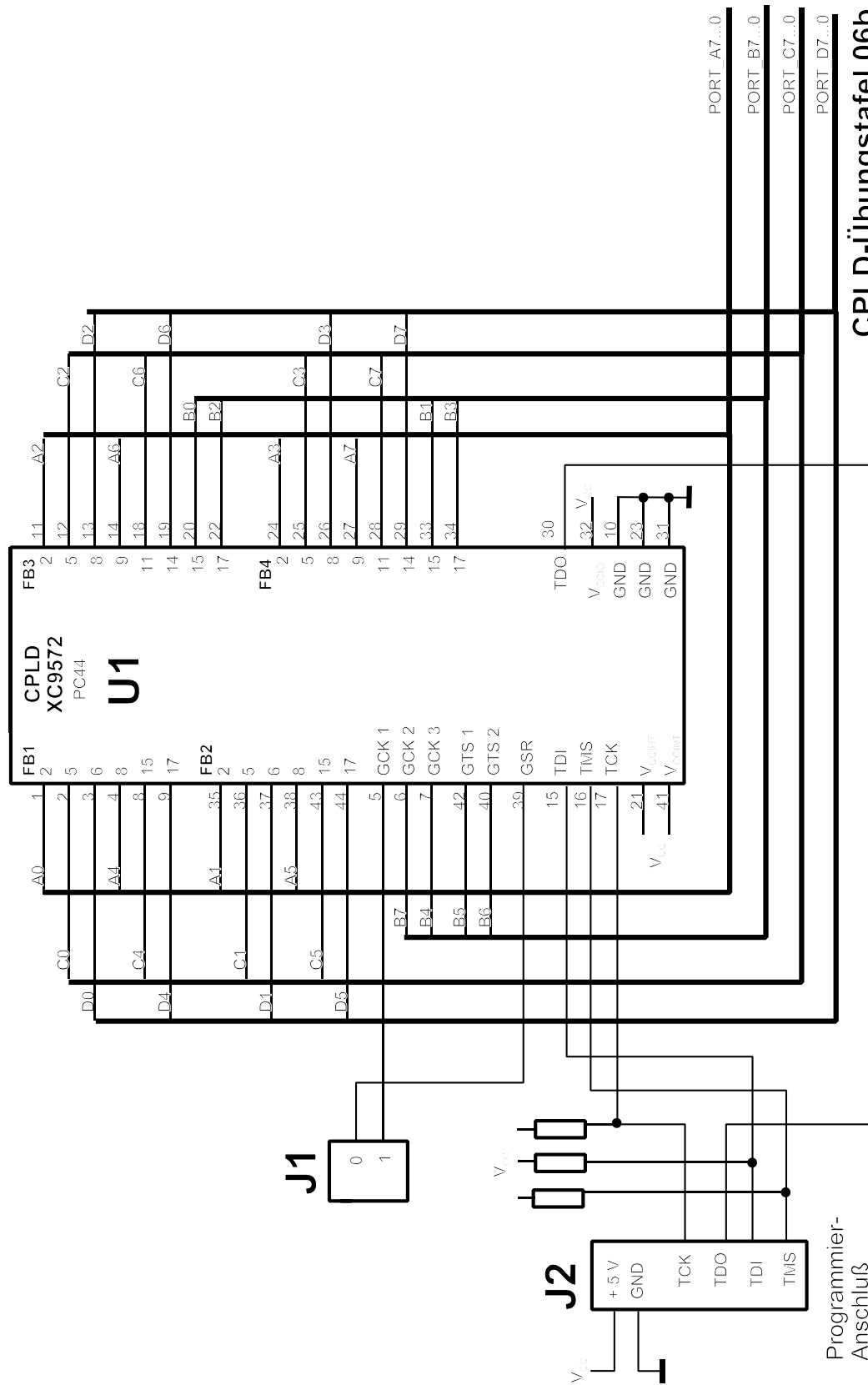
Experimentiertafelanschluß (wie Portadapter 03-32, UeIDE 04a und EG 01 n. A.):

1	1	+ 5 V (V _{CC})	2	1	GND
3	2	A0	4	2	A1
5	3	A2	6	3	A3
7	4	GND	8	4	A5
9	5	A4	10	5	A7
11	6	A6	12	6	GND
13	7	B0	14	7	B1
15	8	B2	16	8	B3
17	9	GND	18	9	C1
19	10	C0	20	10	C3
21	11	C2	22	11	GND
23	12	C4	24	12	C5
25	13	C6	26	13	C7
27	14	GND	28	14	D1
29	15	D0	30	15	D3
31	16	D2	32	16	GND
33	17	D4	34	17	D5
35	18	D6	36	18	D7
37	19	B4 ^{*)}	38	19	B5 ^{*)}
39	20	B6 ^{*)}	40	20	B7 ^{*)}

*): nicht bei EG 01 n. A.

Anschluß IDE-Portadapter PPKI 04a:

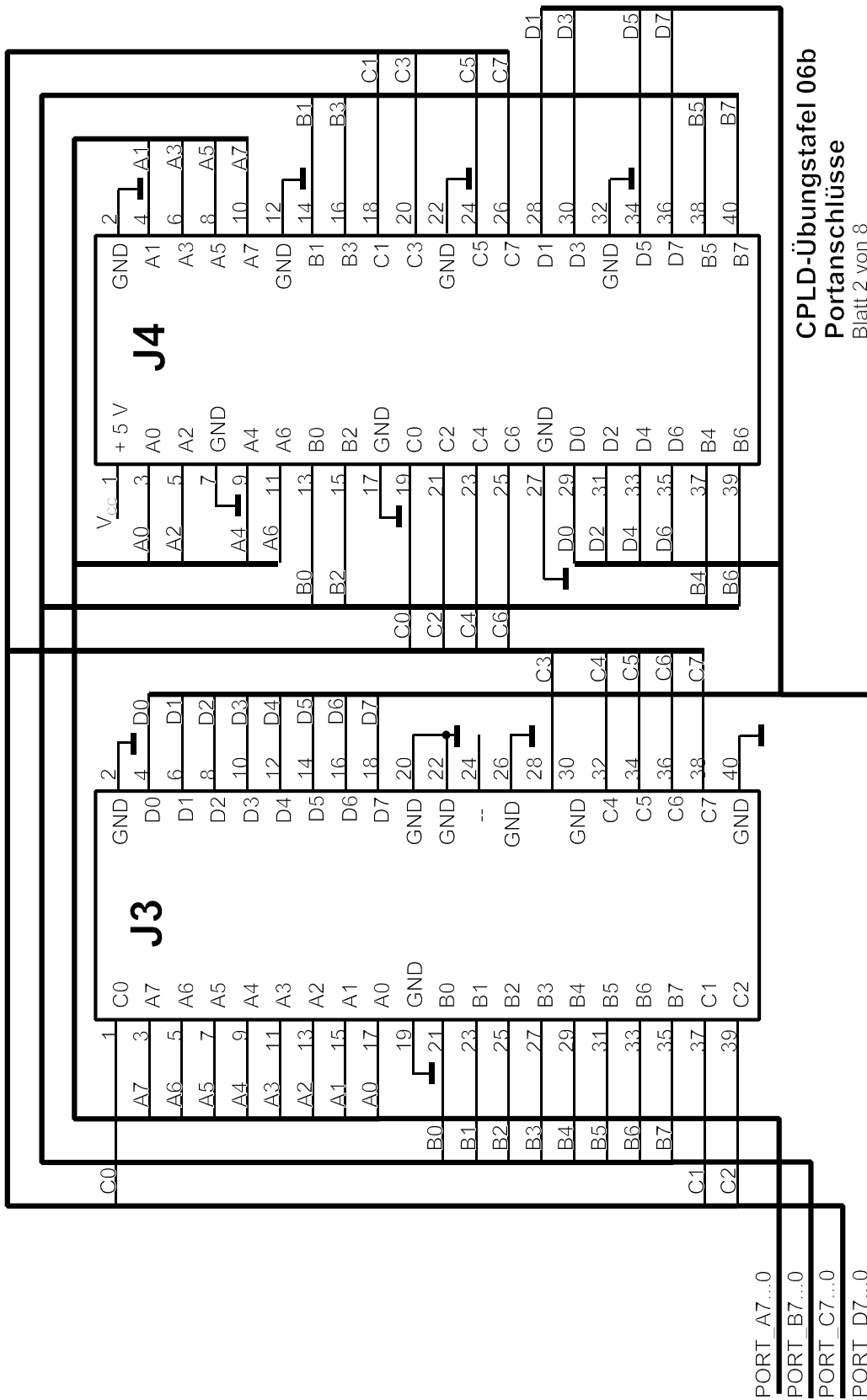
1	1	C0	2	1	GND
3	2	A7	4	2	D0
5	3	A6	6	3	D1
7	4	A5	8	4	D2
9	5	A4	10	5	D3
11	6	A3	12	6	D4
13	7	A2	14	7	D5
15	8	A1	16	8	D6
17	9	A0	18	9	D7
19	10	GND	20	10	GND
21	11	B0	22	11	GND
23	12	B1	24	12	frei (= Portbetrieb)
25	13	B2	26	13	GND
27	14	B3	28	14	C3
29	15	B4	30	15	GND
31	16	B5	32	16	C4
33	17	B6	34	17	C5
35	18	B7	36	18	C6
37	19	C1	38	19	C7
39	20	C2	40	20	GND



CPLD-Übungstafel 06b
CPLD-Schaltkreis

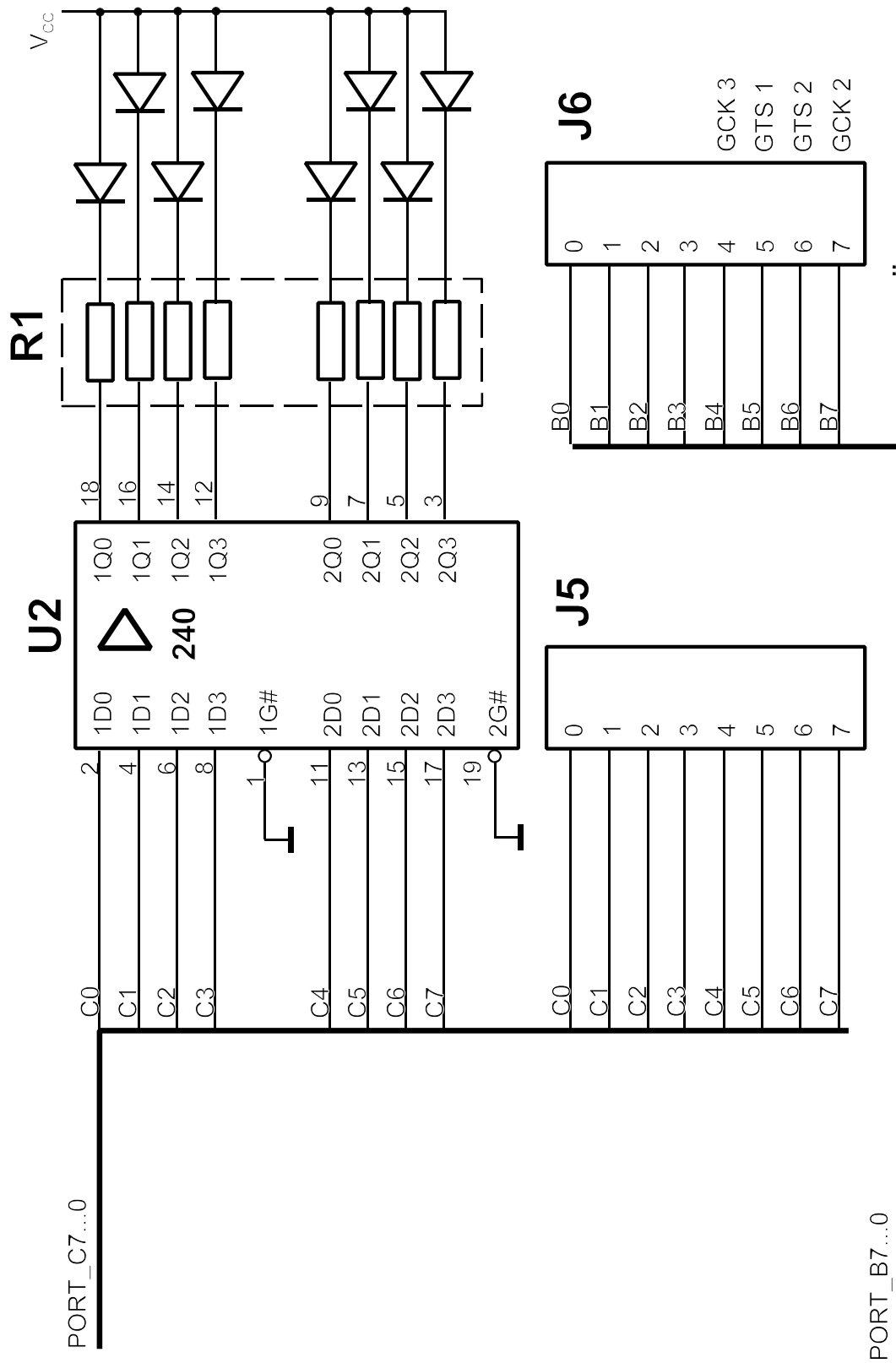
Blatt 1 von 8
 Stand: 1.1 vom 28. 2. 06

Programmier-
 Anschluß
 (JTAG)



CPLD-Übungstafel 06b
Portanschlüsse
 Blatt 2 von 8
 Stand: 1.1 vom 28. 2. 06

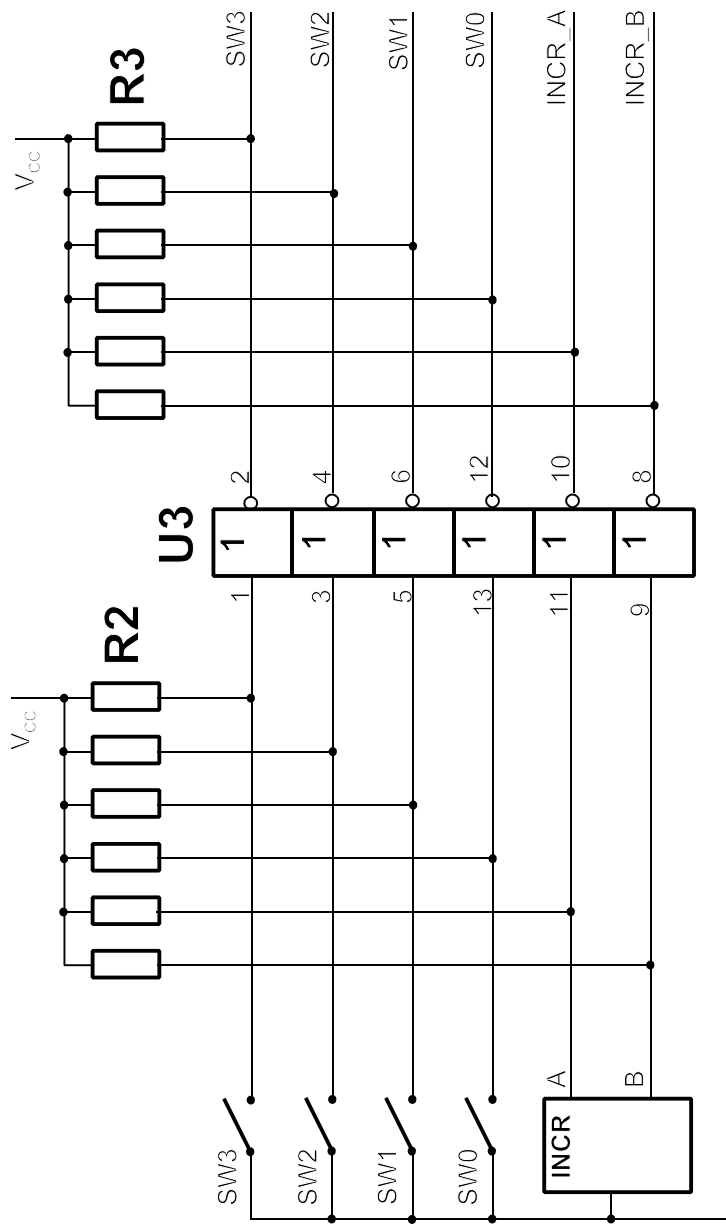
PORT A7...0
 PORT B7...0
 PORT C7...0
 PORT D7...0



CPLD-Übungstafel 06b
Ports B und C

Blatt 3 von 8

Stand: 1.1 vom 28. 2. 06

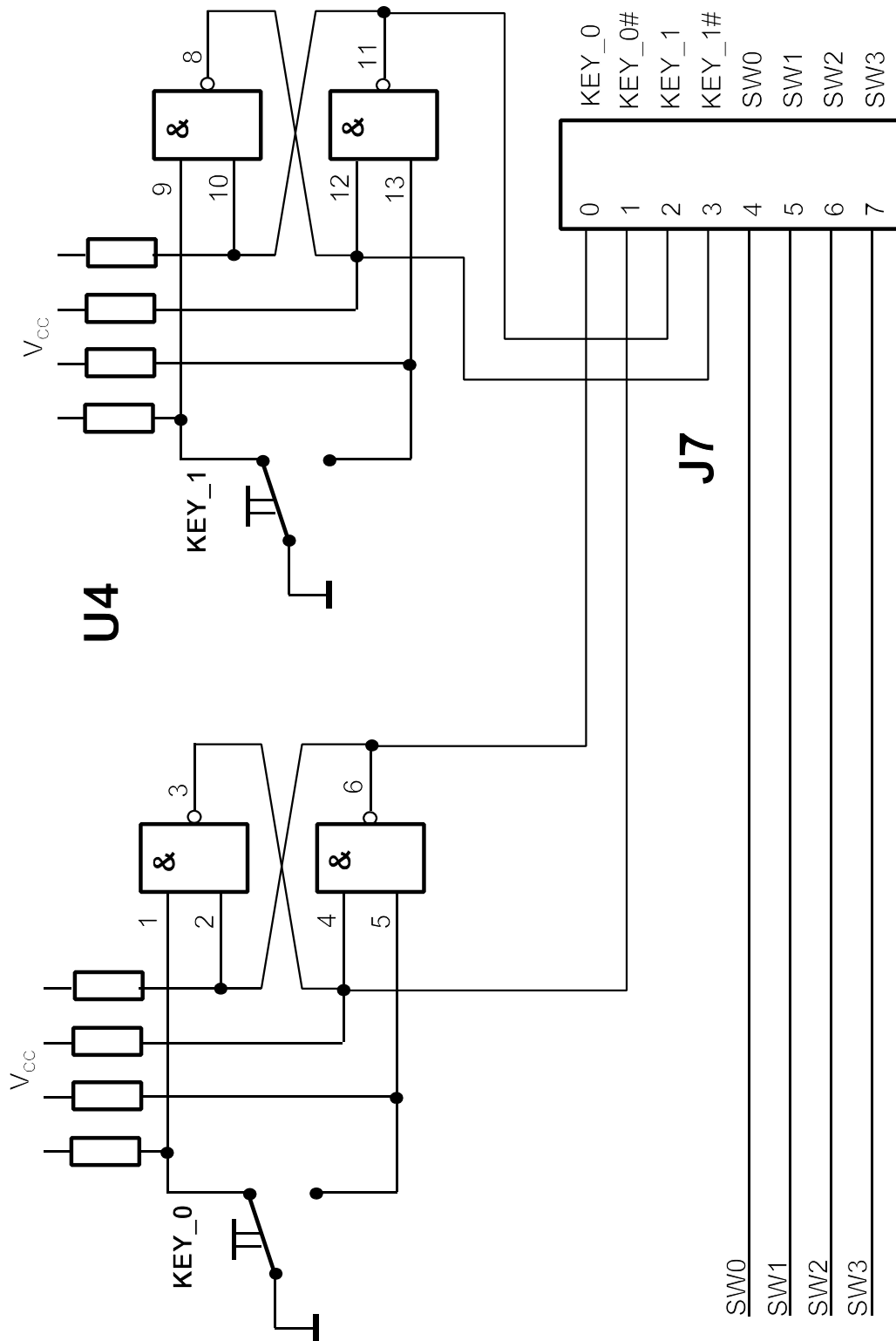


CPLD-Übungstafel 06b

Schalter

Blatt 4 von 8

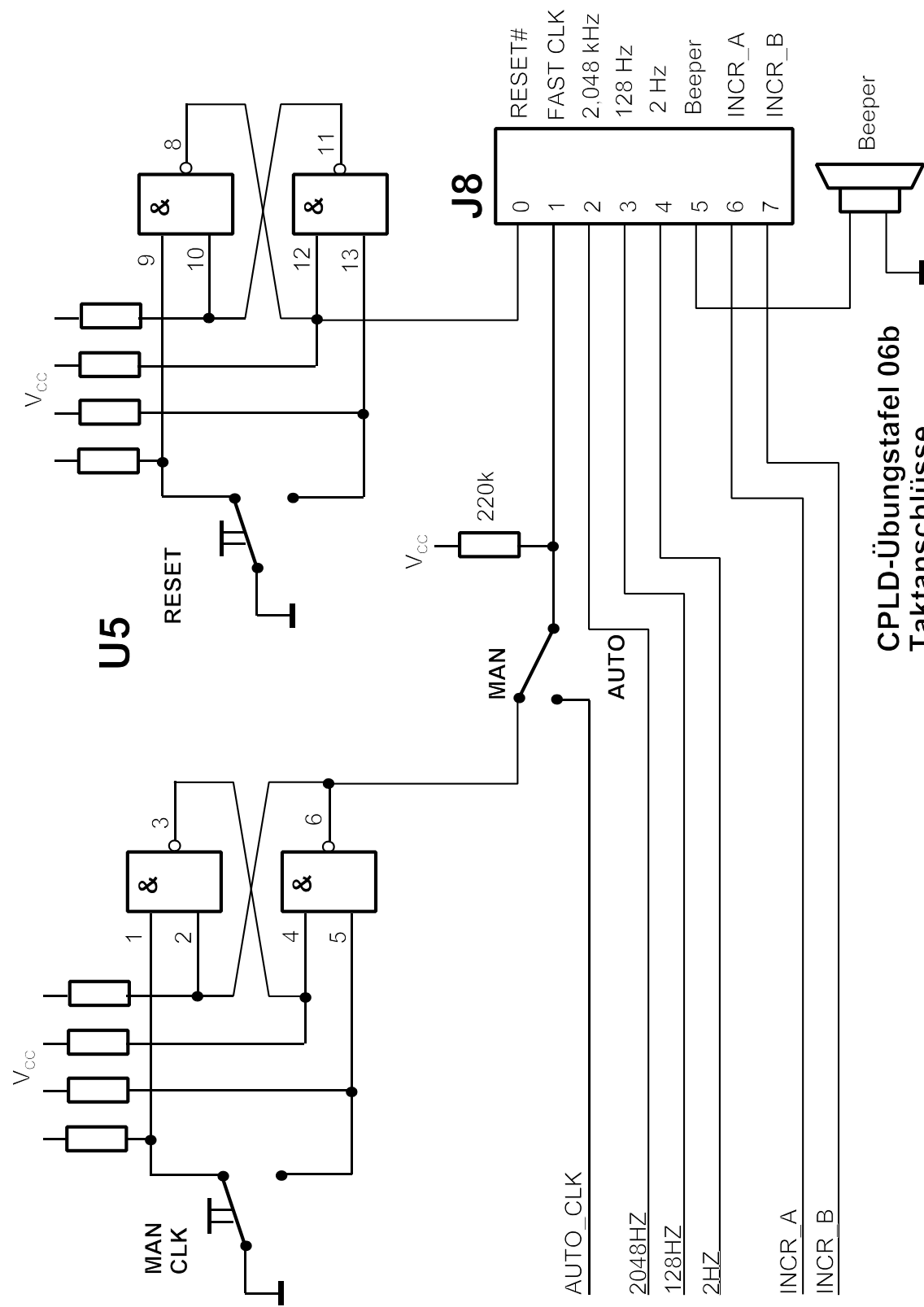
Stand: 1.1 vom 28. 2. 06



CPLD-Übungstafel 06b
Schalteranschlüsse

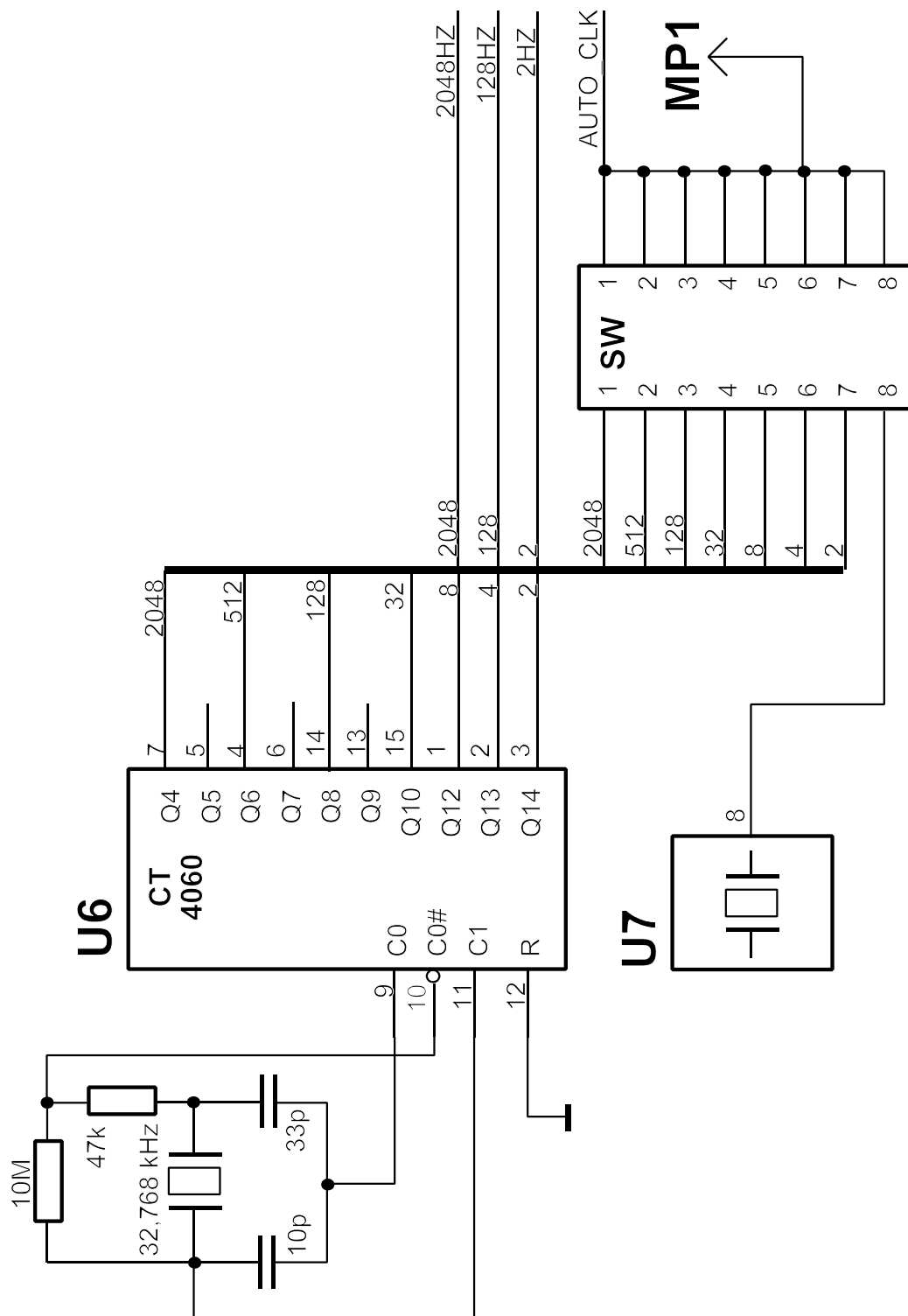
Blatt 5 von 8

Stand: 1.1 vom 28. 2. 06



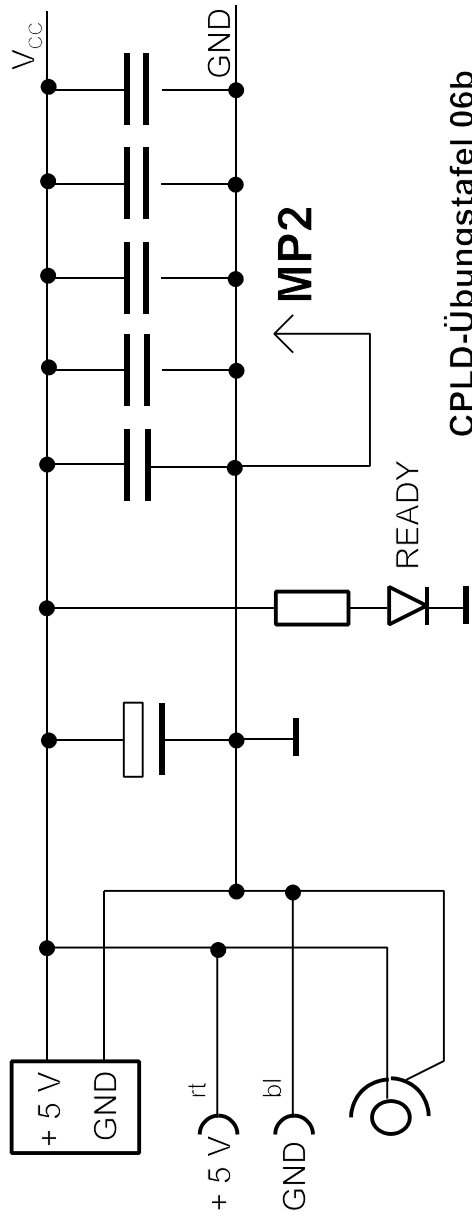
CPLD-Übungstafel 06b
Taktanschlüsse

Blatt 6 von 8
 Stand: 1.1 vom 28. 2. 06



CPLD-Übungstafel 06b
Takterzeugung

Blatt 7 von 8
 Stand: 1.1 vom 28. 2. 06



CPLD-Übungstafel 06b
Stromversorgung

Blatt 8 von 8
Stand: 1.1 vom 28. 2. 06