

Praktikum Digitaltechnik SS 2009

Versuchsbeschreibungen

Stand: 27. 3. 09

Gesamtablauf:

1. Versuch

Herkömmlicher Schaltungsaufbau durch Stöpseln

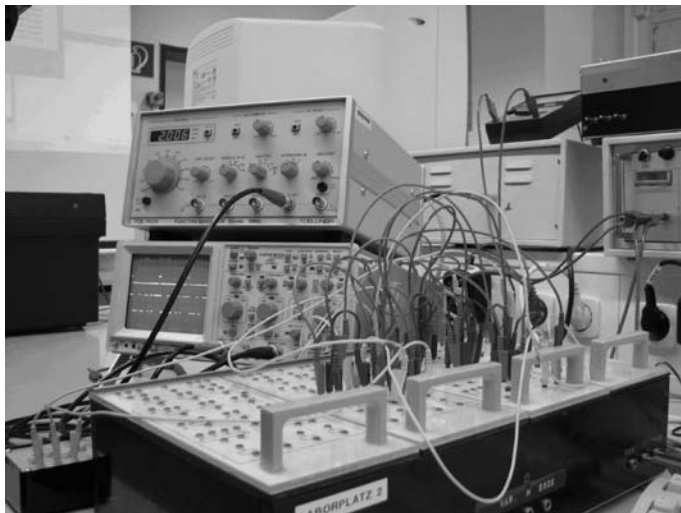
2. Versuch

Rechnergestütztes Entwerfen über Schaltplan (1)

3. Versuch

Rechnergestütztes Entwerfen über Schaltplan (2)

Hinweis: Vor den vielen Aufgaben bitte nicht erschrecken. Was fertig wird, wird fertig ...



Versuch 1

Versuchsziele:

- Kennenlernen elementarer sequentieller Schaltungen (State Machines, Zähler, Schieberegister),
- Erprobung von Digitalschaltungen im statischen und dynamischen Betrieb,
- Einführung in die Nutzung von Oszilloskop und Logikanalysator.

Versuchsplattform:

Herkömmliche Stecktafeln mit TTL-Schaltkreisen (Abb. 1, 2), Taktgenerator (Signalgenerator), Oszilloskop.

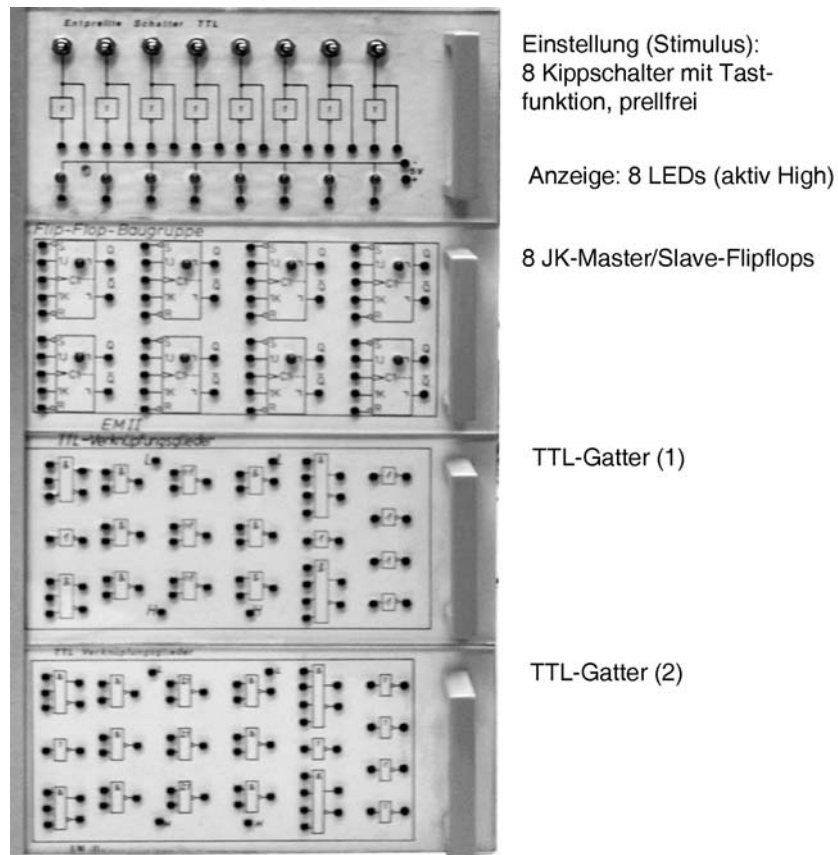


Abb. 1 Stecktafel mit TTL-Schaltkreisen

Hinweis: Im Versuch darf davon Gebrauch gemacht werden, daß offene TTL-Eingänge so wirken, als wären sie mit einem High-Pegel belegt. Diese Arbeitserleichterung nicht auf ernsthafte Projekte übertragen!

Versuchsziele:

- Kennenlernen elementarer sequentieller Schaltungen (Master-Slave-Flipflops, Zähler, Schieberegister),
- Erprobung von Digitalschaltungen im statischen und dynamischen Betrieb,
- Einführung in die Nutzung von Oszilloskop und Logikanalysator.

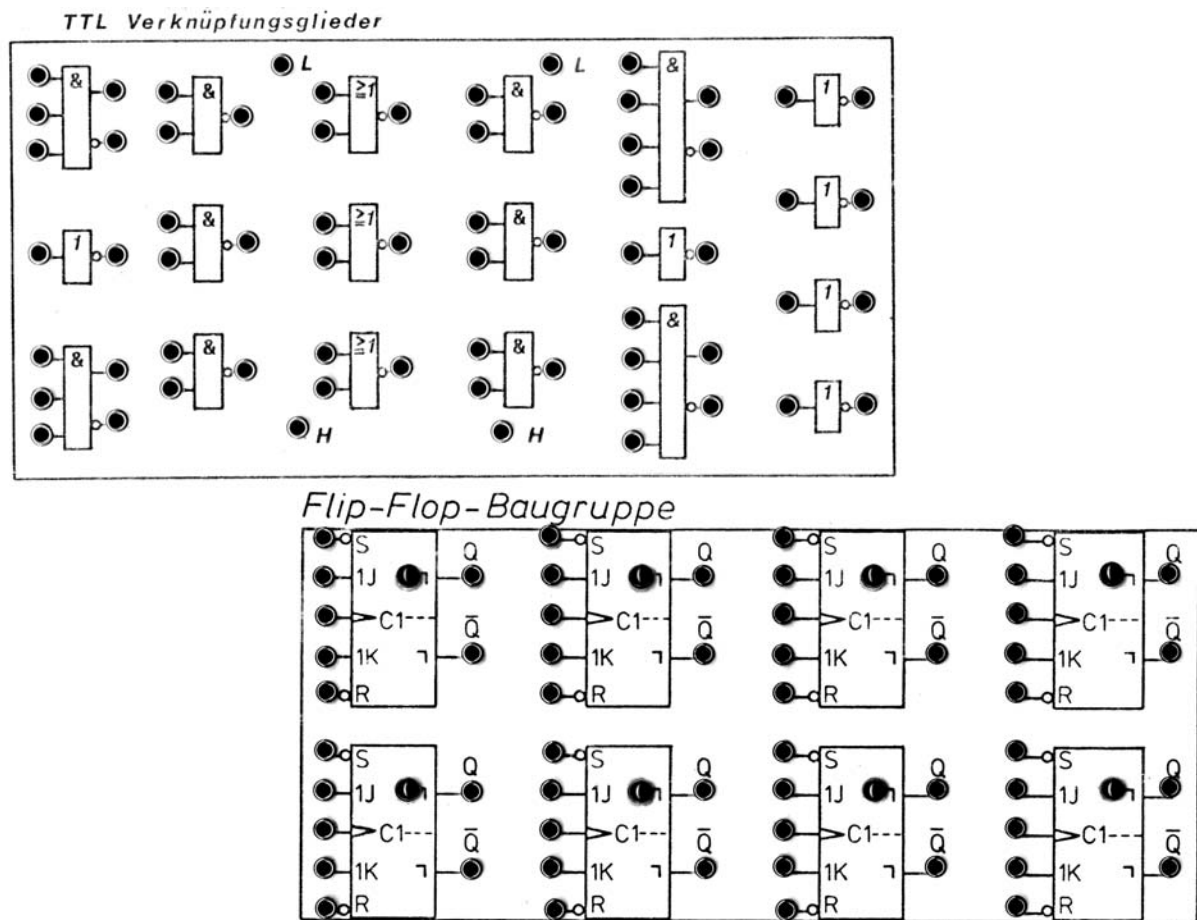


Abb. 2 Stecktafeln. Oben: Gatter. Es stehen zwei derartige Tafeln zur Verfügung. Darunter: JK-Flipflops (eine Tafel). Die Flipflops haben Leuchtdioden zur Zustandsanzeige

Aufgabe 1: Bauen Sie ein D-Latch auf Grundlage eines 2-zu-1-Multiplexers
 Beginnen Sie zunächst mit der Schaltung von Abb. 3. Erprobung: mit Schaltern und Leuchtanzeigen.
 Stellen Sie – um keine Signalkombination zu übersehen – hierzu eine Wahrheits- oder Funktionstabelle auf.
 Wenn Takt G aktiv ist, muß der Datenausgang Q dem Dateneingang D nachfolgen. Wird G inaktiv, muß Q die letzte Belegung des Dateneingangs D halten. Weitere Änderungen der Belegung von D dürfen keine Auswirkungen auf Q haben.

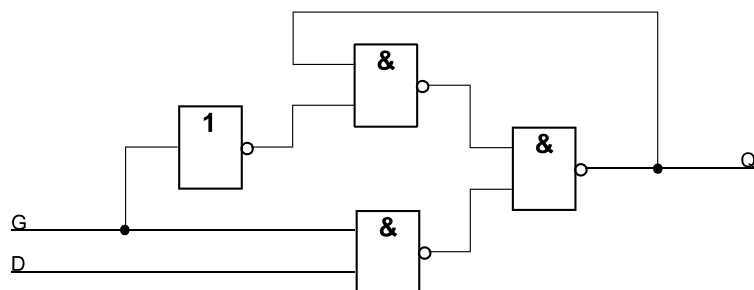


Abb. 3 Das erste D-Latch

Funktioniert das so?

- Wenn nicht: weshalb nicht?
- Wenn doch: schalten Sie zwischen Negator und oberem NAND eine weitere Verzögerung ein, z. B. zwei Negatoren in Reihe. Wann hört die Schaltung auf, richtig zu funktionieren?

Die Quintessenz: erst die Rückführung schließen, dann die Durchreiche auftrennen. Probieren Sie es jetzt gemäß Abb. 4.

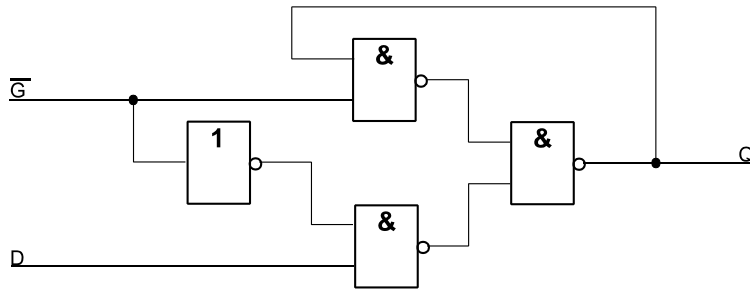


Abb. 4 Dieses D-Latch sollte wirklich funktionieren

Aufgabe 2: Bauen Sie aus zwei D-Latches ein D-Flipflop in Master-Slave-Ausführung

Es ist zunächst ein zweites D-Latch gemäß Abb. 4 zusammenzustecken. Dann werden beide Latches zum D-Flipflop verschaltet (Abb. 5). Erprobung: Schaltet der Takteingang C von Low nach High, so muß die aktuelle Belegung des Dateneingangs am Ausgang Q erscheinen. Ansonsten dürfen Änderungen an D keinen Einfluß auf Q haben, gleichgültig wie der Takteingang C belegt ist. Alle Kombinationen anhand der Wahrheitstabelle abprüfen.

Aufgabe 3: Verschalten Sie das aufgebaute D-Flipflop zum 2:1-Teiler

Ein 2:1-Teiler entsteht durch Rückführung des invertierten Ausgangs auf den D-Eingang (Abb. 6). Erprobung: 1. statisch: Ausgangsbelegung muß mit jedem Aktivieren (Einschalten) des Takteingangs C wechseln. 2. mittels Oszilloskop. Hierzu wird der Takteingang von einem Signalgenerator erregt. Beide Signale C, Q darstellen.

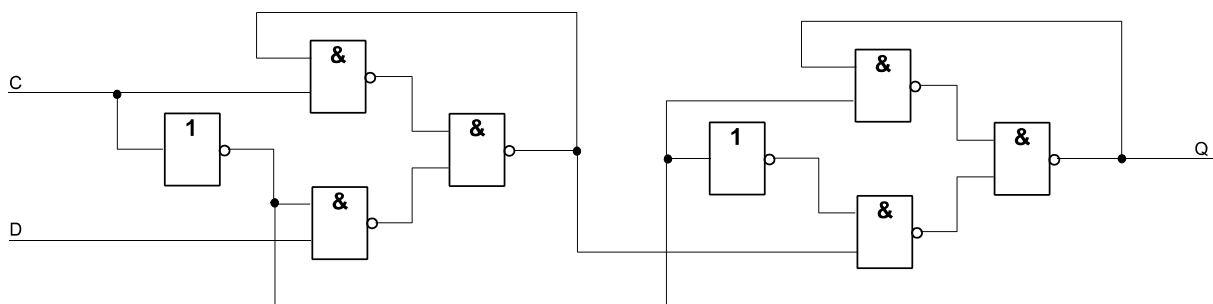


Abb. 5 Ein D-Flipflop aus zwei D-Latches

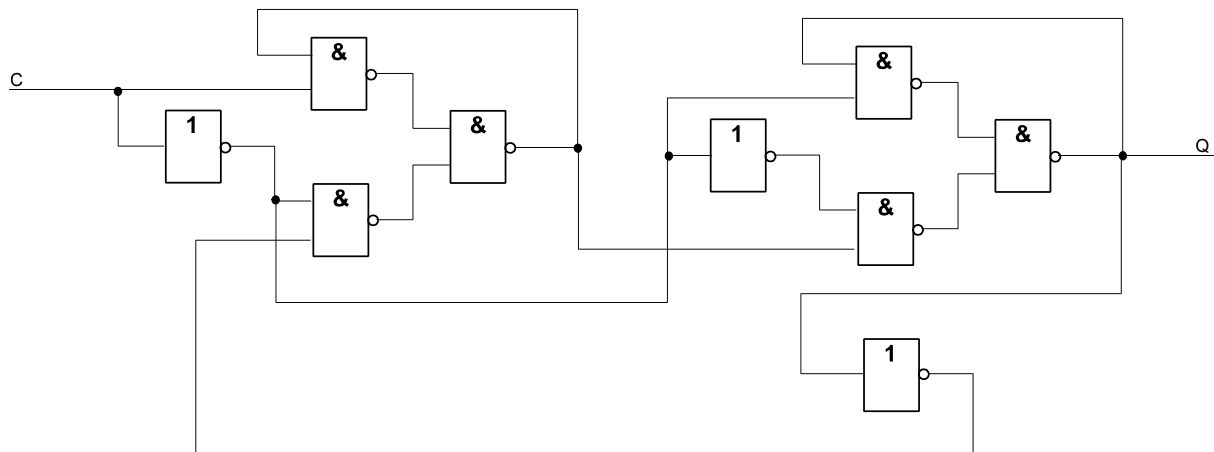


Abb. 6 Das als 2:1-Teiler beschaltete D-Flipflop

Aufgabe 4: Bauen Sie einen 4-Bit-Asynchrnzähler auf Grundlage von JK-Flipflops

Die D-Flipflop-Anordnung zunächst abbauen. Dann die Zählerschaltung stecken. Statische Funktionskontrolle: anhand der LEDs in den Flipflop-Symbolen. Um die Funktionsweise mittels Oszilloskop kontrollieren zu können, brauchen wir ein Synchronsignal, das in jedem Zählumlauf genau einmal an gleicher Stelle abgegeben wird. Wir decodieren hierzu die Stellung 0H. Zudem sorgen wir dafür, den Zähler in einen eindeutigen Anfangszustand (Stellung 0H) versetzen zu können (Eingang CLEAR). Wir bauen zunächst einen Vorwärtszähler (Abb. 7). Erprobung:

1. Statisch. Zähler zurücksetzen und dann Takte auslösen. Schalten der Anzeigen beobachten. Die einzelnen Belegungen notieren.
2. Dynamisch mittels Oszilloskop. Das Taktsignal kommt vom Funktionsgenerator. Darstellung des Taktsignals und der Flipflop-Ausgänge (einer nach dem anderen). Externe Synchronisation mittels SYNC-Signal. Das Gesamtverhalten zeichnerisch erfassen.
3. Dynamisch mittels Logikanalysator. Alle vier Flipflopausgänge anschließen. Triggerung auf Belegung 0000B. a) Zeitanalyse mit passendem Abtasttakt, b) Zustandsanalyse mit Taktsignal. Es muß sich ein gleichsam bilderbuchmäßiges Impulsdigramm ergeben. Aus der Zustandsanzeige muß das Zählverhalten erkennbar sein.

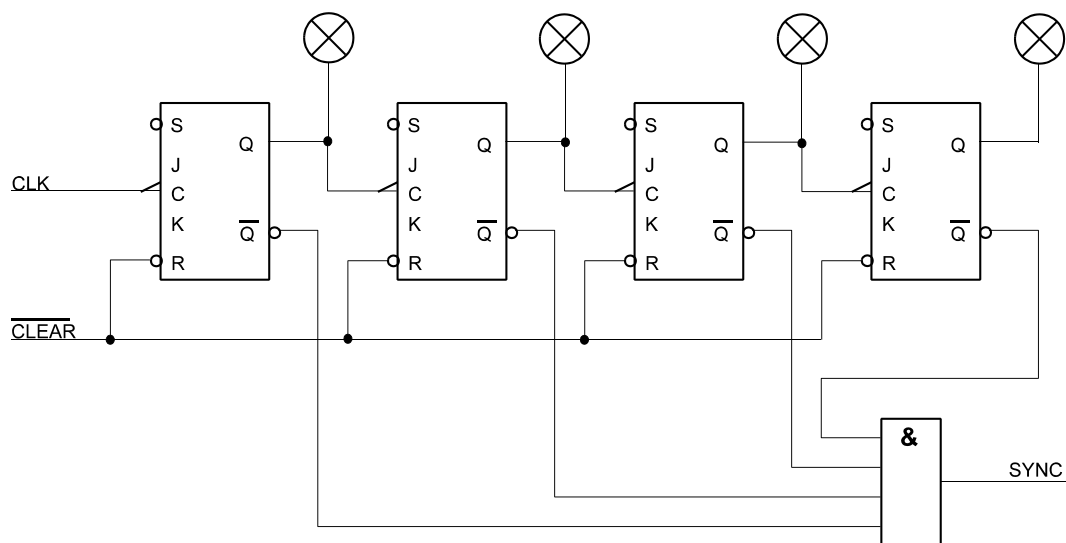


Abb. 7 Ein 4-Bit-Asynchrnzähler (Vorwärtszähler)

Aufgabe 5: Umbau des 4-Bit-Asynchrnzählers zum Rückwärtszähler

Wir lassen die Anordnung im Grunde so, wie sie ist und ändern lediglich die Polarität der Taktsignale (Abb. 8).

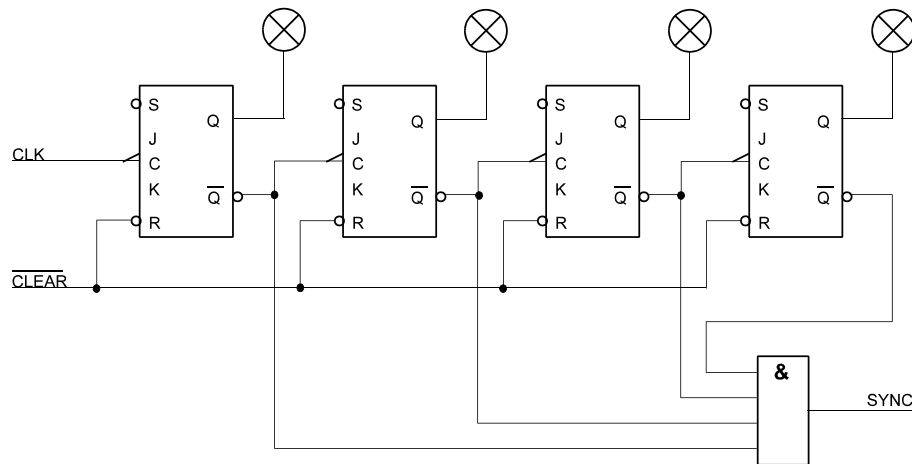


Abb. 8 Der zum Rückwärtszähler umgebaute Asynchrnzähler

Erprobung: zunächst statisch. Zähler löschen und dann Taktimpulse geben. Ein gelöschter Rückwärtszähler müßte von 0H auf FH zählen. Weshalb tut er das nicht? Erst nachdem wir einige Takte gegeben haben und der Zähler einmal den Wert FH erreicht hast, zählt er vernünftig (bis zum Nulldurchgang und erneutem Umschlagen nach FH anhand der LEDs kontrollieren).

Daran, daß der Zähler nach dem Löschen nicht sofort richtig arbeitet, sind die Flipflops schuld. Es handelt sich um den Typ 74111 mit Data Lockout (Abb. 9). Data Lockout bedeutet, daß die Eingangsbelegung mit der Low-High-Flanke des Taktes in den Master übernommen wird. Ist der Takt dann High, findet keine weitere Übernahme statt. Der als Takt für die nächste Stufe verwendete invertierte Flipflop-Ausgang liegt aber nach dem Löschen auf High. Das nachgeschaltete Flipflop bekommt also die zur Übernahme erforderliche Low-High-Flanke am Anfang gar nicht zu sehen. Ausweg: anfänglich wird anstelle von 0H der Wert FH eingestellt. Hierzu werden alle Flipflops gesetzt (Abb. 10). Erprobung: statisch und dynamisch gemäß Aufgabe 4 (die einzelnen Belegungen notieren, um das Zählverhalten zu erkennen).

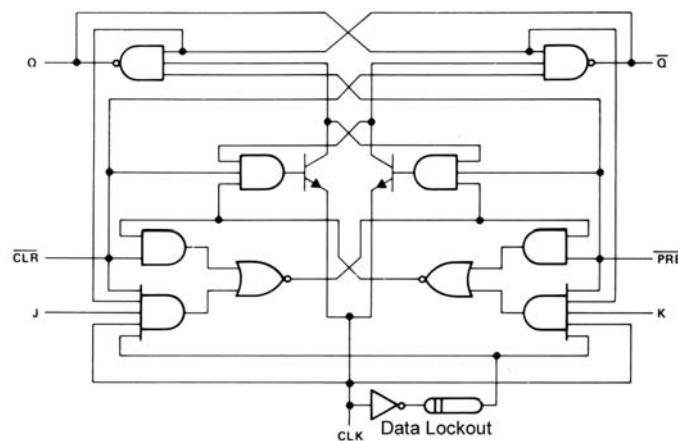


Abb. 9 Flipflop 74111 mit Data Lockout (Texas Instruments)

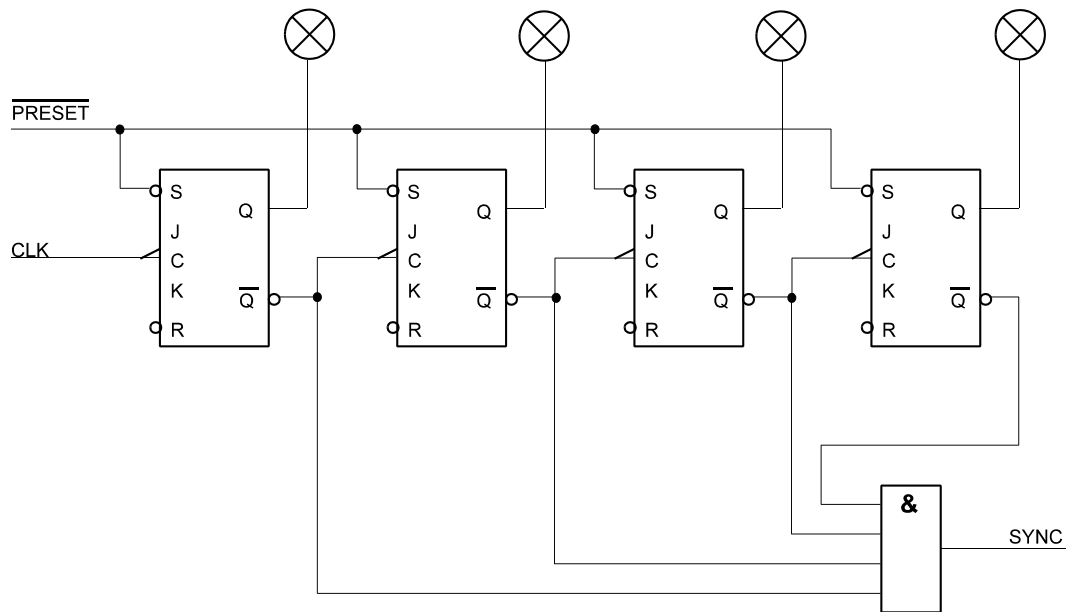


Abb. 10 So zählt der Rückwärtszähler von Anfang an richtig

Aufgabe 6: Bauen Sie einen 4-Bit-Ringzähler

Die Asynchronzählerschaltung komplett zerlegen und die erste Variante der Ringzählerschaltung stecken (Abb. 11). Es handelt sich im Grunde um ein Schieberegister, dessen Ausgang auf den Eingang zurückgeführt ist, so daß die jeweilige Belegung gleichsam im Kreis geschoben wird. Erprobung: statisch. Takte auslösen und Verhalten an den LEDs beobachten. Das offensichtliche Problem: wie kommen wir zu dem Bitmuster, das im Kreis zu schieben ist? Hierzu einen weiteren Schalter mit den Setz- oder Rücksetzeingängen der Flipflops nach eigener Wahl verbinden (z. B. erstes Flipflop setzen, die anderen löschen) und damit vor dem Schieben Anfangszustand einstellen.

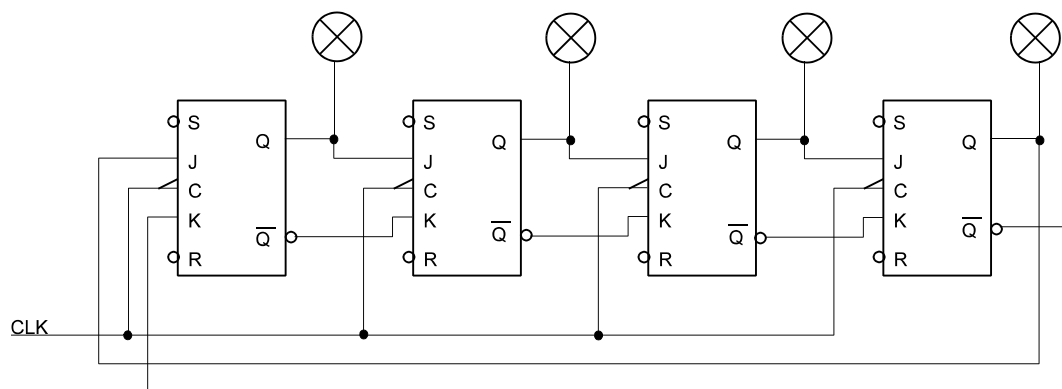


Abb. 11 Die einfachste Ringzählerschaltung. Noch fehlt was ...

Aufgabe 7: Ringzähler so umbauen, daß er von selbst einschwingt

Die Rückführung gemäß Abb. 12 abändern. Probieren Sie als Gatter sowohl ein NAND als auch ein NOR aus (wie bauen Sie ein 3fach-NOR mit den Gattern der Stecktafeln?). Welche Impulsmuster ergeben sich? Erprobung: statisch und dynamisch (vgl. Aufgabe 4). Das Ausgangssignal des Gatters dient zugleich als Synchronsignals für das Oszilloskop.

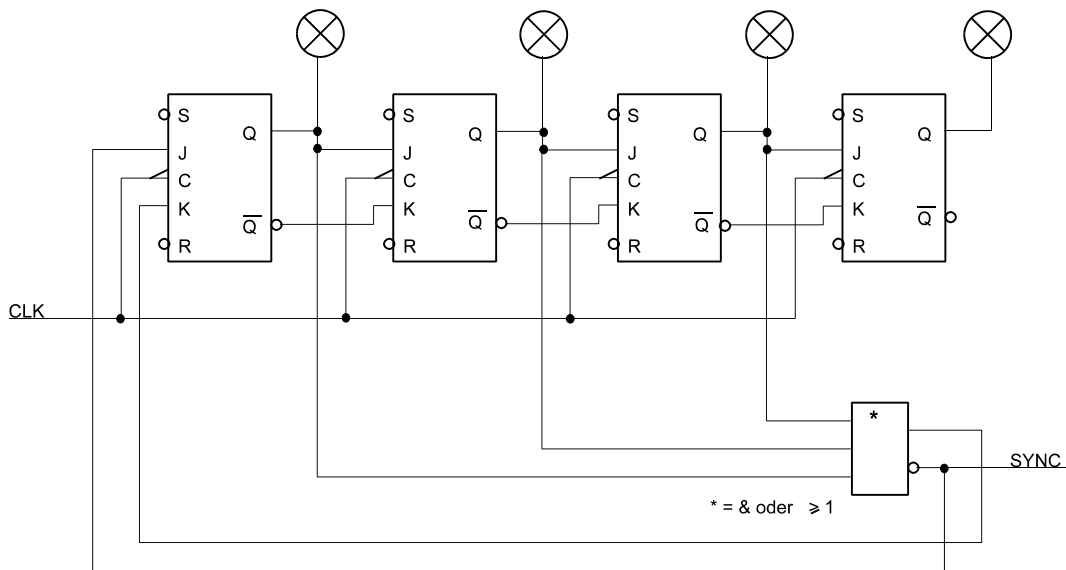


Abb. 12 Ein selbsteinschwingender Ringzähler

Aufgabe 8: Bauen Sie einen Johnson-Zähler mit vier Flipflops

Es genügt, im Aufbau gemäß Abb. 12 die Rückführung abzuändern (Abb. 13). Das Gatter kann angeschlossen bleiben (Synchronsignal). Es ist allerdings erforderlich, die Flipflops anfänglich zu löschen (man kann den Johnson-Zähler auch selbsteinschwingend auslegen; das wäre hier aber zuviel Stöpslei). Welche Zählweite wird jetzt erreicht? Erprobung: statisch und dynamisch (vgl. Aufgabe 4).

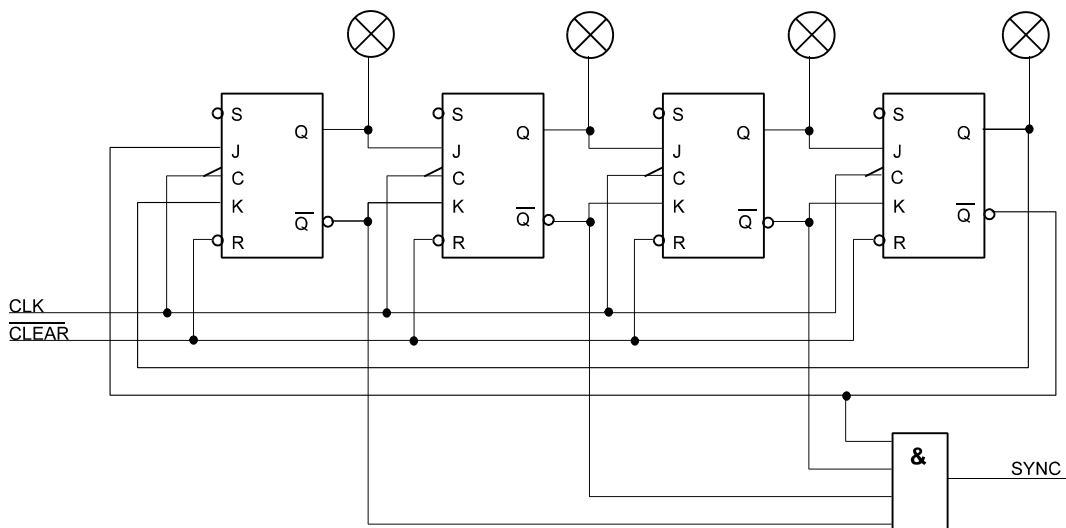


Abb. 13 Ein 4-Bit-Johnsonzähler

Aufgabe 9: Bauen Sie ein rückgekoppeltes Schieberegister mit maximaler Zykluslänge

Die für den Johnsonzähler aufgebaute Struktur kann entsprechend abgewandelt werden (Abb. 14). Es ist eine neue Rückführung erforderlich, die u. a. durch Antivalenzverknüpfung der Flipflopausgänge C und D gebildet werden kann. Schaltung zunächst statisch erproben. Was passiert, wenn wir nach dem Löschen Takte auslösen? Nichts – wie zu erwarten war (wenn an den Eingängen einer Antivalenzverknüpfung keine Eins auftritt, kann auch keine herauskommen, so daß im Schieberegister lediglich Nullen umlaufen). Abhilfe: wenigstens ein Flipflop setzen (CLEAR-Leitung vom R-Eingang an den S-Eingang verlegen). Erprobung: statisch und dynamisch (vgl. Aufgabe 4). Achten Sie auf die

Periode des Umlaufs (nach wievielen Takten sich das anfänglich eingestellte Muster wiederholt) und auf die Zählweise – es geht bunt durcheinander (Pseudo-Zufallsfolge). Probieren Sie (durch Umstecken des CLEAR-Signals) verschiedene Anfangswerte (Seed Values) durch. Notieren Sie die einzelnen Belegungen, um die Folge der Bitmuster zu erkennen. Es werden immer alle Muster (außer 0H) auftreten. Beim zyklischen Umlauf wiederholen sich die Muster immer wieder in gleicher Folge. Der Anfangswert bestimmt lediglich, an welcher Stelle die Bitmustererzeugung nach dem Rücksetzen beginnt. Wie sieht die Bitmusterfolge aus, wenn anstelle des Flipflops D das Flipflop A in die Antivalenzverknüpfung einbezogen wird?

Aufgabe 10: Erweitern Sie das rückgekoppelte Schieberegister so, daß es auch aus der Anfangsbelegung 0H anläuft

Zunächst wird das CLEAR-Signal wieder gemäß Abb. 14 an alle R-Eingänge angeschlossen. Der Grundgedanke: wenn das Register nur Nullen enthält, wird zwangweise (unabhängig von der Antivalenz) eine Eins eingespeist (Abb. 15). Erprobung: statisch und dynamisch (wie Aufgabe 9).

Aufgabe 11: Erweitern Sie das rückgekoppelte Schieberegister auf eine Periode von 2^n

Hierzu ist es erforderlich, die Belegung 0H als normales Bitmuster im Schieberegisterumlauf zuzulassen. Der Grundgedanke: wenn das Schieberegister den Wert 1 enthält, schieben wir zunächst eine 0 ein. Der Schieberegisterinhalt wird so zu Null. Daraufhin wird – nach dem Prinzip von Abb. 15 – wiederum eine Eins eingeschoben. Die Schaltung von Abb. 15 wird so erweitert, daß bei Erkennung der Belegung 1H die Einspeisung der Antivalenzverknüpfung unterdrückt wird (Abb. 16). Erprobung: statisch und dynamisch (wie Aufgabe 9).

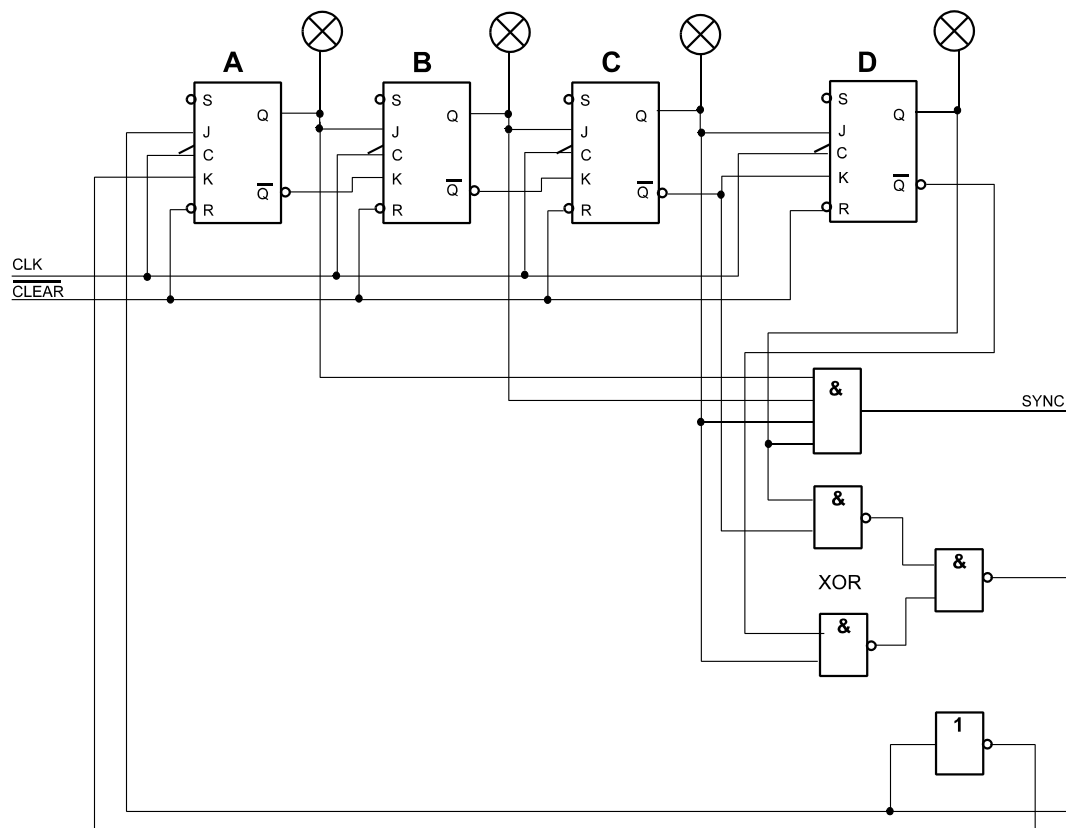


Abb. 14 Ein Schieberegister mit maximaler Zykluslänge. Damit es anschwingt, ist die CLEAR-Leitung bei wenigstens einem Flipflop auf den S-Eingang umzulegen. da die Belegung 0H (alles Nullen) nicht vorkommt, wird das SYNC-Signal bei Belegung FH (alles Einsen) abgegeben

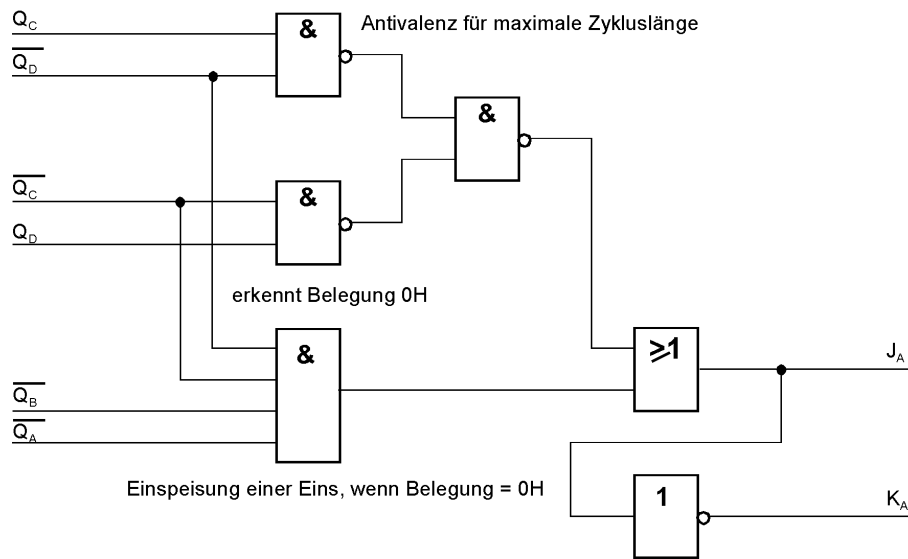


Abb. 15 Diese Abwandlung des Rückkopplungsnetzwerks gewährleistet ein Anschwingen bei Anfangszustand Null

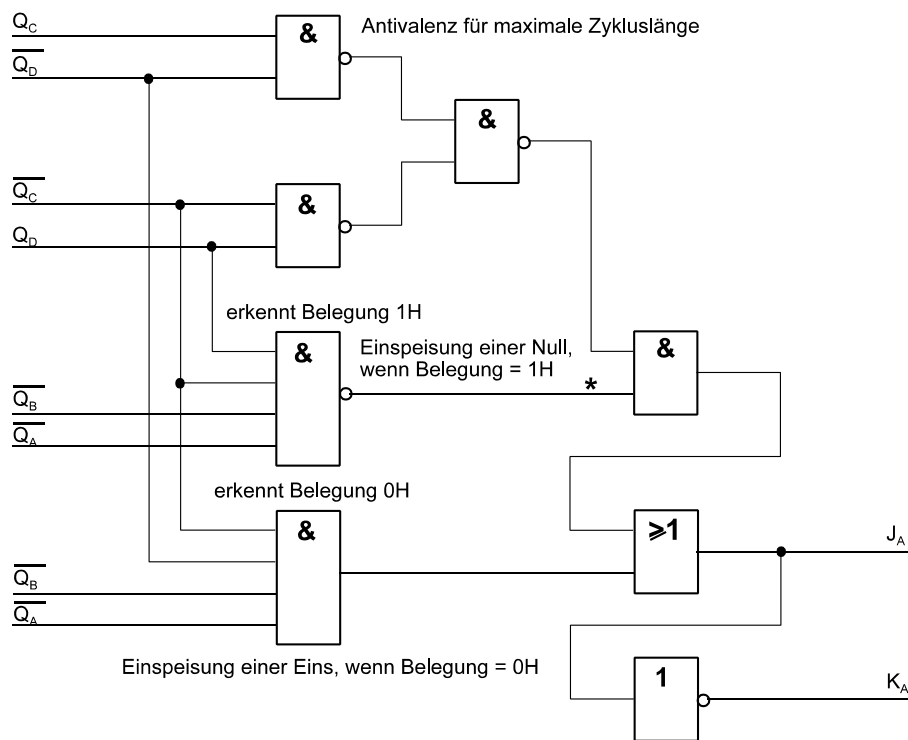


Abb. 16 Rückkopplungsnetzwerk, das die Periode auf 2^n erweitert. *): durch Abtrennen des Vierfach-UND, das die Belegung 1H erkennt, verringert sich die Periode von 16 auf 15 (ausprobieren)