

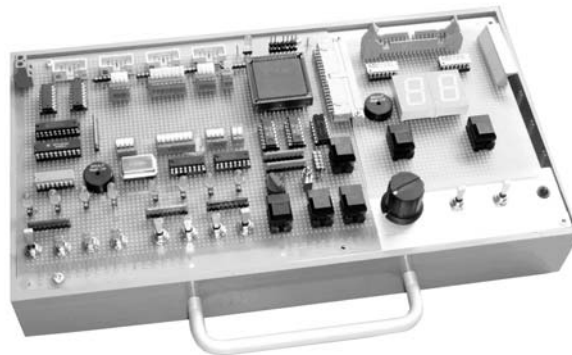
CPLD-Übungstafel 07b (UeCPLD 07b)

Kurzbeschreibung

Stand: 02 vom 9. 6. 08

Verwendungszweck:

Aufbau und Betrieb von Versuchsschaltungen in CPLDs Xilinx XC95108 PC84.



Ausstattung:

- CPLD mit 69 Signalanschlüssen,
- Übungstafel faßt die 69 Signale in A, B, C, D, E, F, G, H, S, T zusammen,
- 8 Schalter mit Tastfunktion (nicht entprellt),
- 2 Tasten, entprellt,
- 1 Incrementalgeber (nicht entprellt),

- Piezo-Schallgeber (mit NF-Signal anzusteuern),
- LED-Anzeige für Port E (8 LEDs),
- Ports E, H, S und T an Klemmen geführt,
- Portanschlüsse für Portadapter PPKI 04 und Experimentiertafeln (wie UeIDE 04 oder Portadapter 03f oder Einheitsgerät EG 01 n. A.),
- Taktsignale von mehreren MHz bis 2 Hz sowie Handtakt,
- Takterzeugung mit Quarz-Taktgenerator (z. B. 4 MHz; auswechselbar), mit Zählerschaltkreis 40960 und Quarz 32,768 kHz sowie mittels Taste,
- Takttaste,
- Rücksetztaste,
- Bedienelemente (Moduswahl, Auslösung, Anzeige) für (im CPLD zu realisierende) Taktstoplogik (ansonsten sind diese Bedienelemente frei nutzbar),
- alle zur CPLD geführten Eingangssignale kommen von Open-Collector-Stufen. Deshalb keine Konflikte, wenn ungenutzte CPLD-Anschlüsse durch Programmierung auf Masse geschaltet werden.
- Programmieranschluß (JTAG) für Xilinx-Programmierkabel.

Spannungsversorgung: + 5 V.

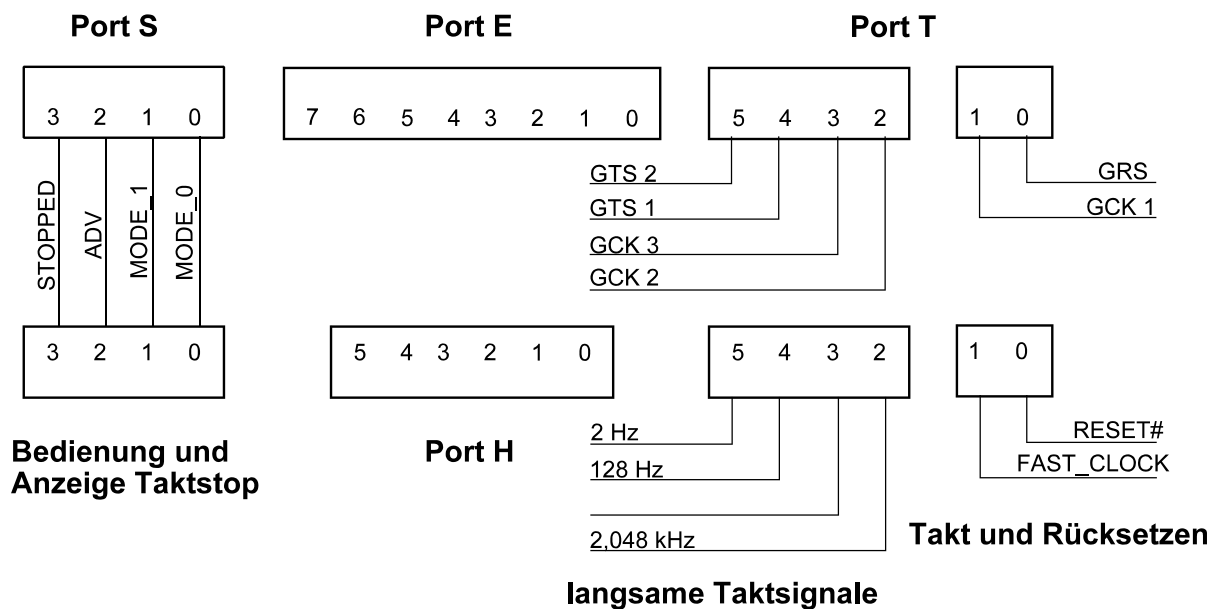
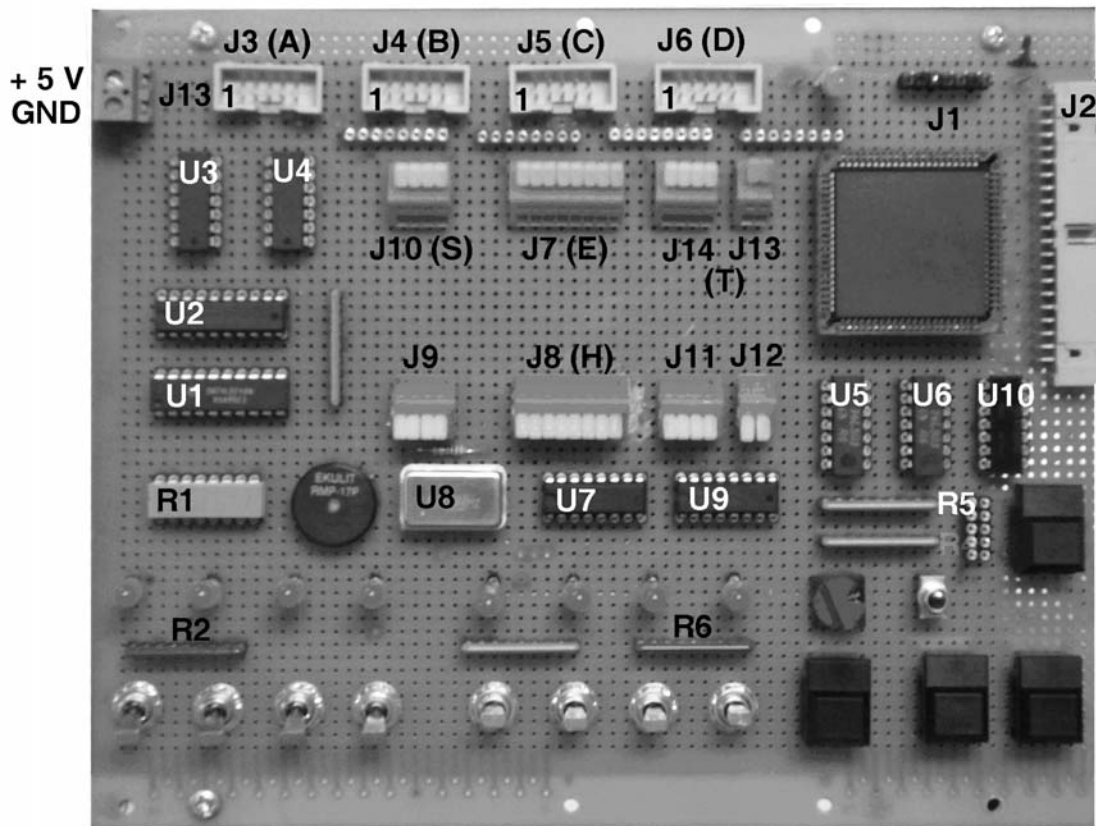
Übersicht über die Ports:

- Port A. 8 Bits A7...A0. Fest an Experimentiertafel- und Portadapteranschluß.
- Port B. 8 Bits B7...B0. Fest an Experimentiertafel- und Portadapteranschluß.
- Port C. 8 Bits C7...C0. Fest an Experimentiertafel- und Portadapteranschluß.
- Port D. 8 Bits D7...D0. Fest an Experimentiertafel- und Portadapteranschluß.
- Port E. 8 Bits E7...E0. Leuchtanzeige mit 8 LEDs. An Klemmen geführt.
- Port F. 8 Bits F7...F0. Mit 8 Schaltern verbunden.
- Port G. 5 Bits G4...G0. Zwei Tasten, Incrementalgeber, Schallgeber.
- Port H. 6 Bits H5...H0. Über Klemmen frei verfügbar.
- Port S. 4 Bits S3...S0. Vorzugsweise zur Steuerung einer in den CPLD-Schaltkreis einzubauenden Taktstoplogik.
- Port T. 6 Bits T5...T0. In diesem Port sind die allgemeinen Steuersignale (GTS, GCLK, GRS) zusammengefaßt.

An Klemmen: Ports E, H, S, T.

Zuordnung der 8-Bit-Ports zu den CPLD-Pins:

Bit	Port A	Port B	Port C	Port D	Port E	Port F	Port G	Port H	Port S	Port T
0	1	2	3	4	5	6	7 (BEEPER)	11	13 (MODE_0)	74 (GSR)
1	71	72	75	79	80	81	82 (KEY_0)	83	84 (MODE_1)	9 (GCK1)
2	14	15	17	18	19	20	21 (KEY_1)	23	24 (ADV)	10 (GCK2)
3	57	58	61	62	63	65	66 (INCR_A)	67	68 (STOP.D)	12 (GCK3)
4	32	33	34	35	36	37	39 (INCR_B)	40		76 (GTS1)
5	45	46	47	48	50	51		52		77 (GTS2)
6	25	26	31	69	70	41				
7	43	44	53	54	55	56				



Port A:

Fest an Experimentiertafel- und Portadapteranschluß.

A7	A6	A5	A4	A3	A2	A1	A0
----	----	----	----	----	----	----	----

Port B:

Fest an Experimentiertafel- und Portadapteranschluß.

B7	B6	B5	B4	B3	B2	B1	B0
----	----	----	----	----	----	----	----

Port C:

Fest an Experimentiertafel- und Portadapteranschluß.

C7	C6	C5	C4	C3	C2	C1	C0
----	----	----	----	----	----	----	----

Port D:

Fest an Experimentiertafel- und Portadapteranschluß.

D7	D6	D5	D4	D3	D2	D1	D0
----	----	----	----	----	----	----	----

Port E:

An Klemmen und 8 einzelne LEDs geführt. Anzeige aktiv High. Belastet die Signale nicht (Anschluß über Puffer).

E7	E6	E5	E4	E3	E2	E1	E0
----	----	----	----	----	----	----	----

Port F:

8 fest angeschlossene Schalter. Aktiv High. Nicht prellfrei.

F7	F6	F5	F4	F3	F2	F1	F0
SW_7	SW_6	SW_5	SW_4	SW_3	SW_2	SW_1	SW_0

Port G:

Fest angeschlossen sind 2 Tasten (prellfrei), 1 Incrementalgeber (nicht prellfrei) und ein Schallgeber. Alles aktiv High.

G4	G3	G2	G1	G0
INCR_B	INCR_A	KEY_1	KEY_0	BEEPER

Port E:

An Klemmen geführt.

H5	H4	H3	H2	H1	H0
----	----	----	----	----	----

Port S:

An Klemmen geführt. Vorzugsweise zum Anschließen der Bedien- und Anzeigemittel einer in den CPLD-Schaltkreis einzubauenden Taktstoplogik. Betriebsart = MODE_1, MODE_ = (nicht prellfrei), Taktauslösung = ADV (prellfrei). Alles aktiv High. Stopanzeige = STOPPED#. Aktiv Low.

S3	S2	S1	S0
STOPPED#	ADV	MODE_1	MODE_0

Port T:

An Klemmen geführt. Umfaßt alle gemeinsamen Steuersignale (GTS, GCK, GSR).

T5	T4	T3	T2	T1	T0
GTS2	GTS1	GCK3	GCK2	GCK1	GSR

Bedienelemente für Taktstoplogik an Klemmen:

3	2	1	0
STOP_LED#	ADV	MODE_1	MODE_0

Takt- und Rücksetzsignale an Klemmen:

5	4	3	2	1	0
2 Hz	128 Hz	512 Hz	2,048 kHz	FAST CLOCK	RESET#

Takterzeugung:

1. Quarzgenerator. Formfaktor DIL-14. Industriestandard. Frequenzänderung durch Auswechseln.
2. Zählerschaltkreis 4060 mit Quarz 32,768 kHz.

Ausgangssignale Zählerschaltkreis 4060 bei Taktfrequenz 32,768 kHz:

Ausgang	Teilverhältnis	Frequenz	Periodendauer
7	$1:2^4 = 1:16$	2,048 kHz	488,28 μ s
5	$1:2^5 = 1:32$	1,024 kHz	0,97656 ms
4	$1:2^6 = 1:64$	512 Hz	1,9531 ms
6	$1:2^7 = 1:128$	256 Hz	3,9062 ms
14	$1:2^8 = 1:256$	128 Hz	7,8125 ms
13	$1:2^9 = 1:512$	64 Hz	15,625 ms
15	$1:2^{10} = 1:1\ 024$	32 Hz	31,25 ms
1	$1:2^{12} = 1:4\ 096$	8 Hz	125 ms
2	$1:2^{13} = 1:8\ 192$	4 Hz	250 ms
3	$1:2^{14} = 1:16\ 384$	2 Hz	500 ms

Vorzugsnutzung der Takte:

- 2 Hz: für den langsamen Durchlauf,
- 128 Hz: Takt für Entprellzwecke (ca. 8 ms),
- 512 Hz: Grundtakt zur Aufbereitung weiterer "langsamer" Taktsignale,
- 2,048 kHz: wie 512 Hz.
- FAST CLOCK: der normale Betriebstakt. Wird typischerweise mit Vorzugs-Takteingang GCK1 verbunden.

FAST CLOCK: Auswahl über Drehschalter und Wahlschalter AUTO/MAN.

Taktauswahl über Drehschalter:

Schalterstellung	Taktfrequenz	Schalterstellung	Taktfrequenz
0	2 Hz	4	128 Hz
1	4 Hz	5	512 Hz
2	8 Hz	6	2,048 kHz
3	32 Hz	7	Quarzgenerator, z. B. 4 MHz

Wahlschalter AUTO/MAN:

- AUTO: Takt gemäß Schiebeschalter,
- MAN: Takt von Taktaste. Prellfrei. Aktiv High.

Umschaltung AUTO/MAN ist nicht prellfrei.

Rücksetzen:

Mittels Rücksetztaste. Prellfrei. Aktiv Low.

Takt- und Rücksetztaste sind frei nutzbar und können auch anderweitig verwendet werden. Ebenso ist es möglich, über die Klemmen des Ports T Taktsignale andere Herkunft zuzuführen.

Experimentiertafelanschluß (wie Portadapter 03-32, UeIDE 04a und EG 01 n. A.):

1	1	+ 5 V (V_{CC})	2	1	GND
3	2	A0	4	2	A1
5	3	A2	6	3	A3
7	4	GND	8	4	A5
9	5	A4	10	5	A7
11	6	A6	12	6	GND
13	7	B0	14	7	B1
15	8	B2	16	8	B3
17	9	GND	18	9	C1
19	10	C0	20	10	C3
21	11	C2	22	11	GND
23	12	C4	24	12	C5
25	13	C6	26	13	C7
27	14	GND	28	14	D1
29	15	D0	30	15	D3
31	16	D2	32	16	GND
33	17	D4	34	17	D5
35	18	D6	36	18	D7
37	19	B4 ^{*)}	38	19	B5 ^{*)}
39	20	B6 ^{*)}	40	20	B7 ^{*)}

^{*)}: nicht bei EG 01 n. A.

Anschlußbelegung CPLD XC95108 PC84 (1). Logiksignale:

Function Block	Macrocell	PC84	Port	Notes	Function Block	Macrocell	PC84	Port	Function Block	Macrocell	PC84	Port
1	1	–			3	1	–		5	1	–	
1	2	1	A0		3	2	14	A2	5	2	32	A4
1	3	2	B0		3	3	15	B2	5	3	33	B4
1	4	–			3	4	–		5	4	–	
1	5	3	C0		3	5	17	C2	5	5	34	C4
1	6	4	D0		3	6	18	D2	5	6	35	D4
1	7	–			3	7	–		5	7	–	
1	8	5	E0		3	8	19	E2	5	8	36	E4
1	9	6	F0		3	9	20	F2	5	9	37	F4
1	10	–			3	10	–		5	10	–	
1	11	7	G0		3	11	21	G2	5	11	39	G4
1	12	9	T1	[1]	3	12	23	H2	5	12	40	H4
1	13	–			3	13	–		5	13	–	
1	14	10	T2	[1]	3	14	24	S2	5	14	41	F6
1	15	11	H0		3	15	25	A6	5	15	43	A7
1	16	12	T3	[1]	3	16	26	B6	5	16	–	
1	17	13	S0		3	17	31	C6	5	17	44	B7
1	18	–			3	18	–		5	18	–	
2	1	–			4	1	–		6	1	–	
2	2	71	A1		4	2	57	A3	6	2	45	A5
2	3	72	B1		4	3	58	B3	6	3	46	B5
2	4	–			4	4	–		6	4	–	
2	5	74	T0	[1]	4	5	61	C3	6	5	47	C5
2	6	75	C1		4	6	62	D3	6	6	48	D5
2	7	–			4	7	–		6	7	–	
2	8	76	T4	[1]	4	8	63	E3	6	8	50	E5
2	9	77	T5	[1]	4	9	65	F3	6	9	51	F5
2	10	–			4	10	–		6	10	–	
2	11	79	D1		4	11	66	G3	6	11	52	H5
2	12	80	E1		4	12	67	H3	6	12	53	C7
2	13	–			4	13	–		6	13	–	
2	14	81	F1		4	14	68	S3	6	14	54	D7
2	15	82	G1		4	15	69	D6	6	15	55	E7
2	16	83	H1		4	16	–		6	16	–	
2	17	84	S1		4	17	70	E6	6	17	56	F7
2	18	–			4	18	–		6	18	–	

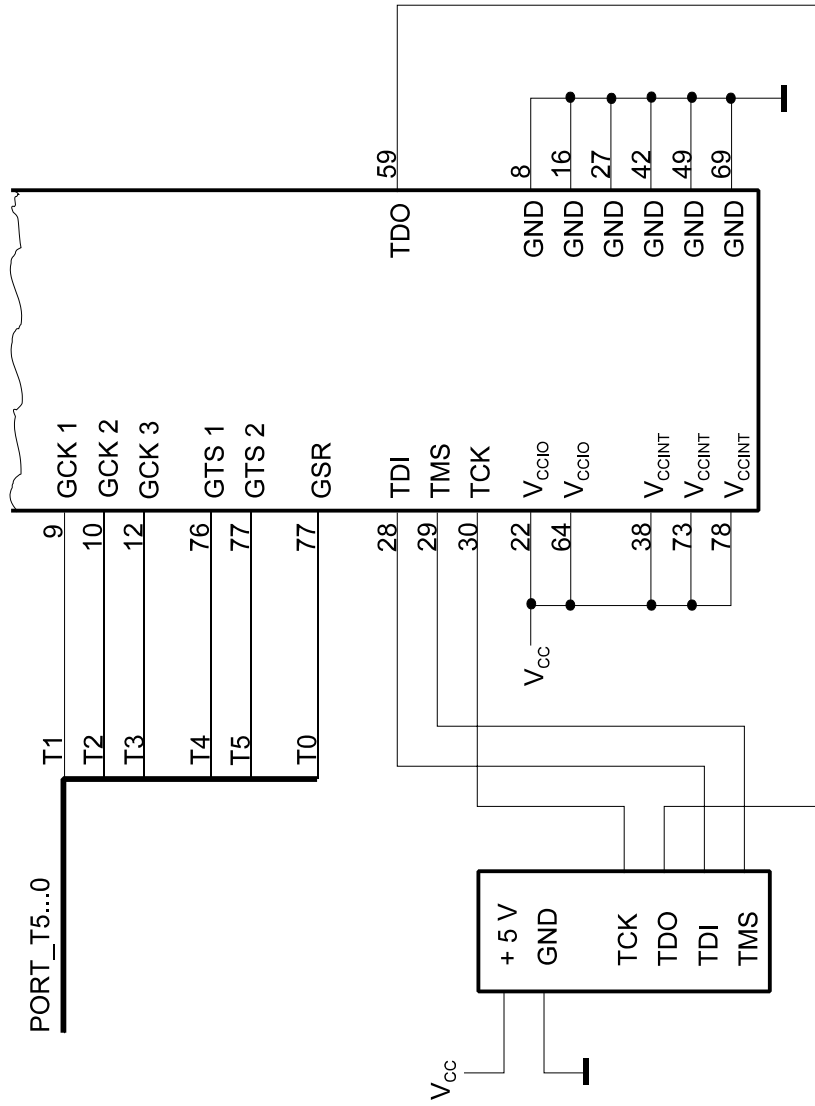
Anschlußbelegung CPLD XC95108 PC84 (2). Steuersignale, Programmierung, Spannungsversorgung, Masse:

Pin Type	PC84
I/O/GCK1	9
I/O/GCK2	10
I/O/GCK3	12
I/O/GTS1	76
I/O/GTS2	77
I/O/GSR	74
TCK	30
TDI	28
TDO	59
TMS	29
V _{CCINT} 5 V	38,73,78
V _{CCIO} 3.3 V/5 V	22,64
GND	8,16,27,42,49,60

		CPLD XC95108 PC84			
A0	1	FB 1	FB 2	71	A1
B0	2	2	2	72	B1
C0	3	3	3	75	C1
D0	4	5	6	79	D1
E0	5	6	11	80	E1
F0	6	8	12	81	F1
G0	7	9	14	82	G1
H0	11	11	15	83	H1
S0	13	15	16	84	S1
		17	17		
A2	14	FB 3	FB 4	57	A3
B2	15	2	2	58	B3
C2	17	3	3	61	C3
D2	18	5	5	62	D3
E2	19	6	6	63	E3
F2	20	8	8	65	F3
G2	21	9	9	66	G3
H2	23	11	11	67	H3
S2	24	12	12	68	S3
A6	25	14	14	69	D6
B6	26	15	15	70	E6
C6	31	16	17		
		17			
A4	32	FB 5	FB 6	45	A5
B4	33	2	2	46	B5
C4	34	3	3	47	C5
D4	35	5	5	48	D5
E4	36	6	6	50	E5
F4	37	8	8	51	F5
G4	39	9	9	52	H5
H4	40	11	11	53	C7
F6	41	12	12	54	D7
A7	43	14	14	55	E7
B7	44	15	15	56	F7
		17	17		

CPLD-Übungstafel 07b
CPLD-Schaltkreis (1 v. 2)

Blatt 1 von 16
 Stand: 1.1 vom 5. 4. 07



CPLD-Übungstafel 07b
CPLD-Schaltkreis (2 v. 2)

Blatt 2 von 16

Stand: 1.1 vom 5. 4. 07

B0	0
B1	1
B2	2
B3	3
B4	4
B5	5
B6	6
B7	7

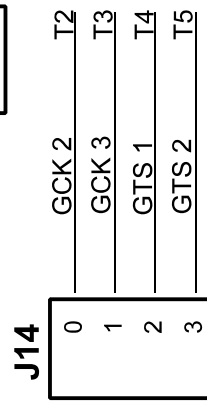
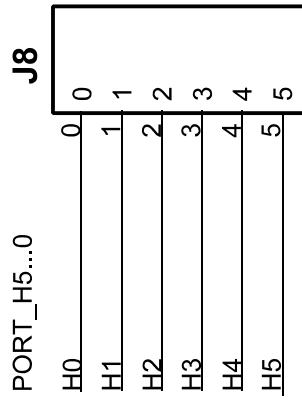
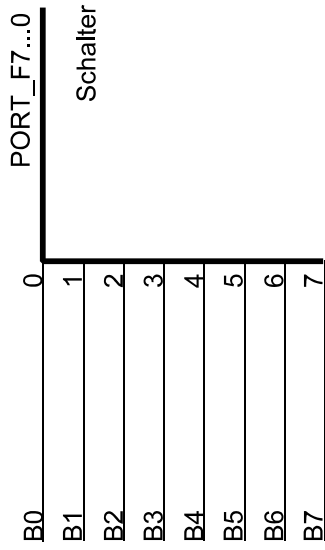
A0	0
A1	1
A2	2
A3	3
A4	4
A5	5
A6	6
A7	7

D0	0
D1	1
D2	2
D3	3
D4	4
D5	5
D6	6
D7	7

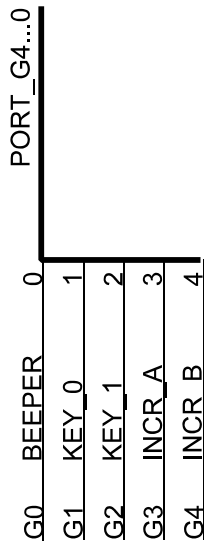
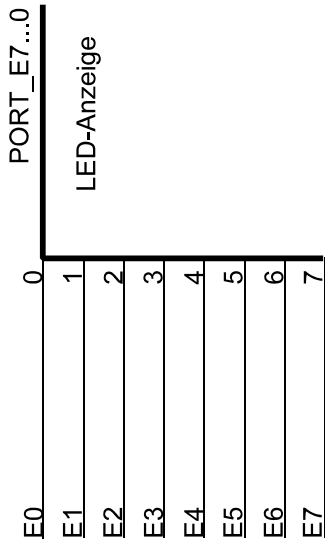
C0	0
C1	1
C2	2
C3	3
C4	4
C5	5
C6	6
C7	7

CPLD-Übungstafel 07b
Ports A, B, C, D

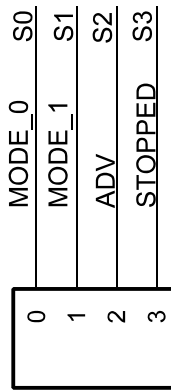
Blatt 3 von 16
 Stand: 1.1 vom 5. 4. 07



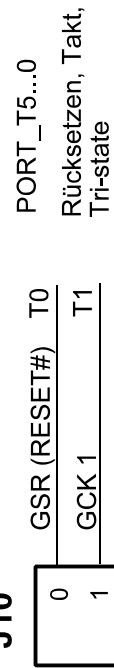
CPLD-Übungstafel 07b
Ports E, F, G, H, S, T
 Blatt 4 von 16
 Stand: 1.1 vom 5. 4. 07



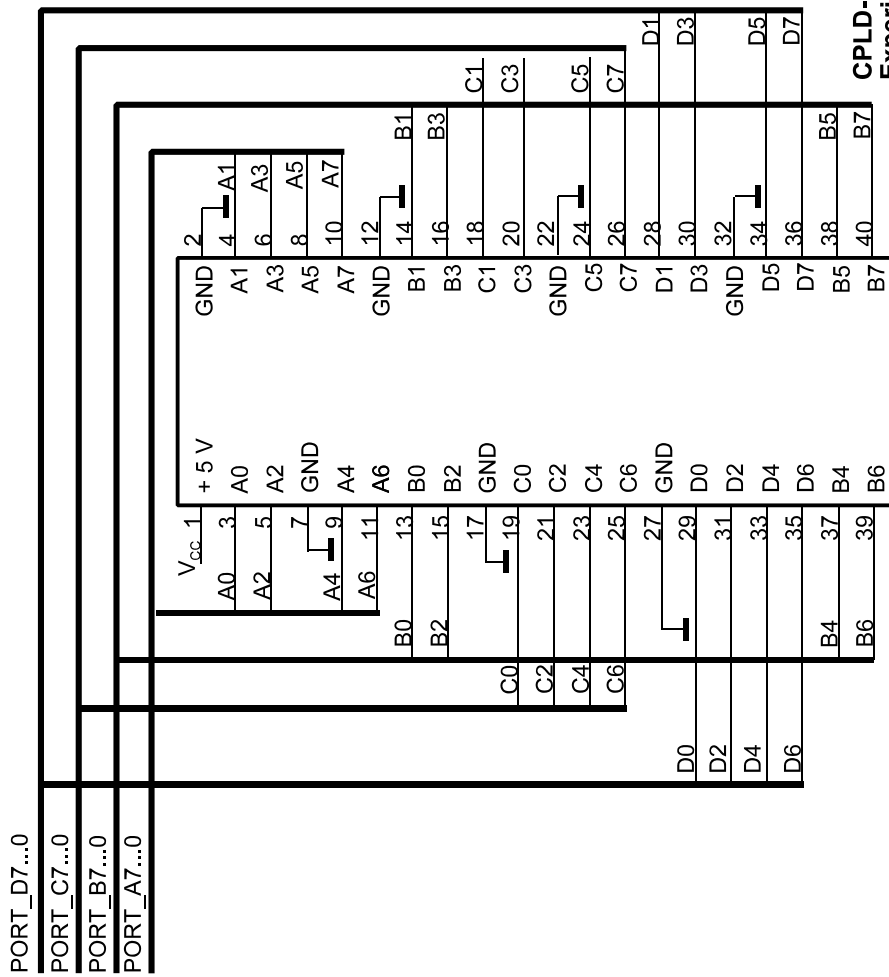
PORT_S3...0 Stop-Logik



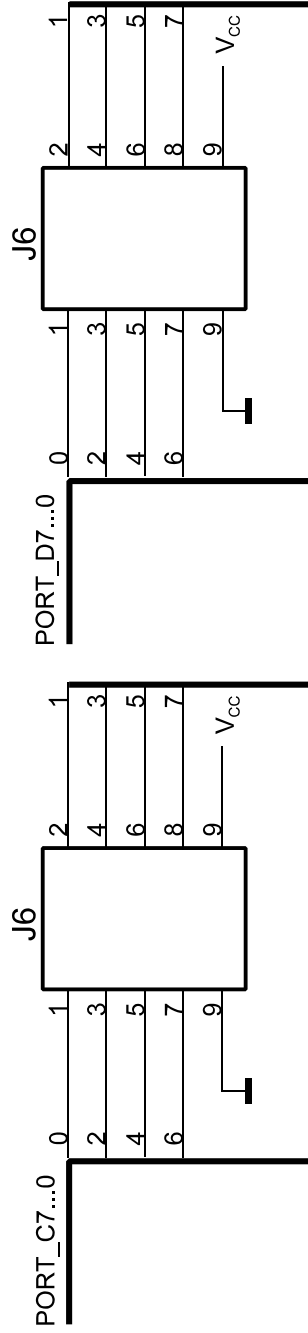
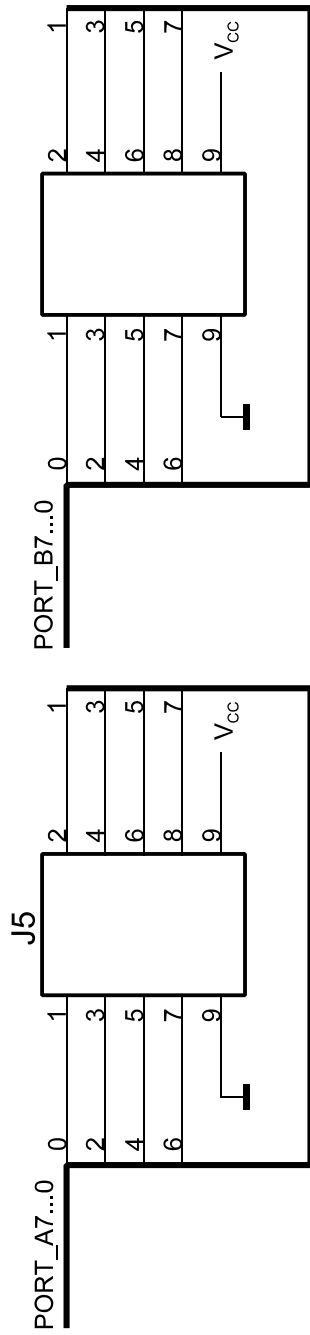
J10



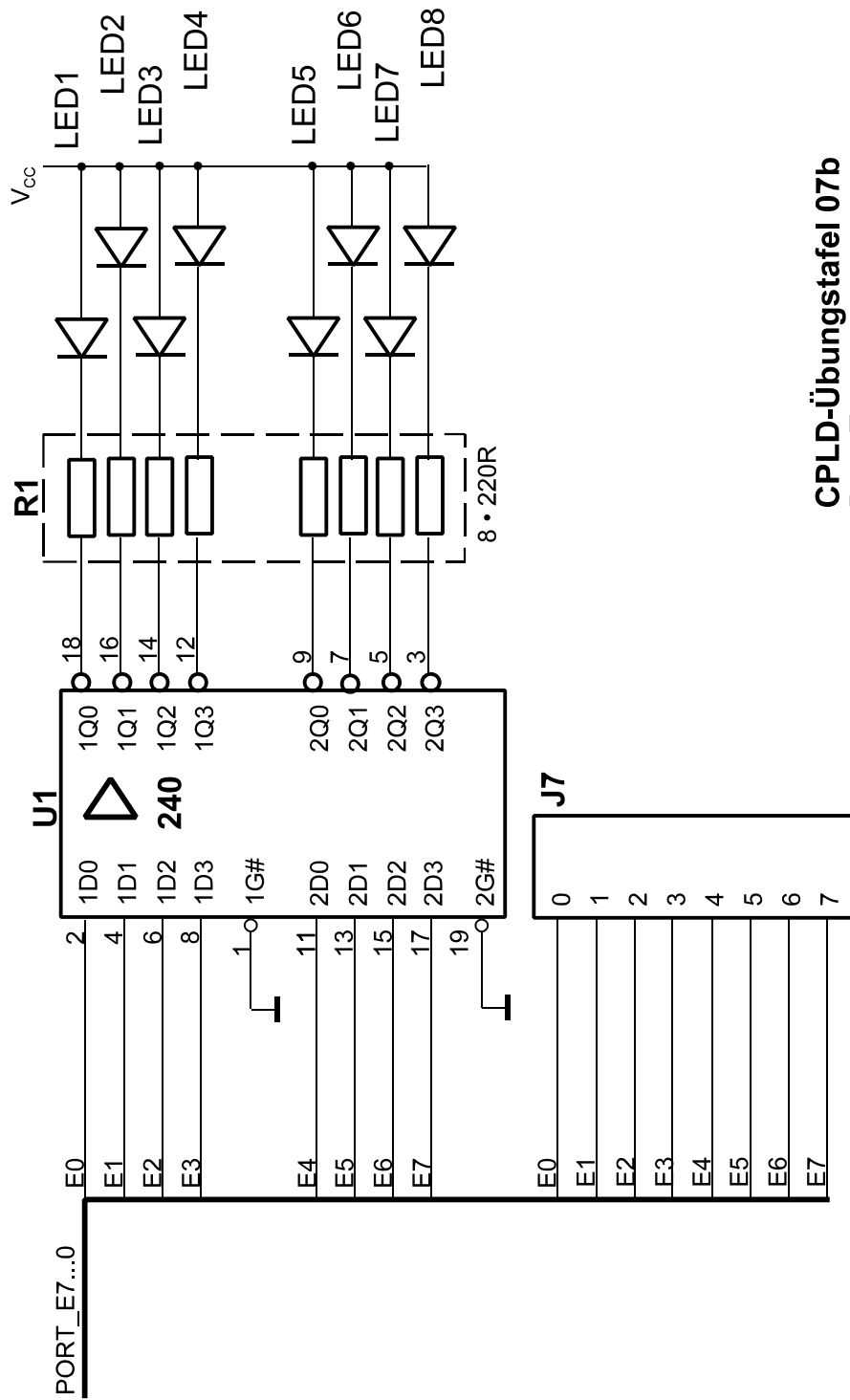
J13



CPLD-Übungstafel 07b
Experimentiertafelanschluß
 Blatt 5 von 16
 Stand: 1.1 vom 5. 4. 07

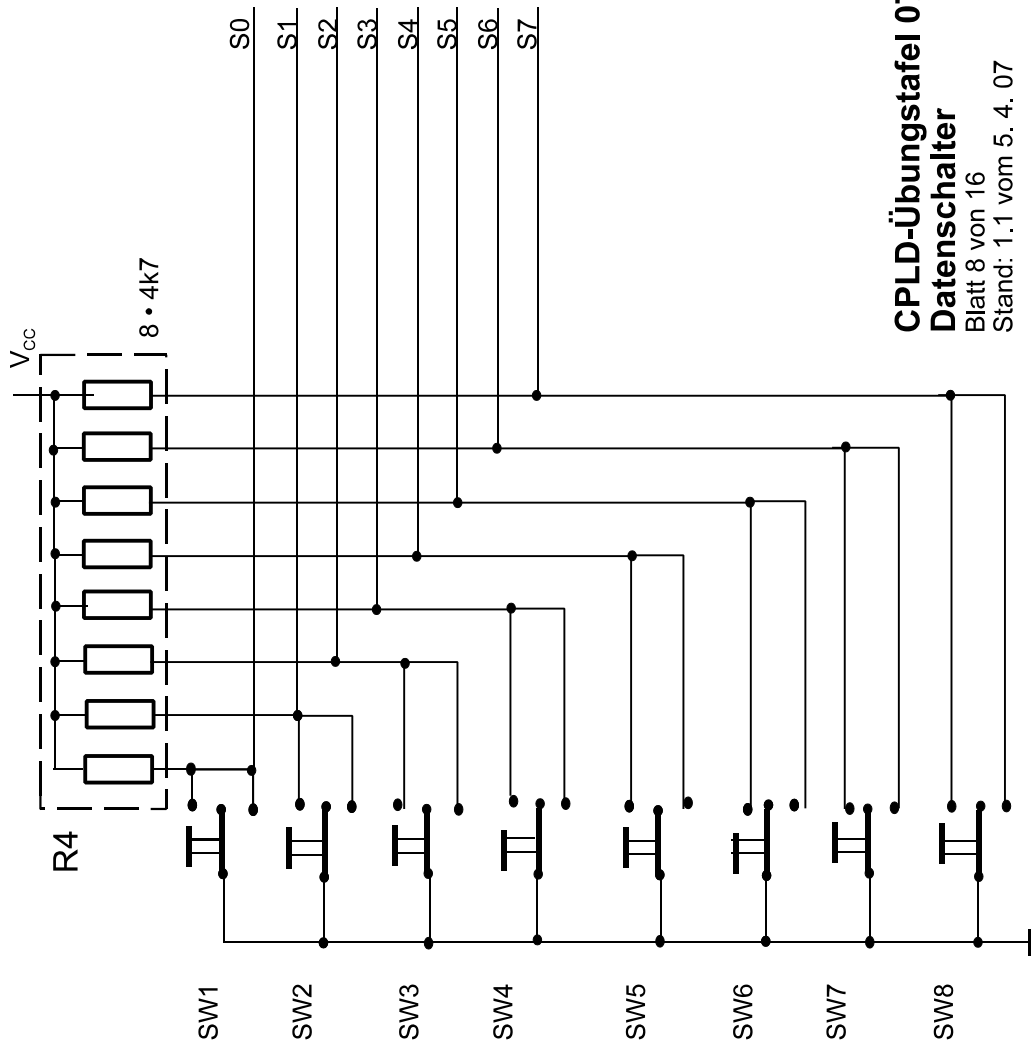


CPLD-Übungstafel 07b
Externanschlüsse
Blatt 6 von 16
Stand: 1.1 vom 5. 4. 07

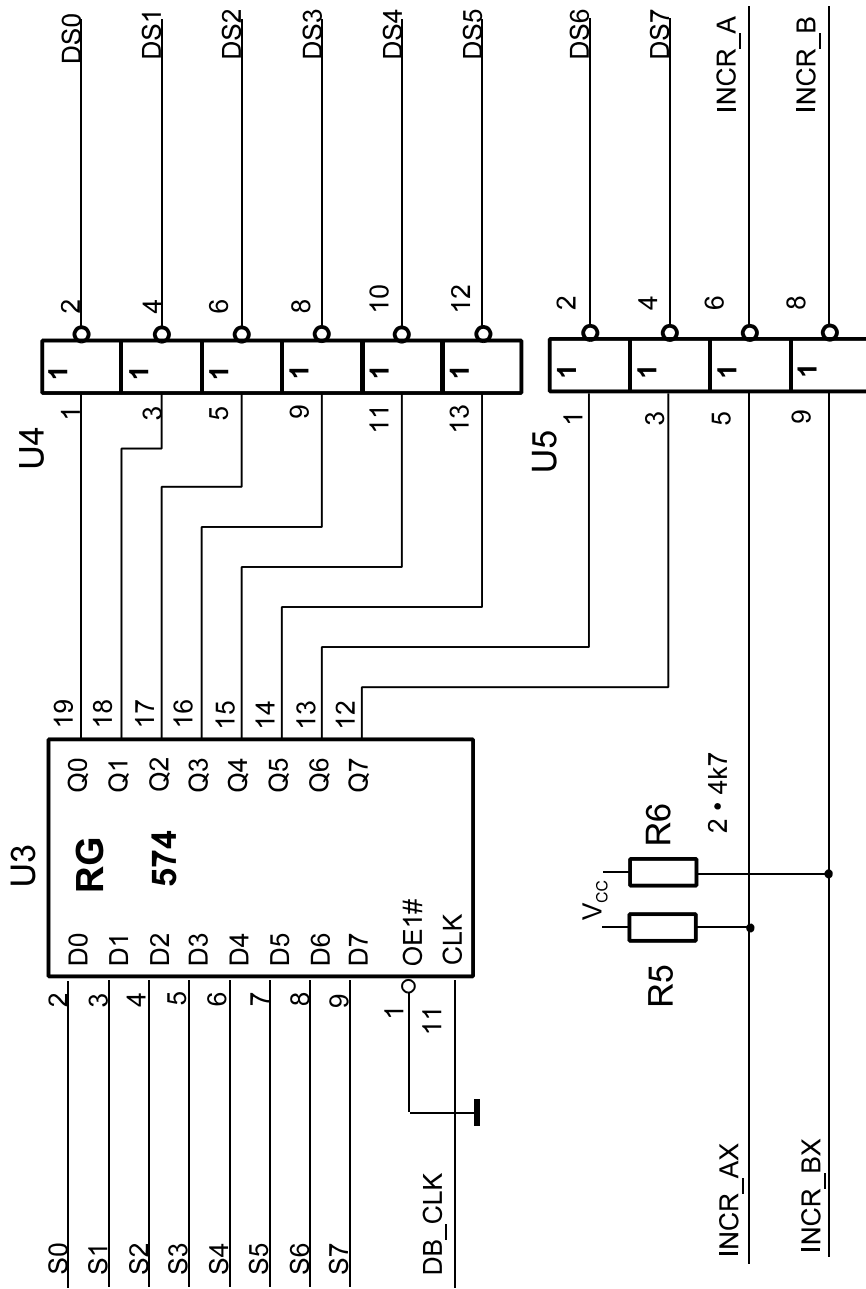


CPLD-Übungstafel 07b
Port E

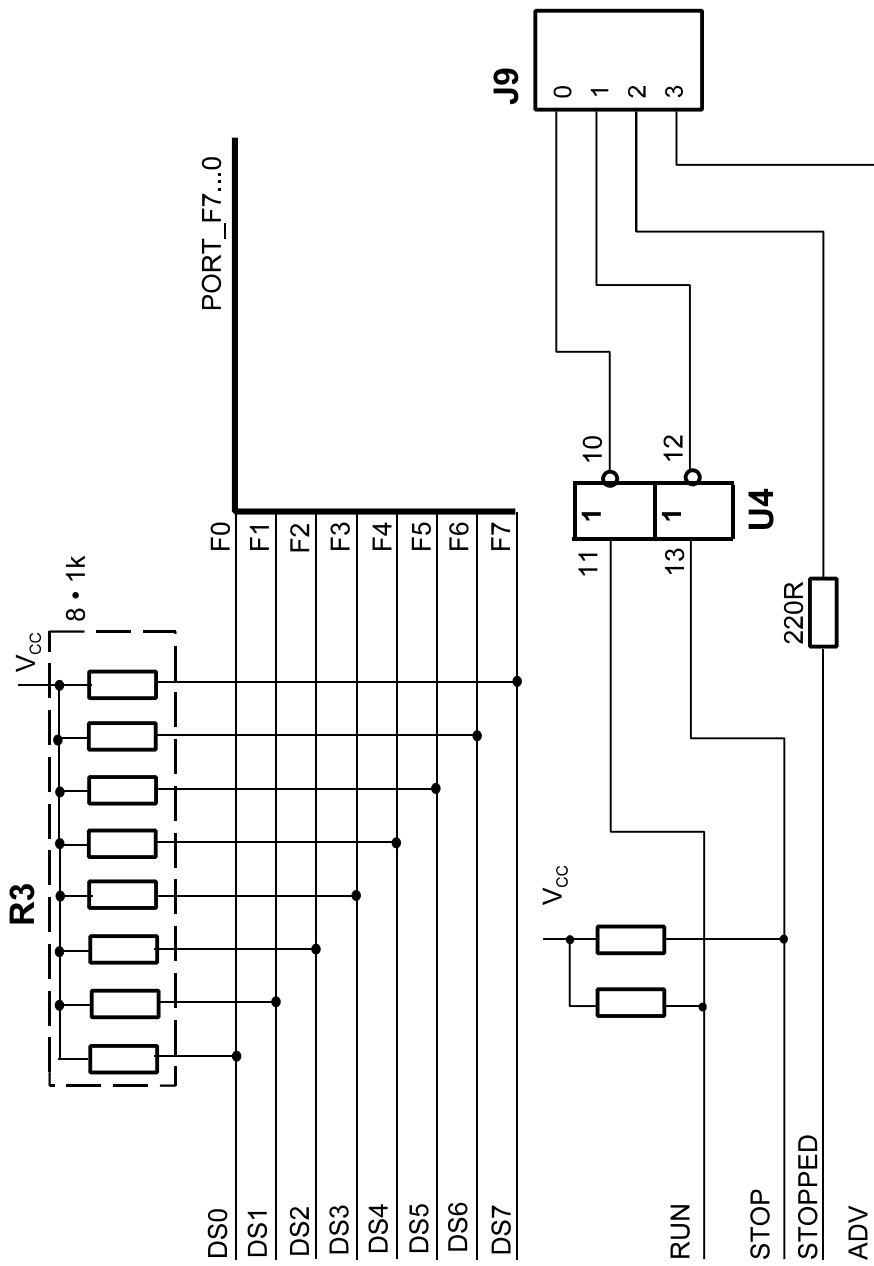
Blatt 7 von 16
 Stand: 1.1 vom 5. 4. 07



CPLD-Übungstafel 07b
Datenschalter
Blatt 8 von 16
Stand: 1.1 vom 5. 4. 07

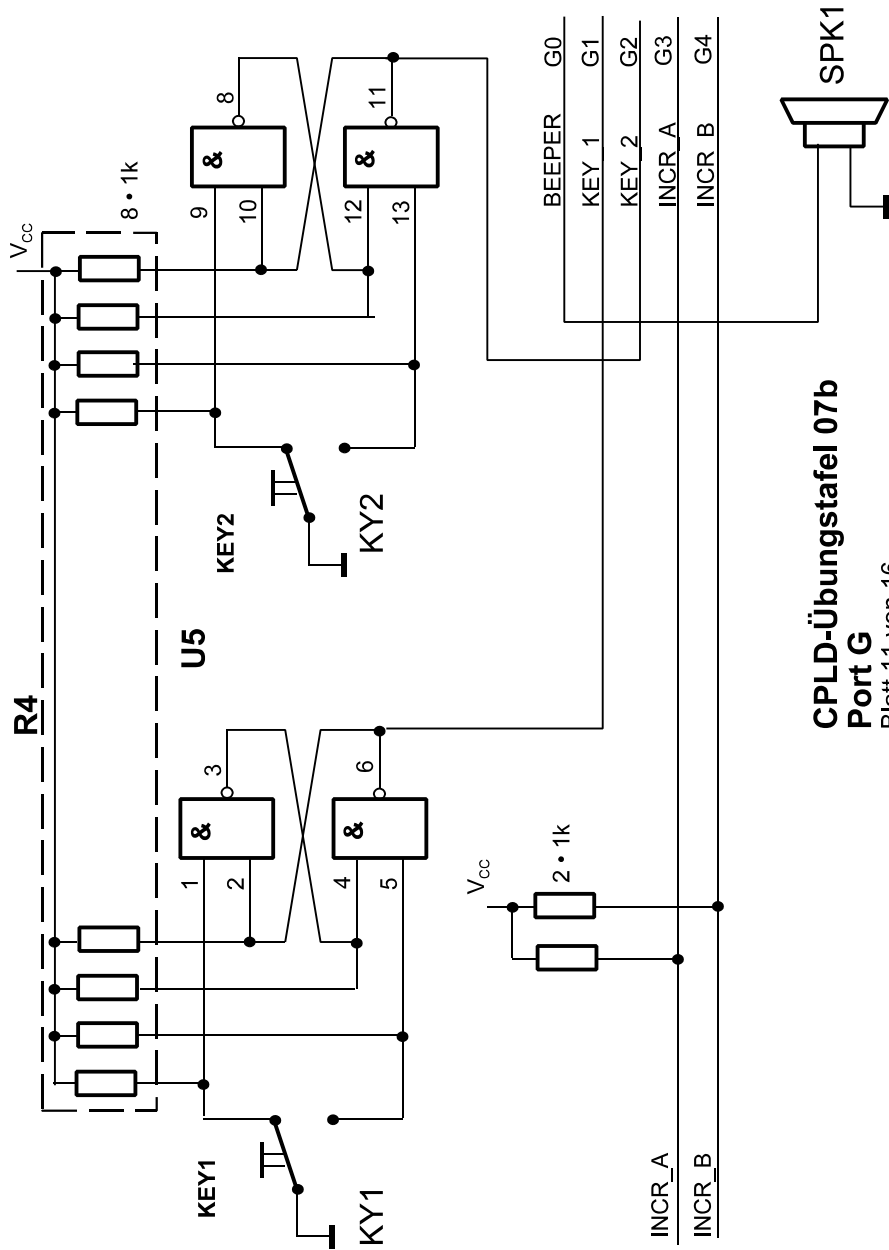


CPLD-Übungstafel 07b
Datenschalter (2)
 Blatt 9 von 16
 Stand: 1.1 vom 5. 4. 07



CPLD-Übungstafel 07b
Ports F und S

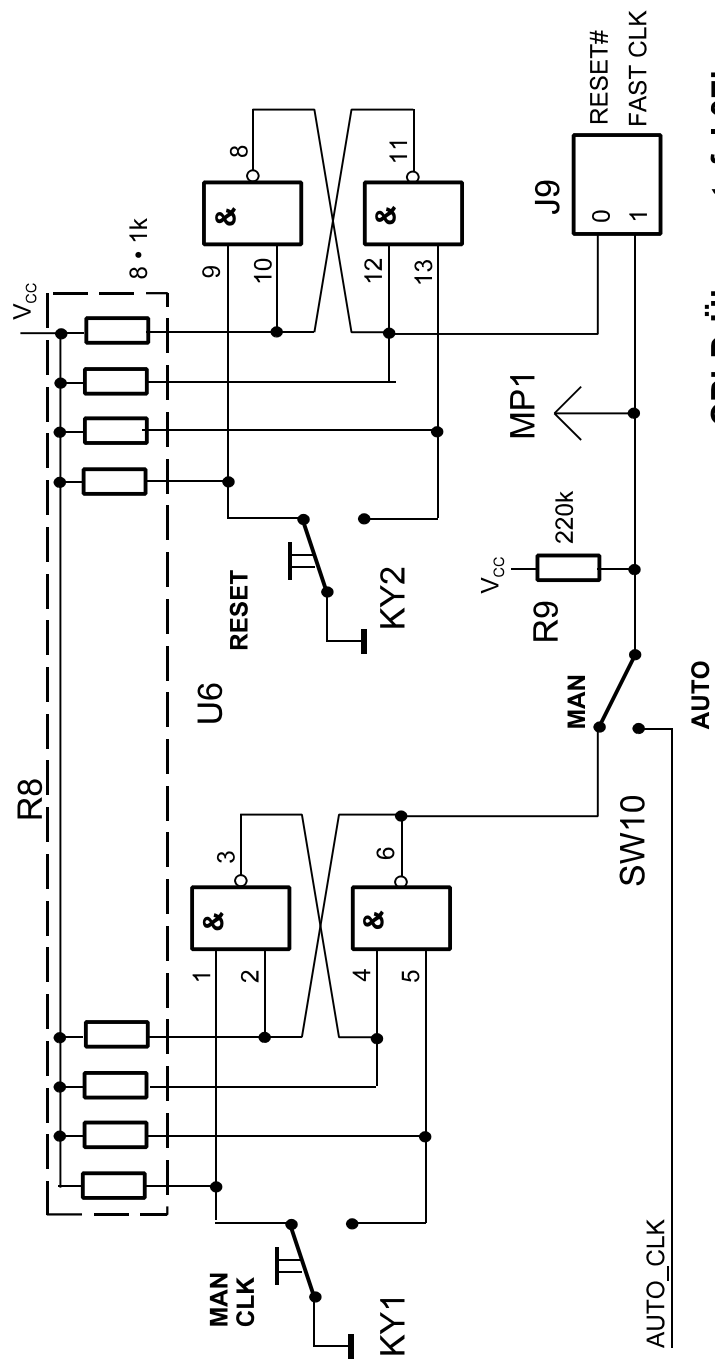
Blatt 10 von 16
 Stand: 1.1 vom 5. 4. 07



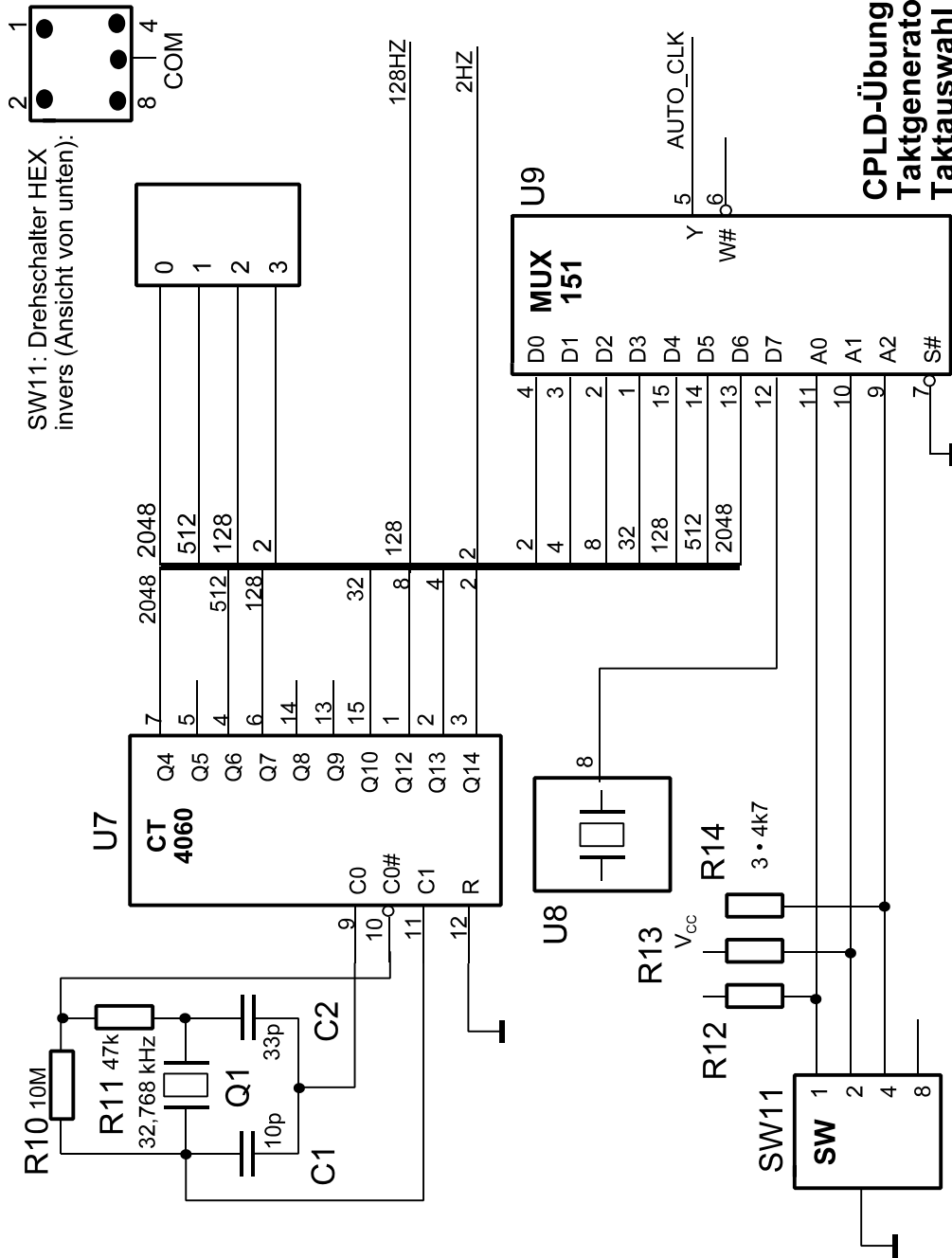
CPLD-Übungstafel 07b

Port G

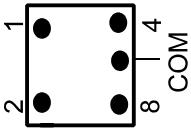
Blatt 11 von 16
Stand: 1.1 vom 5. 4. 07



CPLD-Übungstafel 07b
Takt und Rücksetzen
 Blatt 12 von 16
 Stand: 1.1 vom 5. 4. 07



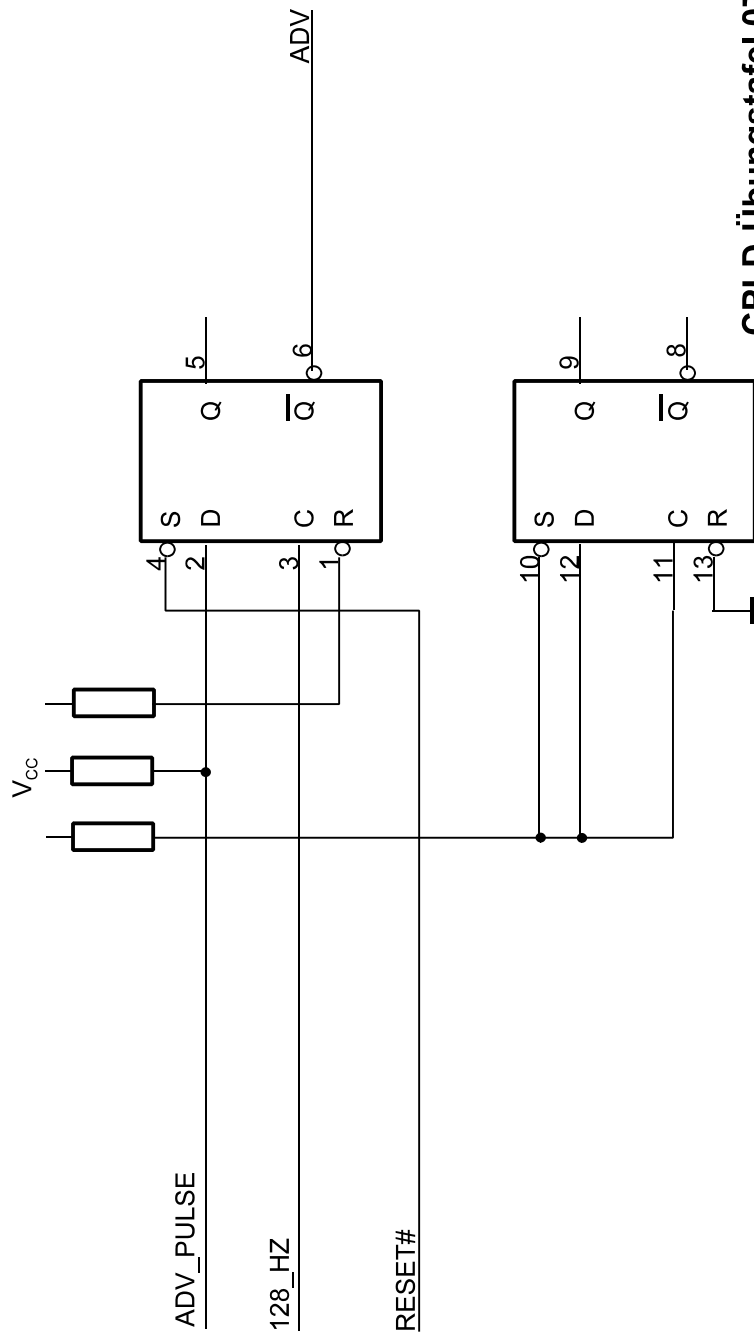
SW11: Drehschalter HEX invers (Ansicht von unten):



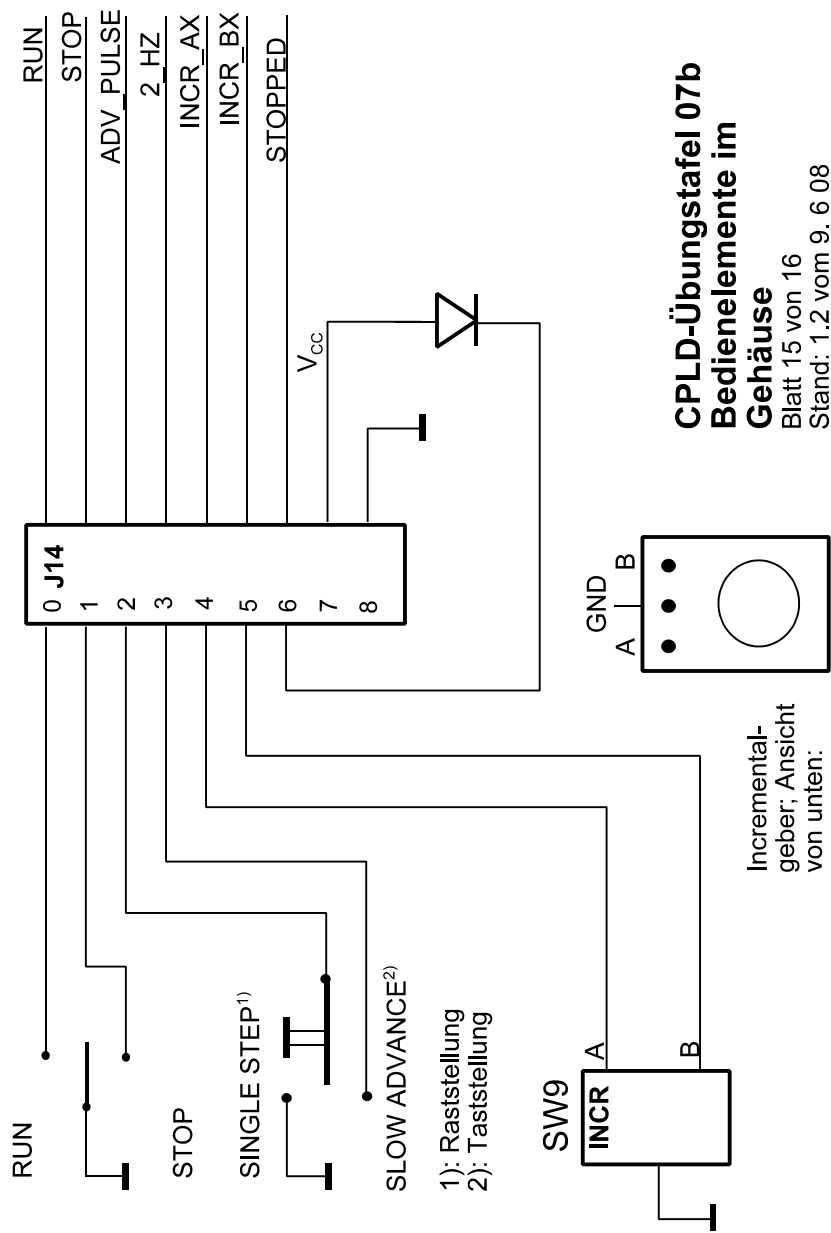
**CPLD-Übungstafel 07b
Taktgenerator und
Takttauswahl**

Blatt 13 von 16

Stand: 1.1 vom 5. 4. 07

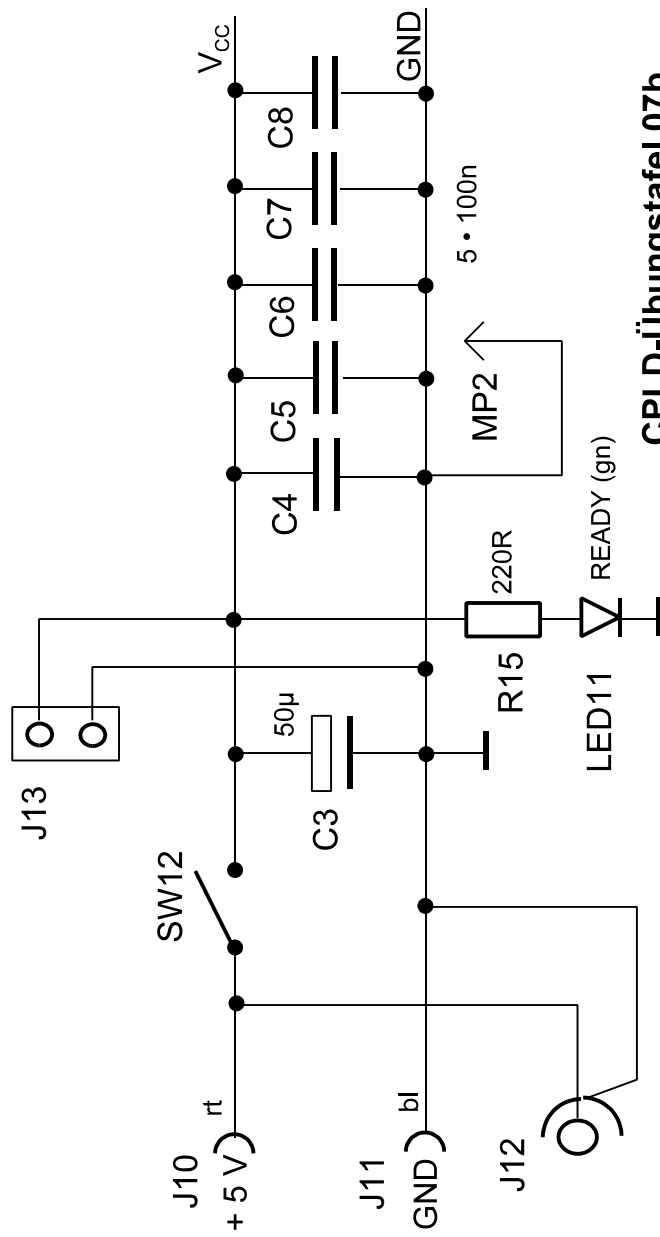


CPLD-Übungstafel 07b
Vorschubsignal Port S
 Blatt 14 von 16
 Stand: 1.1 vom 5. 4. 07



**CPLD-Übungstafel 07b
Bedienelemente im
Gehäuse**

Blatt 15 von 16
Stand: 1.2 vom 9. 6. 08



Buchsen und Schalter im Gehäuse

CPLD-Übungstafel 07b
Stromversorgung

Blatt 16 von 16
 Stand: 1.2 vom 9. 6. 08