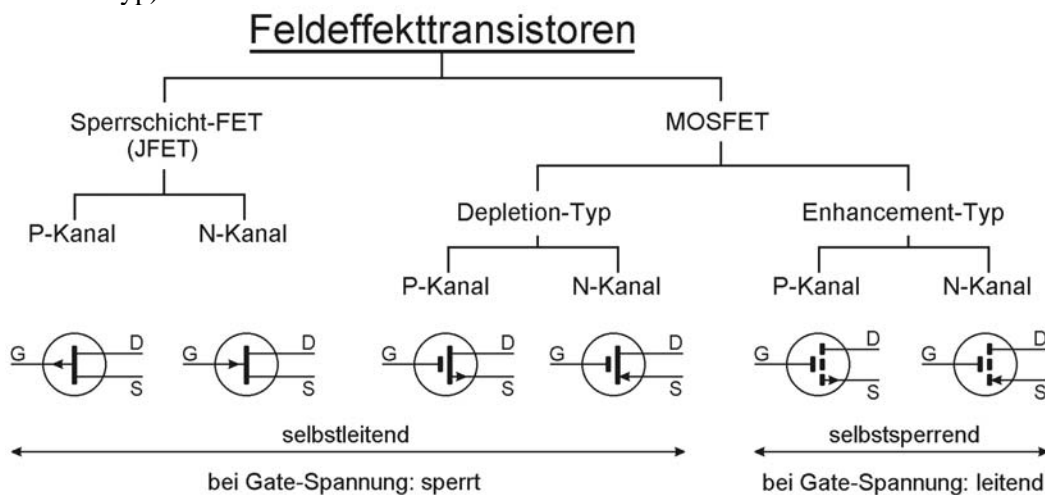


## 3. Feldeffekttransistoren

### 3.1 Aufbau und Wirkungsweise

Unipolare Transistoren (Feldeffekttransistoren, FETs) haben – wie die bipolaren Transistoren – drei Anschlüsse. Sie werden mit Source, Drain und Gate bezeichnet. Über den Gate-Anschluß kann eine Steuerwirkung auf den Stromfluß zwischen Source und Drain ausgeübt werden. Dabei besteht zwischen Source und Drain ein "Kanal" aus Halbleitermaterial eines einzigen Leitfähigkeitstyps; es gibt keine PN-Übergänge. Das Gate steuert, ob freie Ladungsträger verfügbar sind (Stromfluß) oder nicht (kein Stromfluß). Der Source-Drain-Kanal ist grundsätzlich in beiden Richtungen betreibbar. Feldeffekttransistoren sind spannungsgesteuert. Sie haben einen extrem hohen Eingangswiderstand. Bei statischer Erregung (Gleichstrombetrieb) fließt praktisch gar kein Gatestrom (tatsächliche Größenordnung:  $< 1 \text{ nA}$ ). Gatestrom fließt nur bei Spannungsänderungen, um den aus Gate und Kanal gebildeten Kondensator sowie die parasitären Kapazitäten umzuladen.

Man unterscheidet Feldeffekttransistoren (1) danach, wie der Übergang zwischen Gate und Kanal ausgeführt ist (Sperrschicht- und MOS-FETs) und (2) danach, wie die Ansteuerung des Gate auf den Kanal wirkt (sperrend = Verarmungs- oder Depletion-Typ bzw. öffnend = Anreicherungs- oder Enhancement-Typ).



**Abb. 3.1** Feldeffekttransistoren.

#### Verarmungs-FETs

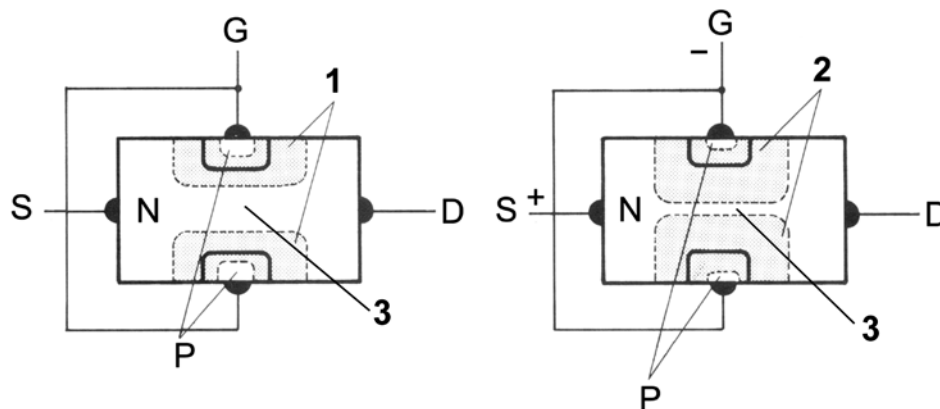
Verarmungs- bzw. Depletion-FETs sind selbstleitend. Der Kanal ist bei nicht erregtem Gate leitend und wird mit zunehmender Erregung des Gate mehr und mehr nichtleitend (hochohmiger).

#### Anreicherungs-FETs

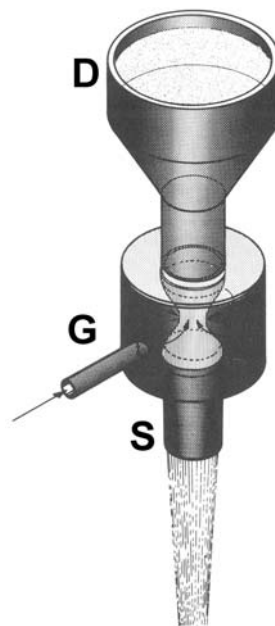
Anreicherungs- bzw. Enhancement-FETs sind selbstsperrend. Der Kanal ist bei nicht erregtem Gate gesperrt und wird mit zunehmender Erregung des Gate mehr und mehr leitend (niederohmiger).

#### Sperrschicht-FETs

Beim Sperrschicht-FET (Junction FET, JFET) ist das Gate ein in Sperrichtung betriebener PN-Übergang. Das Anlegen einer Spannung an das Gate bewirkt, daß freie Ladungsträger zum Gate hin abgezogen werden (der wirksame Kanalquerschnitt wird vermindert, bis hin zur Abschnürung). Sperrschicht-FETs sind infolge dieses Leitungsmechanismus ausschließlich vom Verarmungstyp.



**Abb. 3.2** Der Sperrschicht-FET. Hier ein N-Kanal-Typ. Um Strom durch den Kanal zu leiten, müssen freie Ladungsträger vorhanden sein. Wird die Sperrspannung erhöht, so werden die freien Ladungsträger zum Gate hin abgezogen. Der Querschnitt, in dem freie Ladungsträger vorhanden sind, wird mit zunehmender Sperrspannung immer geringer. 1 – niedrige, 2 - hohe Sperrspannung; 3 - der zur Leitung des Drainstromes verfügbare Kanalquerschnitt.



**Abb. 3.3** Das Wassermodell eines Sperrschicht-FETs (Quelle: Elektor).

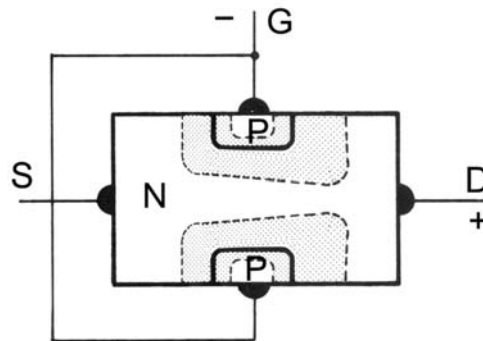
Wenn kein Wasser in das Gate G fließt, ist der Weg vom Drain D zur Source S frei. Wird hingegen dem Gate Wasser zugeführt, so wird der Drain-Source-Weg durch den Wasserdruck abgeschnürt. Beachten Sie, daß kein Wasserstrom durch das Gate fließt.

Der PN-Übergang des Sperrschicht-FETs muß immer in Sperrichtung gepolt sein. Die Gate-Spannung de N-Kanal-Typen muß deshalb negativ gegenüber dem Sourcepotential sein, die der P-Kanal-Typen positiv.

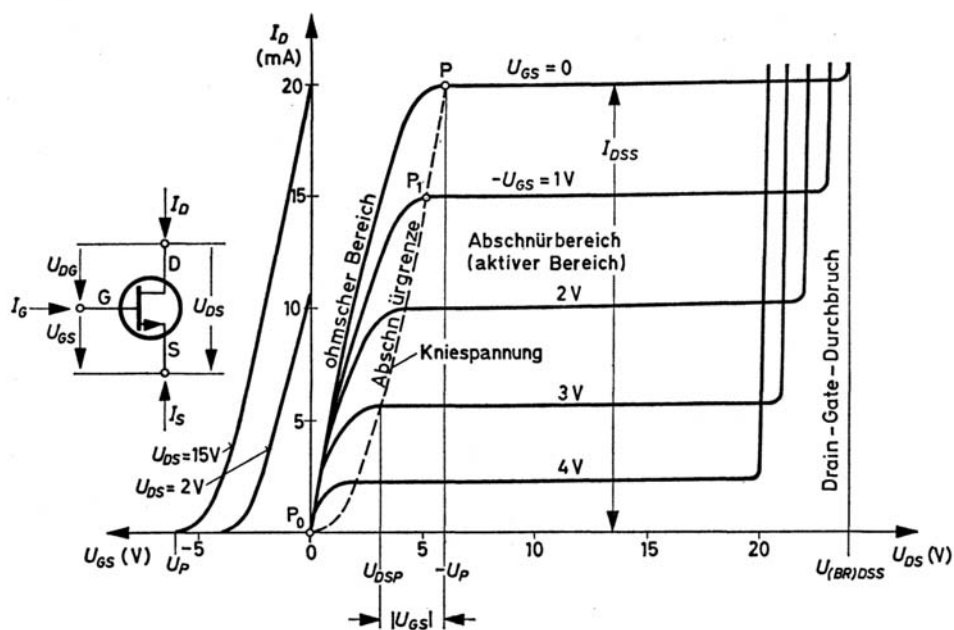
Weshalb werden die freien Ladungsträger knapp? – Es gibt zwei Ursachen:

1. Die bereits beschriebene Wirkung der Sperrspannung am Gate.
2. Die Drainspannung. Auch sie ist gegenüber dem Gate in Sperrichtung gepolt.

Die Überlagerung beider Wirkungen ergibt, daß der Bereich, in dem der Drainstrom durch den Kanal fließen kann, nicht einem zylindrischen Schlauch entspricht (wie in Abb. 3.2 dargestellt), sondern einem Kegelstumpf.



**Abb. 3.4** Der Sperrschichtverlauf unter dem Einfluß der Drainspannung.



**Abb. 3.5** Zur Wirkungsweise des Sperrschicht-FETs.

Ist die Gatespannung  $U_{GS}$  gleich dem Sourcepotential ( $U_{GS} = 0$ ) so hat die Sperrschicht den geringsten Querschnitt, so daß der maximale Drainstrom  $I_{DSS}$  fließen kann. Ist die Spannung zwischen Drain und Source  $U_{DS}$  vergleichsweise niedrig, so verhält sich der FET wie ein Widerstand, dessen Wert von der Gate-Source-Spannung  $U_{GS}$  bestimmt wird; der Drainstrom  $I_D$  wächst nahezu linear mit der Drain-Source-Spannung  $U_{DS}$  (ohmscher oder Widerstandsbereich). Eine höhere Drain-Source-Spannung beeinflusst hingegen die Sperrschicht so, wie in Abb. 3.4 dargestellt. Hierdurch wird der Stromweg durch den Kanal

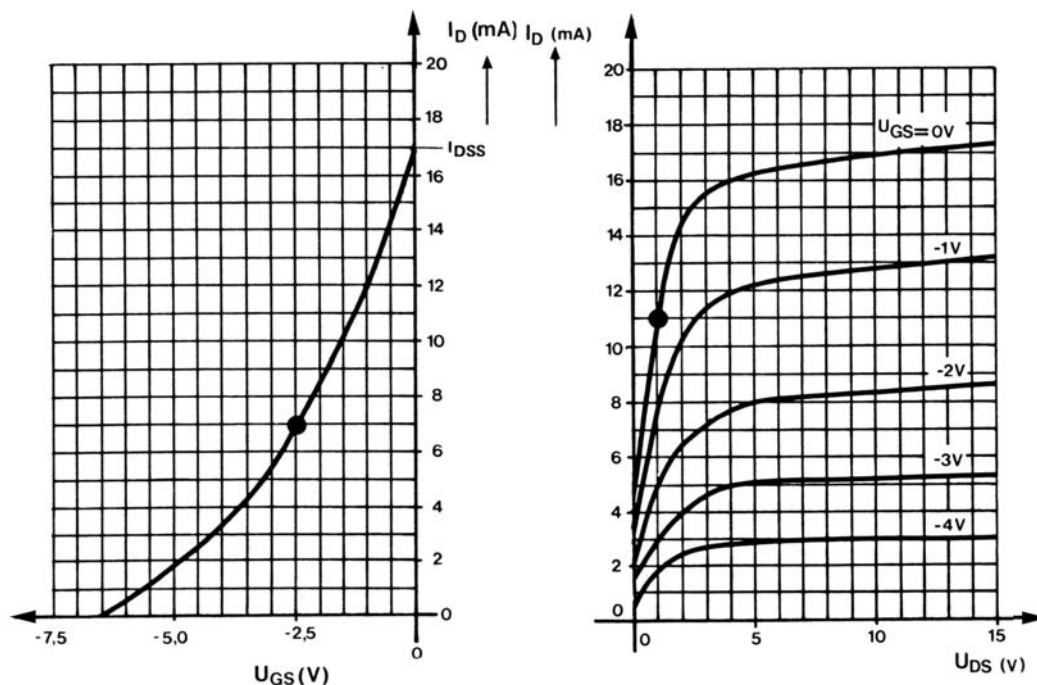
gleichsam abgeschnürt, so daß der Drainstrom nicht mehr von der Drain-Source-Spannung abhängt, sondern weitgehend konstant bleibt (aktiver Bereich). Der Wert der Drain-Source-Spannung, an dem die Kennlinie in den entsprechenden Verlauf übergeht, heißt Abschnür-, Knie- oder Pinch-off-Spannung  $U_p$ .

Es gilt (nach Shockley):

$$I_D = I_{DSS} \cdot \left(1 - \frac{U_{GS}}{U_p}\right)^k$$

Für übliche Silizium-Sperrschicht-FETs ist  $k = 2$ .

Bei weiterer Erhöhung der Drain-Source-Spannung kommt es zum Durchbruch der Sperrschicht zwischen Drain und Gate (Durchbruchspannung  $U_{BRDSS}$ ).



**Abb. 3.6** Kennlinien eines Sperrschicht-FET (BF245C; Quelle: Elektor). Links Eingangskennlinie. Der Punkt kennzeichnet die Gatespannung, bei der ein Drainstrom von 7 mA fließen kann. Rechts Ausgangskennlinien. Der Punkt kennzeichnet einen Widerstand  $R_{DS} = U_{DS} : I_D = 1 \text{ V} : 11 \text{ mA} = 91 \Omega$ .

### MOSFETs

MOSFETs (MOS = Metal Oxide Semiconductor) beruhen auf dem Influenzprinzip. Im *Depletion-Typ* ist der Kanal an sich leitfähig (er ist in ein Substrat entgegengesetzten Leitfähigkeitstyps eingebettet). Über die Gate-Elektrode werden durch Influenz Ladungsträger jeweils entgegengesetzten Typs in den Kanal eingebracht. Diese binden die dort vorhandenen freien Ladungsträger, so daß sie nicht mehr für den Stromfluß zur Verfügung stehen. Im *Enhancement-Typ* (Abb. 3.7) ist hingegen der Kanal zunächst nichtleitend. Erst durch Erregen des Gate werden durch Influenzwirkung dem Kanal Ladungsträger passenden Typs zugeführt.

### Enhancement - MOSFETs

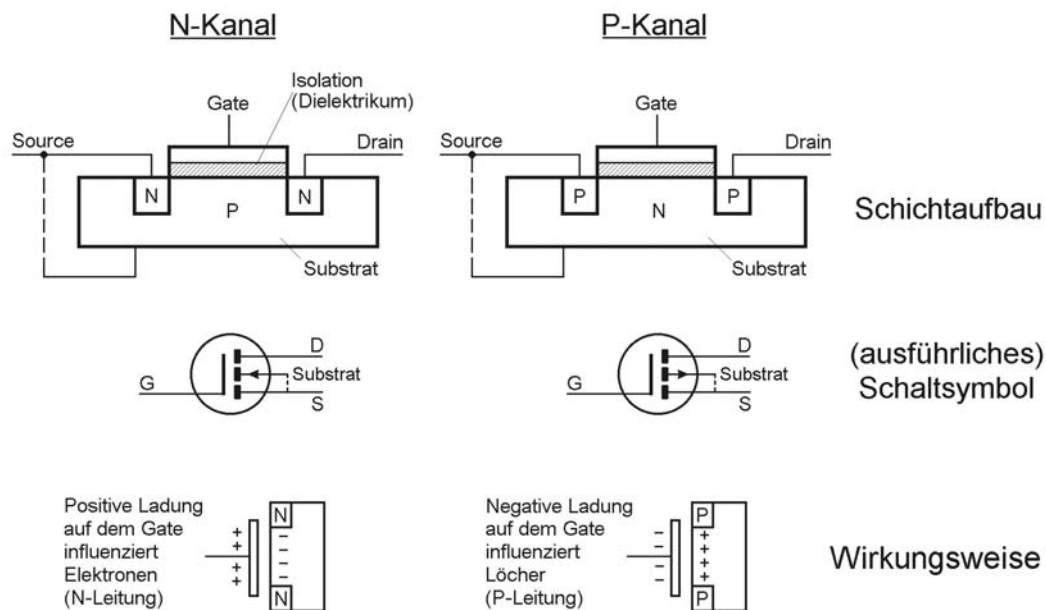


Abb. 3.7 Enhancement-MOSFETs.

Beim **N-Kanal-MOSFET** beeinflusst eine positive Ladung auf dem Gate negative Ladungsträger (Elektronen) im Kanal (N-Leitung). Beim **P-Kanal-MOSFET** beeinflusst eine negative Ladung auf dem Gate positive Ladungsträger (Löcher) im Kanal (P-Leitung). Der Kanal verläuft in einem Substrat (Bulk), das (damit bei spannungslosem Gate kein Strom fließen kann) den jeweils entgegengesetzten Leitfähigkeitstyp hat wie Source und Drain. Das Substrat wird mit Source oder Drain verbunden. Das Gate ist isoliert aufgebracht. Die isolierende Schicht besteht aus Siliziumoxid, ist sehr dünn und hat einen außerordentlich hohen Isolationswiderstand. Die Gate-Elektrode selbst besteht aus Metall oder aus reinem Silizium (Silicon Gate). *Zum Schaltsymbol:* Der Pfeil bezieht sich immer auf das Substrat<sup>1</sup>.

- Pfeil nach innen: P-Substrat, also N-Kanal-Typ.
- Pfeil nach außen: N-Substrat, also P-Kanal-Typ.

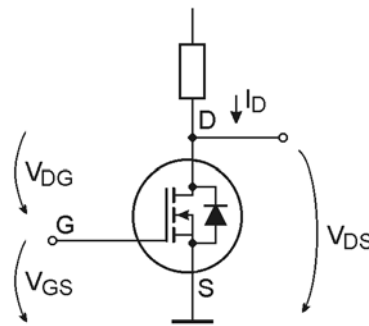
### 3.2.2 Kennlinien und Kennwerte

Wenn wir über den bipolaren Transistor Bescheid wissen, bereitet der Feldeffekttransistor keine besonderen Schwierigkeiten. Mit der Gleichsetzung

- Gate = Basis,
- Source = Emitter,
- Drain = Kollektor

werden wir meistens gut zurecht kommen. Besonderheiten sind durch den anderen Leitungsmechanismus und die Spannungssteuerung bedingt (Abb. 3.8).

1: Die Bezeichnung der Elektroden (Source = Quelle; Drain = Abfluß) bezieht sich auf die physikalische, die Symbolik im Schaltbild aber auf die technische Stromrichtung.



**Abb. 3.8** Ströme und Spannungen am Feldeffekttransistor.

### Kennlinien

Von besonderem Interesse sind – wie beim bipolaren Transistor – die Übertragungs- und die Ausgangskennlinien.

### Übertragungskennlinie

Die Übertragungskennlinie (Abb. 3.9a) zeigt die Abhängigkeit des Drainstroms von der Gate-Source-Spannung. Wir erkennen, daß im Bereich von  $> 4$  bis etwa  $6\text{ V}$  Drainstrom fließt und von der Gate-Source-Spannung nahezu linear abhängt.

### Ausgangskennlinie

Die Ausgangskennlinie (Abb. 3.9b, c) sieht ähnlich aus wie beim Bipolartransistor. Nur ist der Steuerparameter hier – anstelle des Basisstroms – die Gate-Source-Spannung  $V_{GS}$ . In die Ausgangskennlinie kann man die Verlustleistungshyperbel bzw. den sicheren Arbeitsbereich (SOAR) eintragen (Abb. 3.9d).

### Die Kennlinie der Übertragungsteilheit

Die Übertragungsteilheit (Forward Transconductance  $g_{fs}$ ) gibt an, welche Änderung des Drainstromes durch eine bestimmte Änderung der Gate-Source-Spannung bewirkt wird; sie ist der Quotient beider Änderungen:

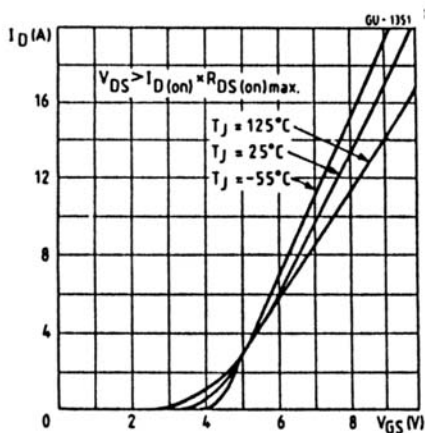
$$g_{fs} = \frac{\Delta I_D}{\Delta V_{GS}} \quad \text{bei } V_{DS} = \text{const.}$$

(Die Angabe gilt unter der Bedingung, daß sich die Drains-Source-Spannung nicht ändert.) Als Quotient aus Strom und Spannung wird die Steilheit in Siemens gemessen (Leitwertangabe:  $1\text{ A} : 1\text{ V} = 1\text{ S}$ ).

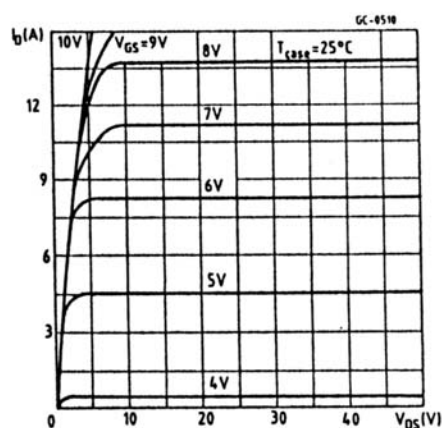
Die Steilheit des Feldeffekttransistors entspricht etwa der Stromverstärkungsangabe beim Bipolartransistor. Eine große Steilheit bedeutet, daß eine kleine Änderung der Gatespannung eine große Änderung des Drainstromes bewirkt, daß das Bauelement also besonders gut verstärkt.

Die Steilheitskennlinie (Abb. 3.10) zeigt, wie sich die Steilheit in Abhängigkeit vom Drainstrom ändert. (Sie nimmt mit wachsendem Drainstrom ab.)

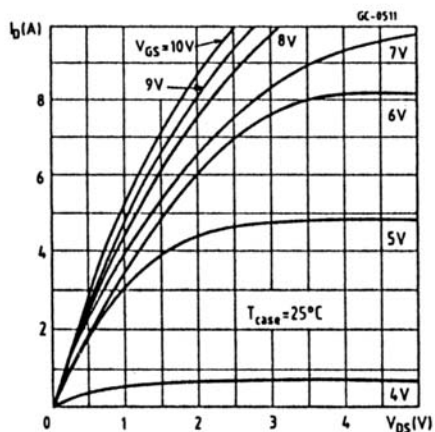
a) Transfer characteristics



b) Output characteristics



c) Output characteristics



d) Safe operating areas (standard package)

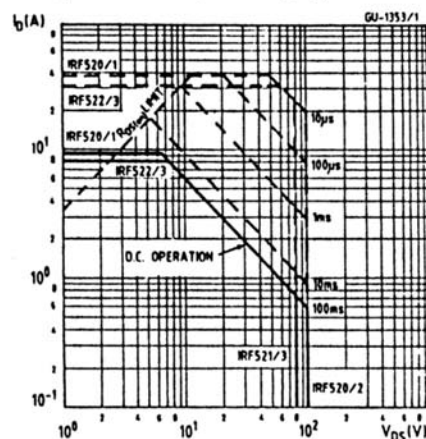


Abb. 3.9 Übertragungs- und Ausgangskennlinien eines N-Kanal-Leistungs-MOSFETs (Quelle: SGS-Thomson).

Transconductance

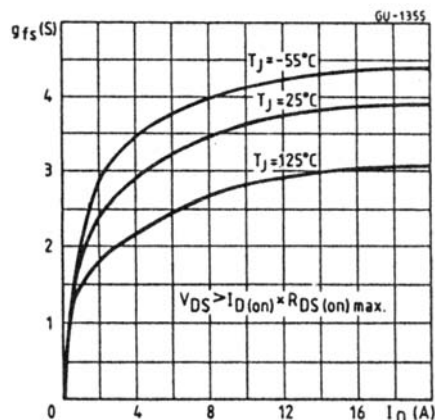
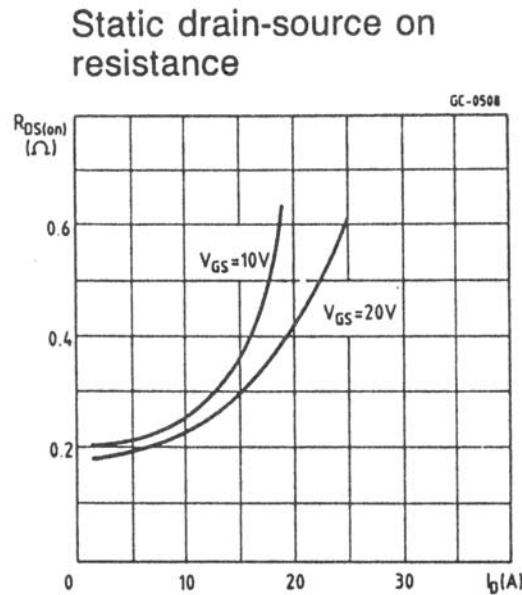


Abb. 3.10 Steilheitskennlinie (Quelle: SGS-Thomson).

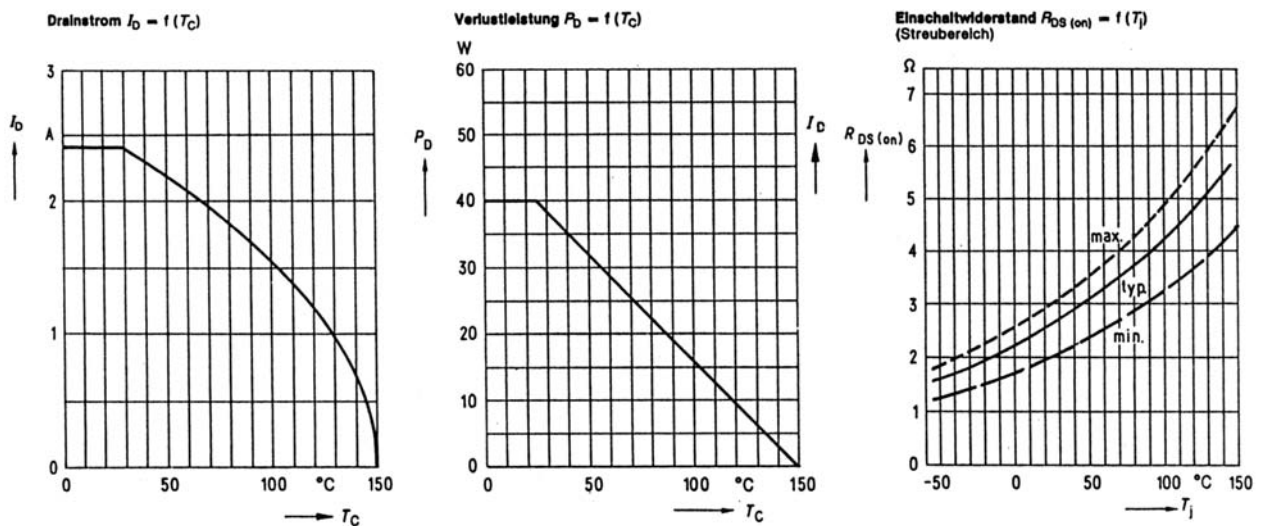
**Einschaltwiderstand bei Gleichstrombetrieb**

Die entsprechende Kennlinie (Abb. 3.11) zeigt die Abhängigkeit des Drain-Source-Übergangswiderstandes  $R_{DS(on)}$  vom Drainstrom.



**Abb. 3.11** Der Einschaltwiderstand bei Gleichstrombetrieb (Quelle: SGS-Thomson).

Weitere Kennlinien betreffen Kapazitäten und Temperaturabhängigkeiten (Abb. 3.12). Zudem ist gelegentlich die Durchlaßkennlinie der parasitären Diode angegeben, die zwischen Drain und Source liegt.



**Abb. 3.12** Die Temperaturabhängigkeit wichtiger Kennwerte (Quelle: Siemens).

*Hinweis:*

Wir verwenden hier Spannungsbezeichnungen, die mit "V" beginnen, da dies in den Datenblättern allgemein üblich ist (auch bei europäischen Anbietern).



**Höchstzulässiger Drainstrom  $I_{Dmax}$** 

Das ist der höchstzulässige Strom, der durch die Drain-Source-Strecke fließen darf.

**Drain-Source-Widerstand im aktiven Zustand (Einschaltwiderstand)  $R_{DSon}$** 

Die Angabe kennzeichnet den höchsten zu erwartenden Widerstand des voll leitfähig geschalteten Drain-Source-Stromweges.

**Höchstzulässige Verlustleistung  $P_v$  ( $P_{tot}$ )**

Dies ist die höchstzulässige Leistung, die im Transistor in Wärme umgesetzt werden darf ( $P_{tot} = I_D \cdot U_{DS}$  im jeweiligen Arbeitspunkt). Der Höchstwert ist an bestimmte Gehäusetemperaturen gebunden, oft auch an Kühlvorschriften.

**Höchstzulässige Spannung zwischen Drain und Source  $V_{DSSmax}$** 

Die Angabe bedeutet, daß ein FET mit nicht leitendem Source-Drain-Pfad die genannte Spannung über Source und Drain "aushält", es also – noch – nicht zu einem Durchbruch kommt (Durchbruchspannung, Breakdown Voltage).

**Höchstzulässige Spannung zwischen Drain und Gate  $V_{DGRmax}$** 

Der Wert gibt an, welche Spannung zwischen Drain und Gate höchstens zulässig ist. Meist gilt  $V_{DGR} = V_{DSS}$ . Und das bedeutet praktisch: wenn Sie das Bauelement bei  $V_{DSSmax}$  betreiben, dürfen Sie das Gate auf Sourcepotential (z.B. auf Masse) legen, aber nicht "darunter" (z. B. negativer) ansteuern (dann besteht Gefahr, daß die Isolation durchschlägt).

**Gate-Source-Schwellspannung  $V_{GS(th)}$** 

Die Angabe kennzeichnet praktisch die "Schaltspannung" des MOS-Transistors. Es muß wenigstens  $V_{GS(th)}$  am Gate anliegen, damit der Transistor leitend wird.

**Maximaler Drainreststrom (Drainsperrstrom)  $I_{DSSmax}$** 

Dies ist der Strom, der bei voll gesperrtem Transistor noch durch die Drain-Source-Strecke fließen darf.

**Maximaler Gate-Leckstrom  $I_{GSSmax}$** 

Bei Ansteuerung mit Gleichstrom sind Gateströme praktisch nicht mehr meßbar. Trotzdem geben die Hersteller Leckströme an (die Werte haben eine beachtliche "Sicherheitsreserve").

**Ein- und Ausschaltzeiten  $t_r$ ,  $t_f$** 

MOS-Transistoren werden meist als Schalter betrieben. Deshalb charakterisiert man die dynamischen Eigenschaften meist durch die Schaltzeiten und nicht durch eine "Grenzfrequenz".

**Übertragungssteilheit  $g_s$** 

Die Steilheitsangabe ist auf einen typischen Betriebsfall bezogen (mittlerer Drainstrom, mittlere Drain-Source-Spannung, Gate "voll aufgedreht"). Im Datenblatt finden Sie die genauen Werte des Arbeitspunktes, für den die Steilheitsangabe gilt.

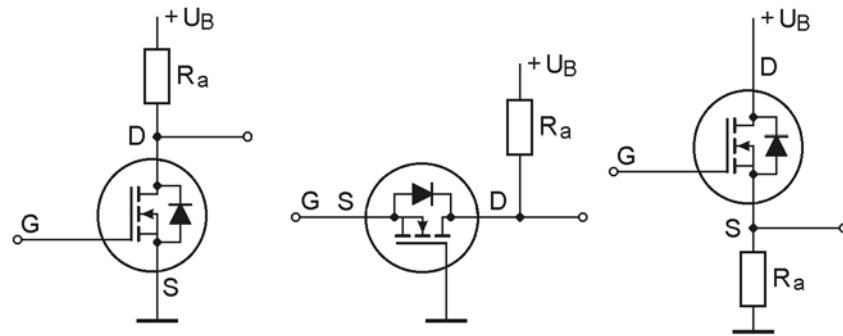
### 3.2.3 Grundschaltungen

Die Grundschaltungen unterscheiden sich im Prinzip nicht von denen des bipolaren Transistors. Natürlich sind Widerstände zur Ansteuerung, zur Arbeitspunkteinstellung usw. anders zu dimensionieren. Auch messen wir andere Werte. So gilt ein bipolarer SI-Transistor als "durchgesteuert" (leitend), wenn wir an dessen Basis 0,7 V gegenüber dem Emitter messen. Beim MOSFET müssen es hingegen schon 2,5...4 V sein (im Schaltbetrieb typischerweise 5 ...> 10 V).

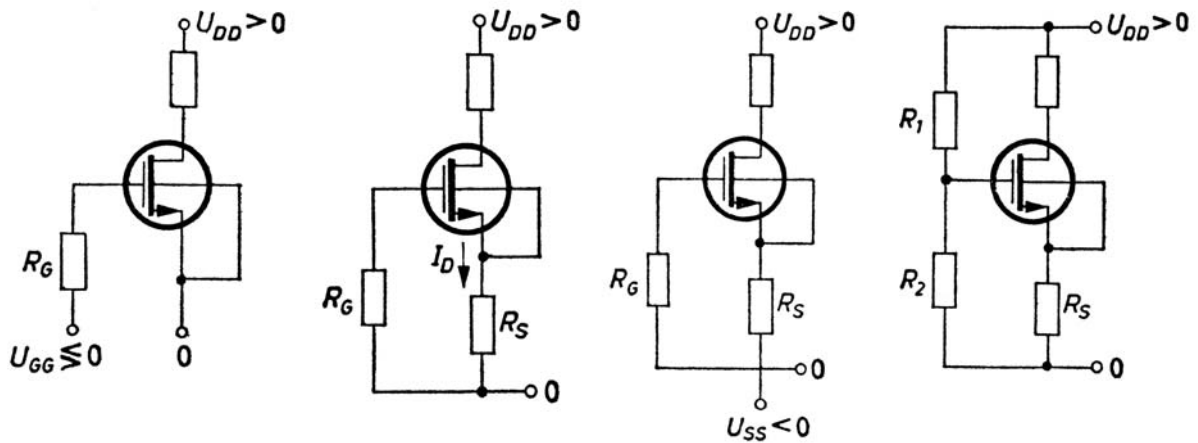
In diesem Sinne können wir näherungsweise gleichsetzen:

- Sourceschaltung = Emitterschaltung,
- Gateschaltung (praktisch kaum verwendet) = Basisschaltung,
- Drainschaltung (Sourcefolger) = Kollektorschaltung (Emitterfolger).

a) Sourceschaltung    b) Gateschaltung    c) Drainschaltung



**Abb. 3.13** Grundsaltungen mit Feldeffekttransistoren.



**Abb. 3.14** Arbeitspunkteinstellung.