

## Entwurf digitaler Schaltungen EDS

Prüfungsaufgaben (Leistungsnachweis) vom 7. 2. 2007

*Hinweise:*

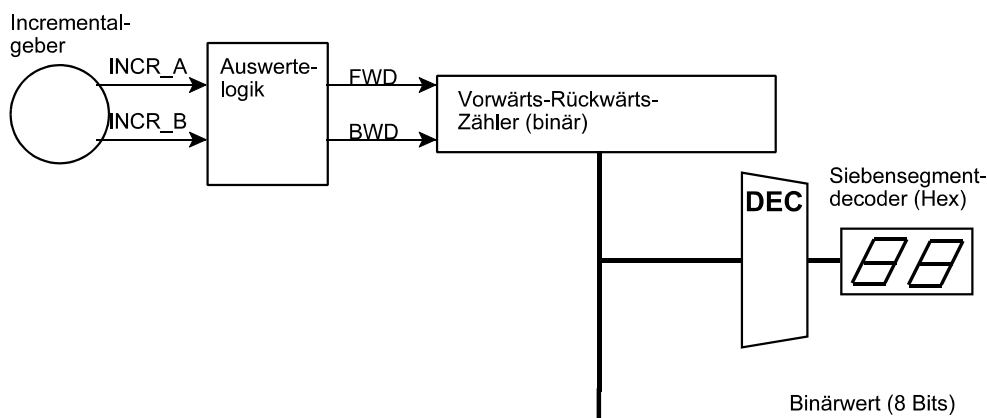
1. Bitte selbständig in Kleingruppen einteilen, um die Aufgaben zu bearbeiten.
2. Es handelt sich nicht um Beschäftigungstheorie, sondern um Vorversuche für andere Lehrveranstaltungen.
3. Zur genaueren Absprache sollten wir uns ggf. zu Beginn des 2. Prüfungszeitraums treffen. Bitte E-Mail schicken, wann es paßt.

### 1. Teilaufgabe (Voraussetzung für alles folgende)

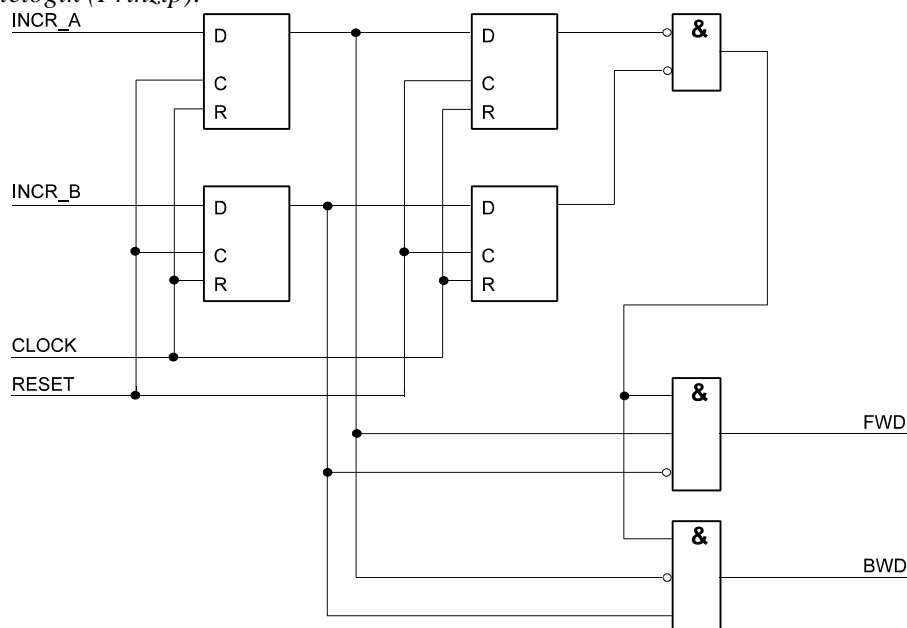
Siebensegmentdecoder für Hexadezimalzahlen (als Funktionsblock).

### 2. Teilaufgabe (Grundlage für Versuchsplattform)

Über Incrementalgeber einstellbarer Vor-Rückwärts-Zähler mit Siebensegmentanzeige (hexadezimal). Als Funktionsblock entwerfen. Diese Einrichtung soll zur Erprobung der weiteren Funktionseinheiten verwendet werden.



Die Auswertelogik (Prinzip):



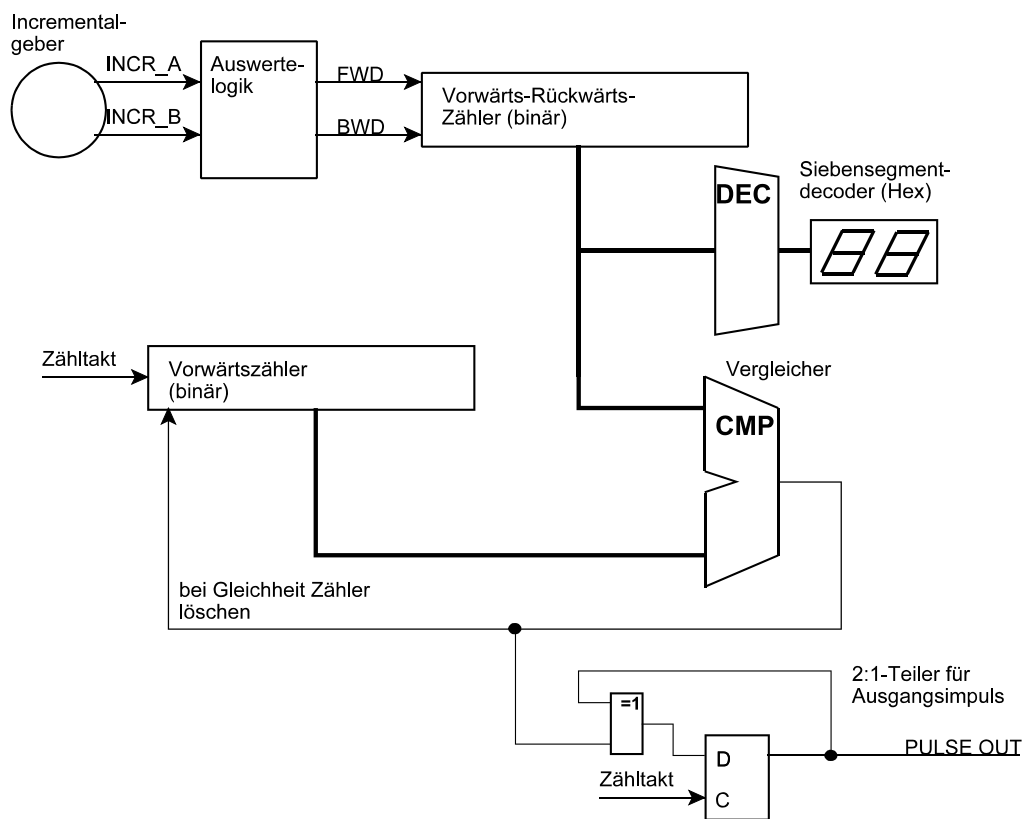
CLOCK ist ein langsamer Takt von einigen hundert Hz (Entprellung).

Anregungen zum Vor-Rückwärts-Zähler:

1. Variante: zwei Vorwärtszähler und Subtraktionsschaltung (Subtraktion = Addition des Zweierkomplements). Die Signale der Auswertelogik direkt als Zähltakt nehmen.
2. Variante: echter (umsteuerbarer) Vorwärts-Rückwärts-Zähler. Die Signale der Auswertelogik als Steuersignale nehmen. Zum Zähltakt: lassen Sie sich was einfallen...

### 3. Teilaufgabe: Impulserzeugung mittels Zeitgeber

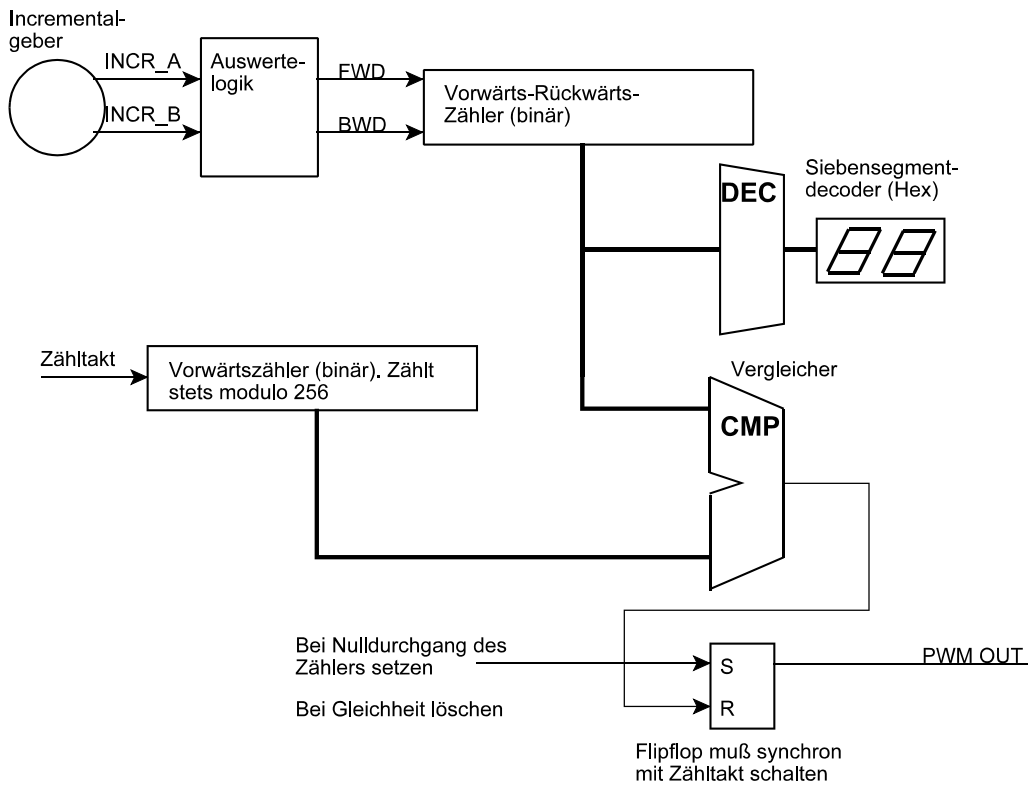
Es soll eine symmetrische Impulsfolge erzeugt werden, deren Breite über den Incrementalgeber eingestellt werden kann.



Zum Vergleicher: es genügt ein sog. logischer Vergleich (Werte gleich oder ungleich) - das kann man mit XOR-Gattern basteln . . .

### 4. Teilaufgabe: Pulsweitenmodulation (PWM) mittels Zeitgeber

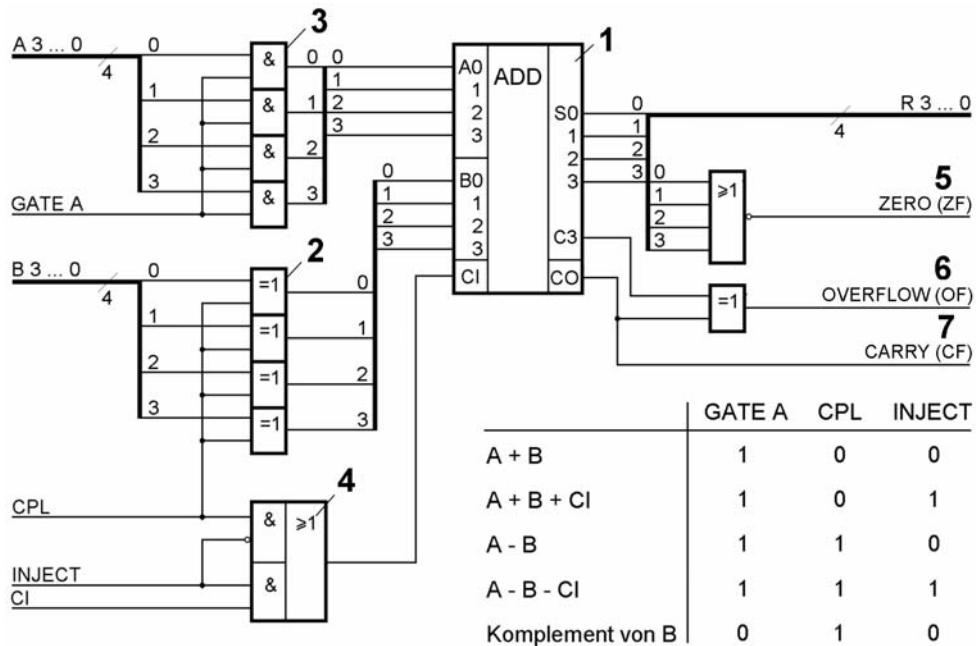
Es sollen Impulse in gleichen Abständen erzeugt werden, deren Breite über den Incrementalgeber eingestellt werden kann (Pulsweitenmodulation). Bei der Vorführung wird ggf. ein Motor angeschlossen, um dessen Drehzahl zu steuern.



**5. Teilaufgabe: Rechenschaltungen**

Es sind Grundsaltungen für Arithmetik-Logik-Einheiten zu erfassen und (im Rahmen des Möglichen) zu erproben. Wichtig ist vor allem, herauszufinden, welche CPLD-Größe für derartige Schaltungen erforderlich ist (Vorversuch für künftige Prozessoren, die – zu Lehrzwecken – mit CPLDs aufgebaut werden sollen).

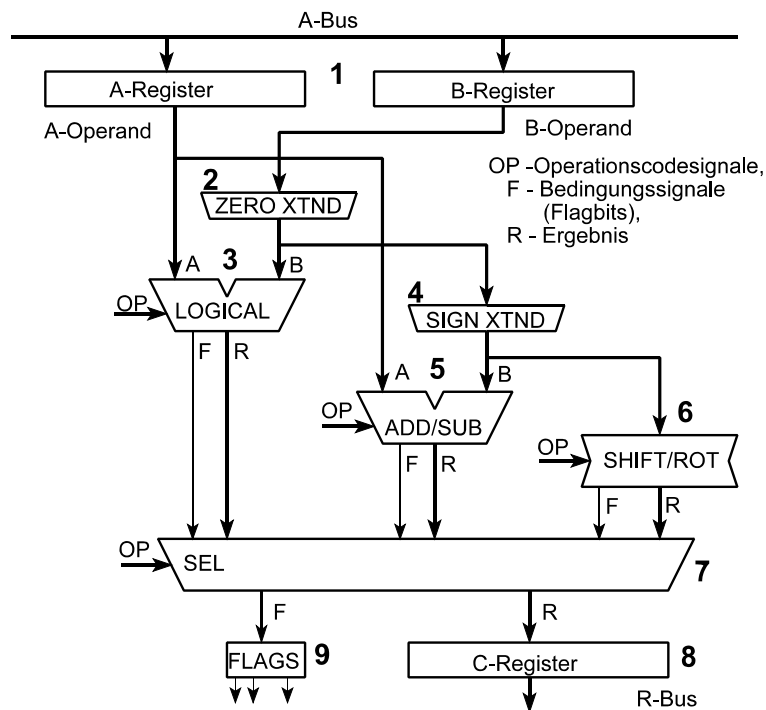
Grundsaltung eines binären Rechenwerks:



1 - Addierwerk; 2 - XOR-Gatter zum Bilden des Zweierkomplements; 3 - UND-Gatter zum Ausblenden des 2. Operanden (nur erforderlich für die Operation "Zweierkomplement von B"); 4 - Steuerung Eingangübertrag; 5 - Ergebnis = Null; 6 - Überlaufbedingung; 7 - Ausgangsübertrag (Carry Flag). Die Signale 5...7 werden typischerweise in ein Flagregister übernommen und sind dort mit Verzweigungsbefehlen abfragbar.

Hinweis: Überlauf = Übertrag in die höchstwertige Binärstelle (C3)  $\oplus$  Ausgangsübertrag).

Grundschtung einer Arithmetik-Logik-Einheit (ALU):



1 - Operandenregister; 2 - Nullerweiterung; 3 - logische Verknüpfungen und Transporte; 4 - Vorzeichenerweiterung; 5 - Addition und Subtraktion; 6 - Verschieben und Rotieren; 7 - Ergebnisauswahl; 8 - Ergebnisregister; 9 - Flagregister.

Zu Einzelheiten s. Kapitel 1 des Digitaltechnik-Skripts (Kombinatorische Digitalschaltungen).

Alle Register arbeiten mit dem gleichen Takt, der ständig anliegt (vollsynchrone Betrieb). Funktionscodes (OP-Signale) auf Kontakte der CPLD führen. Zusätzlich je ein Ladesignal für die Register A und B vorsehen. Auslegung des Addierwerks: auf einfachste Weise (Addierer aus dem Xilinx-Vorrat verwenden). Auslegung des Verschiebenetzwerkes: Probieren, ob Rotation um n Bits reinpaßt (bei 8-Bit-Variante ein Multiplexer 8 zu 1 je Bitposition). Wenn nicht, dann auf Verschieben um 1 Bit rechts/links beschränken). Nullerweiterung und Vorzeichenerweiterung: entfallen zunächst.

Entwicklungsgang: Mit 8-Bit-Version anfangen und ggf. erproben. 8-Bit-Version als Funktionsblock auslegen. Dann probieren, welche CPLD-Größe für 16-Bit-Version erforderlich ist.

Versuchsaufbau: Belegung des A-Bus über Incrementalgeber. Laden der Register A, B über Tasten gesteuert. Einstellung des Funktionscodes über Kippschalter. Ergebnisanzeige über LEDs (binär).