

Entwurf digitaler Schaltungen EDS

– Merkblatt zur Klausur –

29. 1. 2010

1. Themen:

- Womit werden heutzutage digitale Systeme aufgebaut?
- Universelle Logik mit Multiplexern, RAMs usw.
- Register
- Speicher mit asynchroner Schnittstelle
- Die Hardwarebeschreibungssprache Verilog (Sprachumfang gemäß Skript)

2. Informationsquellen:

Skript-Material

- Entwurf digitaler Schaltungen (EDS). Einführung
- Programmierbare Logik
- Register und Speicher
- Die Hardwarebeschreibungssprache Verilog. Eine kurze Einführung

(S. Internetseite.)

Alternativen/Ergänzung

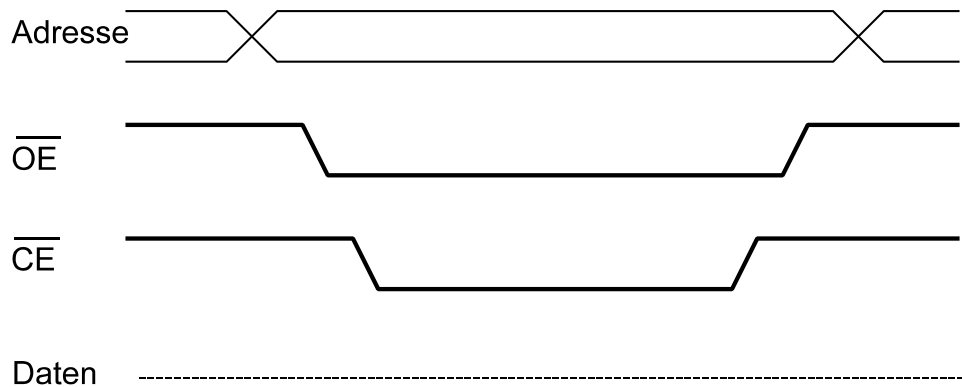
Beliebige Lehr- und Tabellenbücher zu den genannten Themen.

3. Die Klausuraufgaben umfassen:

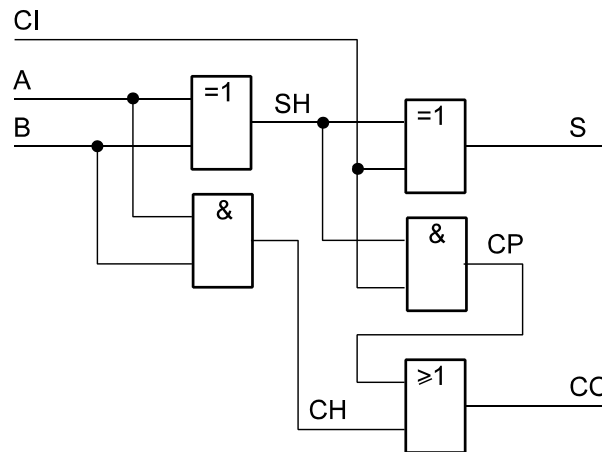
- Wissensfragen zu universellen und programmierbaren Schaltkreisen und zur Funktionsweise überschaubarer Digitalisierungen,
- Entwicklung elementarer Schaltungslösungen auf Schaltplanebene,
- Entwicklung elementarer Schaltungslösungen mit den behandelten Ausdrucksmitteln der Sprache Verilog.

Aufgabenbeispiele:

1. Skizzieren Sie den Aufbau einer universellen FPGA-Zelle für 6 Variable.
2. Realisieren Sie die Schaltfunktion $A \oplus B \oplus C$ mit einem Multiplexer.
3. Die folgende Abbildung zeigt einen Lesezugriff zu einem SRAM. Zeichnen Sie ein, wie dabei der Datenbus belegt wird.



4. Verilog. Geben Sie eine Strukturbeschreibung der folgenden Schaltung an.



5. Entwerfen Sie ein vollsynchrones 4-Bit-Register mit den Funktionen gemäß der folgenden Tabelle. Geben Sie den Entwurf als Verhaltensbeschreibung an. *Vorrangregel*: INIT dominiert über LD.

Signal	Funktion
LD	Laden (Übernahme von den Dateneingängen gemäß Belegung von INV)
INIT	Anfangswert einstellen (0H oder FH; abhängig von INV)
INV	invertierten Wert einstellen (wenn LD, dann invertierte Belegung der Dateneingänge, wenn INIT, dann Anfangswert FH)
weder LD noch INIT	Datenbelegung halten

