

Digitaltechnik

Klausuraufgaben zum Üben

1. Klausur vom 22. 3. 2006

1. Abb. 1 zeigt den Schaltplan eines kombinatorischen Netzwerks. Geben Sie die Schaltgleichungen für beide Ausgangssignale A, B an.

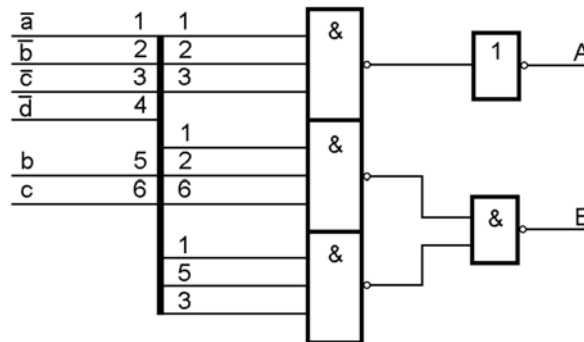


Abb. 1

2. An einem D-Flipflop-Register liegen Eingangssignale gemäß Abb. 2 an. Welche Signalverläufe erscheinen an den Ausgängen? (Einzeichnen.)

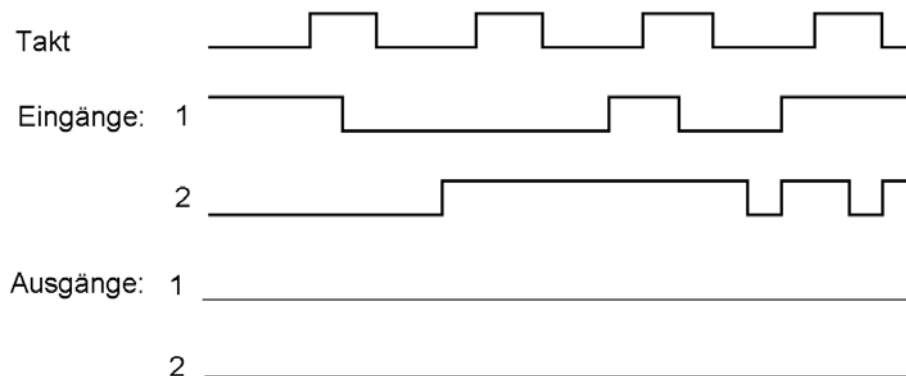


Abb. 2

3. An kombinatorischen Schaltungen messen Sie Signalbelegungen (Abb. 3). Ist das in Ordnung? Tip: Gehen Sie Gatter für Gatter durch und ermitteln Sie so Schritt für Schritt die Werte, die sich bei ordnungsgemäßer Funktion ergeben müßten.

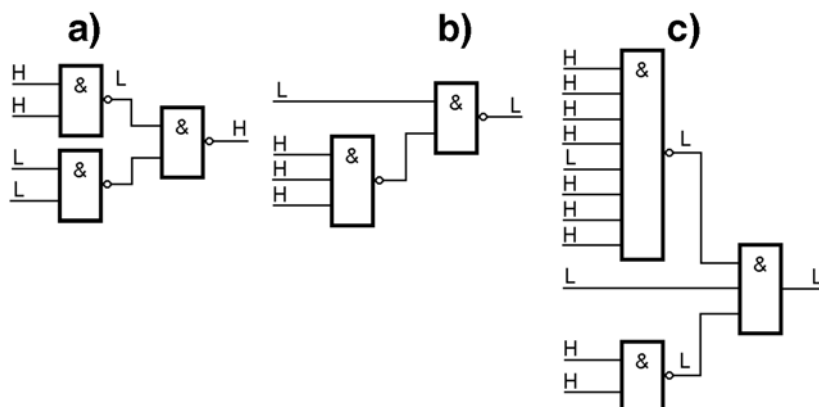
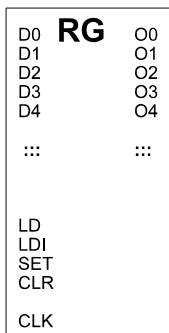


Abb. 3

4. Die XOR-Funktion ist mit verschiedenen Arten von Gattern zu realisieren (Schaltplan):
 - a) bauen Sie ein Zweifach-XOR aus Zweifach-NANDs.
 - b) bauen Sie ein Dreifach-XOR aus Zweifach-XORs.
 - c) bauen Sie ein Dreifach-XOR aus NANDs mit beliebiger Eingangszahl.
 - d) Zusatzaufgabe: bauen Sie ein Dreifach-XOR mit einem 8-zu-1-Multiplexer.

5. Entwerfen Sie ein vollsynchrones Register gemäß Abb. 4. Funktionselemente: D-Flipflops + Gatter nach Wahl. Es genügt, eine Bitposition sowie ggf. erforderliche zentrale Schaltmittel darzustellen.



Die Funktionen:

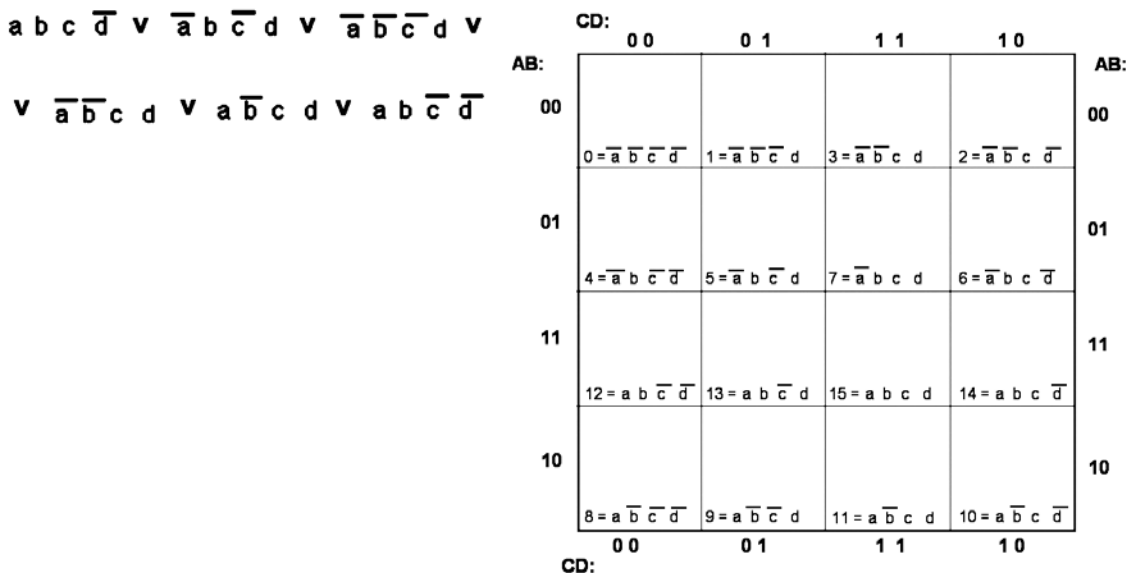
- LD: Daten übernehmen,
- LDI: Daten invertiert übernehmen,
- SET: alles setzen (FF...FH),
- CLR: alles löschen (00...0H),
- sonst: nichts tun (Daten halten).

CLR soll mit Vorrang wirken, also auch dann, wenn weitere Steuerleitungen erregt sind. Ansonsten ist die Mehrfacherregung nicht zu bearbeiten (Wirkung ist gleichgültig).

Abb. 4

6. Erläutern Sie kurz die Begriffe Nullerweiterung und Vorzeichenerweiterung. Geben Sie weiterhin die Nullerweiterung und die Vorzeichenerweiterung für folgende 8-Bit-Werte an: a) 0011 0101B, b) 1011 1010B. Es ist jeweils auf 16 Bits zu erweitern. Das Ergebnis ist hexadezimal anzugeben.

7. Minimieren Sie folgende Schaltfunktion mittels Karnaugh-Plan:



8. Führen Sie folgende Umrechnungen aus (Ergebnisse in Tabelle eintragen):

binär in hexadezimal		hexadezimal in binär		dezimal in hexadezimal	
1011 0101B		CD5H		33	
11 0110 1010B		3A8H		100	

2. Klausur vom 13. 7. 2006

- Wieviele Flipflops sind für einen Zähler erforderlich, der modulo 18 zählen soll:
 - bei Ausführung als Ringzähler,
 - bei Ausführung als Johnsonzähler,
 - bei Ausführung als asynchroner Binärzähler,
 - bei Ausführung als synchroner Binärzähler?
- An kombinatorischen Schaltungen messen Sie Signalbelegungen (Abb. 1). Ist das in Ordnung? Tip: Gehen Sie Gatter für Gatter durch und ermitteln Sie so Schritt für Schritt die Werte, die sich bei ordnungsgemäßer Funktion ergeben müßten.

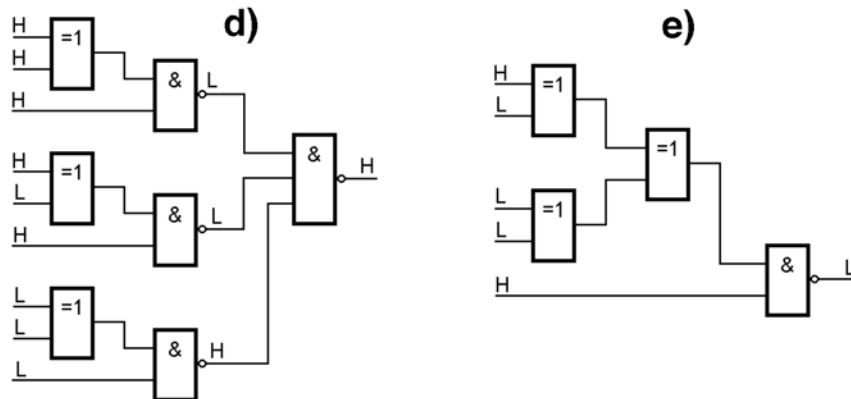


Abb. 1

- An einem D-Flipflop-Register messen Sie Signalverläufe gemäß Abb. 2. Wo finden Sie Fehler? Zeichnen Sie ggf. ein, wie die Ausgangssignale eigentlich schalten müßten.

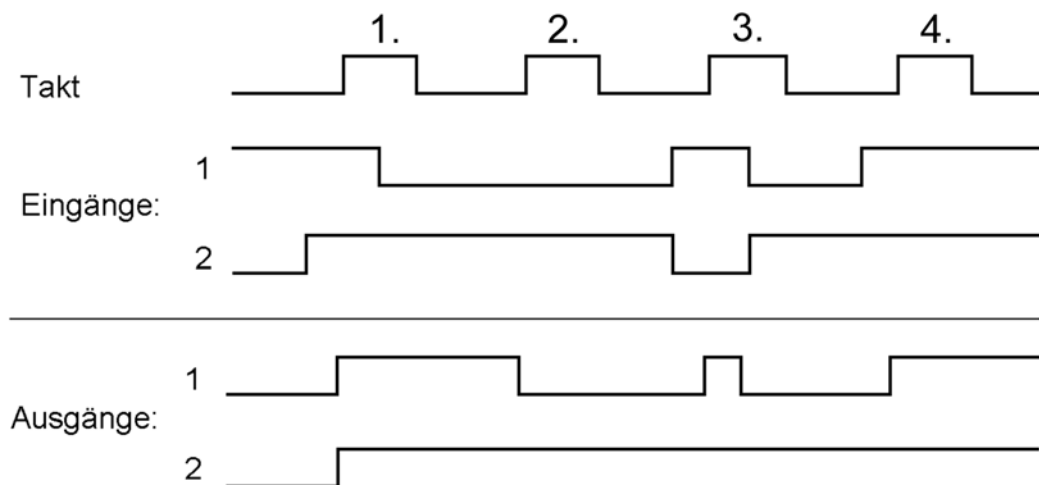


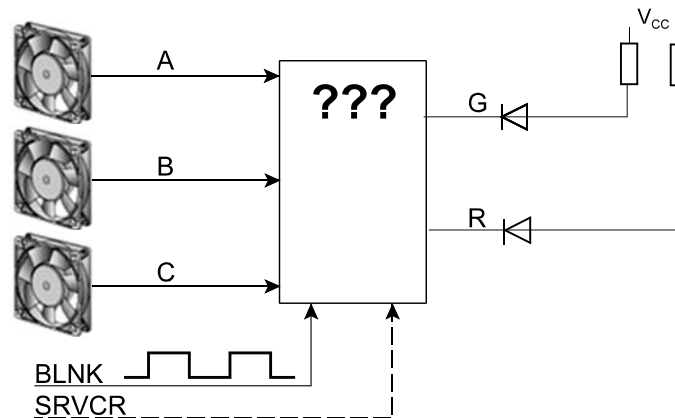
Abb. 2

- In einem Gehäuse sind drei Lüfter A, B, C angeordnet. Jeder Lüfter hat einen Sensor, der ein Low-Signal liefert, wenn der betreffende Lüfter arbeitet. Ist der Lüfter ausgefallen, liefert der Sensor ein High-Signal. Entwerfen Sie eine Überwachungsschaltung (Abb. 3), die zwei Kontroll-LEDs G, R folgendermaßen ansteuert:
 - die grüne LED (G) soll leuchten, wenn alle drei Lüfter arbeiten,
 - die rote LED (R) soll leuchten, wenn einer der Lüfter (gleich welcher) ausgefallen ist,
 - die rote LED (R) soll blinken, wenn zwei oder alle drei Lüfter ausgefallen sind. Entsprechende Blinkimpulse sind verfügbar (Signal BLNK).

Ansteuerung der LEDs: aktiv Low. Bauelementebasis: Gatter nach eigener Wahl. Minimierung ist nicht erforderlich.

Zusatzaufgabe:

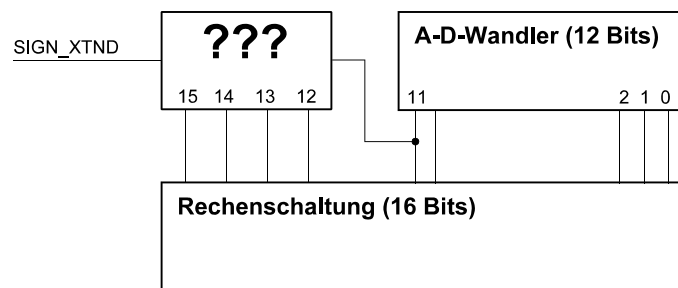
Die Fehleranzeige soll solange gehalten werden, bis der Servicetechniker einen entsprechenden Schalter betätigt (Kontakt SRVCR). Der Kontakt wirkt aktiv Low.

**Abb. 3**

5. Entwerfen Sie eine Erweiterungsschaltung, die zwischen Vorzeichen- und Nullerweiterung umschaltbar ist (Abb. 4). Sie soll 12-Bit-Werte eines A-D-Wandlers in eine 16-Bit-Rechenschaltung eingeben. Es genügt, die Bitpositionen 15...12 darzustellen. Funktionsweise:

- C Steuersignal $SIGN_XTND = Low$: Belegung der Bitpositionen 15...12 gemäß Nullerweiterung,
- C Steuersignal $SIGN_XTND = High$: Belegung der Bitpositionen 15...12 gemäß Vorzeichenerweiterung.

Bauelementebasis: Gatter nach eigener Wahl. Minimierung ist nicht erforderlich.

**Abb. 4**

6. Minimieren Sie die auf der nächsten Seite dargestellte Schaltfunktion mittels Karnaugh-Plan.
7. Geben Sie an (Skizze, ggf. Funktionserläuterung), wie ein D-Flipflop auf Grundlage von 2-zu-1-Multiplexern aufgebaut werden kann.
8. Führen Sie folgende Umrechnungen aus (Ergebnisse in Tabelle eintragen):

binär in hexadezimal		hexadezimal in binär		dezimal in hexadezimal	
1100 0111B		C5DH		44	
10 0101 0100B		8A3H		200	

Alle Zahlen sind vorzeichenlos.

$$\bar{a} \bar{b} \bar{c} \bar{d} \vee \bar{a} \bar{b} c \bar{d} \vee \bar{a} b \bar{c} d \vee$$

$$\bar{a} b c d \vee a \bar{b} c \bar{d} \vee a \bar{b} \bar{c} \bar{d}$$

		CD:					
		00	01	11	10		
AB:						AB:	
00		0 = $\bar{a} \bar{b} \bar{c} \bar{d}$	1 = $\bar{a} \bar{b} \bar{c} d$	3 = $\bar{a} \bar{b} c d$	2 = $\bar{a} \bar{b} c \bar{d}$	00	
01		4 = $\bar{a} b \bar{c} \bar{d}$	5 = $\bar{a} b \bar{c} d$	7 = $\bar{a} b c d$	6 = $\bar{a} b c \bar{d}$	01	
11		12 = $a b \bar{c} \bar{d}$	13 = $a b \bar{c} d$	15 = $a b c d$	14 = $a b c \bar{d}$	11	
10		8 = $a \bar{b} \bar{c} \bar{d}$	9 = $a \bar{b} \bar{c} d$	11 = $a \bar{b} c d$	10 = $a \bar{b} c \bar{d}$	10	
		CD:					
		00	01	11	10		

3. Klausur vom 21. 3. 2007

- Nennen Sie wenigstens drei Prinzipien zur Beschleunigung des Übertragsdurchlaufs in Addierschaltungen.
- Abb. 1 zeigt eine Zählschaltung.
 - In welchem Bereich zählt diese Anordnung?
 - Ändern Sie die Schaltung so ab, daß der Zähler modulo 9 zählt.
 - Wird diese Schaltung sofort nach dem Einschalten stets korrekt funktionieren? – Schlagen sie ggf. eine Änderung vor. Hierzu können Sie ein gegebenes Signal POWER_GOOD ausnutzen. POWER_GOOD wird erst einige ms nach dem Hochlaufen der Versorgungsspannung High (Abb. 2).
 - Welche Voraussetzung muß zudem erfüllt sein, damit die gemäß Teilaufgabe c) entworfene Schaltung richtig funktioniert?

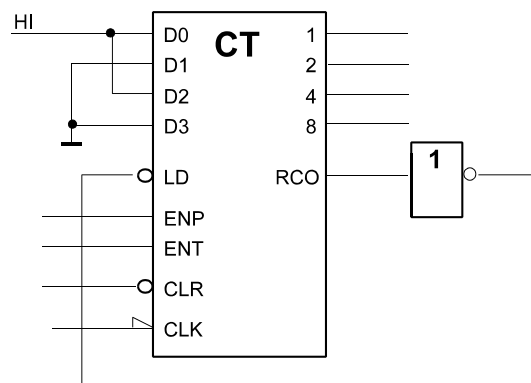


Abb. 1

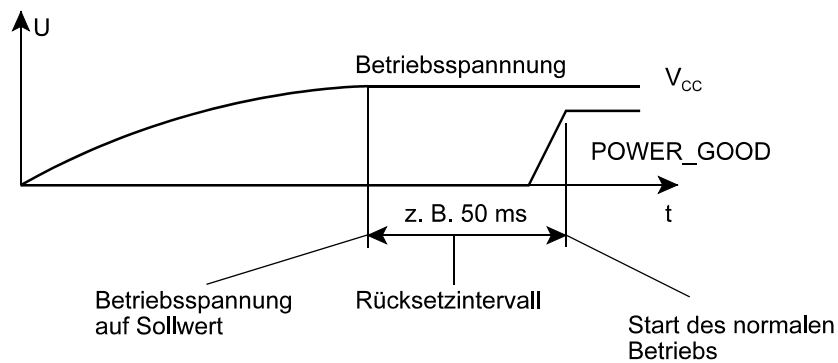


Abb. 2

3. Folgendes Impulsmuster (Abb. 3) ist zyklisch auszugeben. Geben Sie dafür eine Schaltungslösung an (Sie dürfen beliebige elementare Baustufen einsetzen (Gatter, Flipflops, Multiplexer, Decoder, Zähler usw.)).

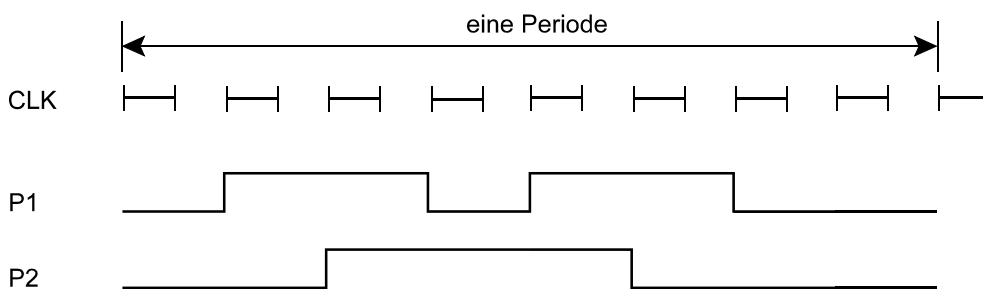


Abb. 3

4. Entwerfen Sie ein vollsynchrones 4-Bit-Register (Abb. 4) mit den Funktionen gemäß der folgenden Tabelle. Grundlage: D-Flipflops sowie beliebige Gatter. Es genügt, eine Bitposition sowie ggf. erforderliche zentrale Schaltmittel darzustellen.

Vorrangregeln (wenn zwei oder mehr Steuersignale gleichzeitig aktiv sind):

- C CLR dominiert über alle anderen Funktionen.
- C LD dominiert über INV.

Signal	Funktion
LD	Laden
INV	Invertieren des Inhaltes (aus 0 wird 1, aus 1 wird 0)
CLR	Löschen (alle Stellen = 0)
-	Datenbelegung halten

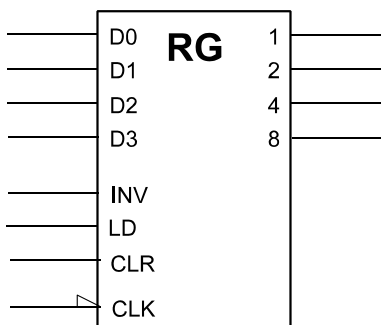


Abb. 4

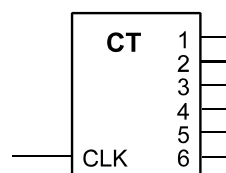


Abb. 5

- Entwerfen Sie einen Johnsonzähler (mit D-Flipflops), der modulo 6 zählt und erweitern Sie ihn so, daß er alle 6 Stellungen im 1-aus-n-Code ausgibt (Abb. 5).
- Bauen Sie auf Grundlage dieses Zählers einen elektronischen Würfel (Abb. 6). Es ist eine kombinatorische Schaltung zu entwerfen (mit beliebigen Gattern), die mit den Ausgangssignalen 1 bis 6 die LEDs A bis G je nach Zählerstand erregt (Ansteuerung aktiv high).

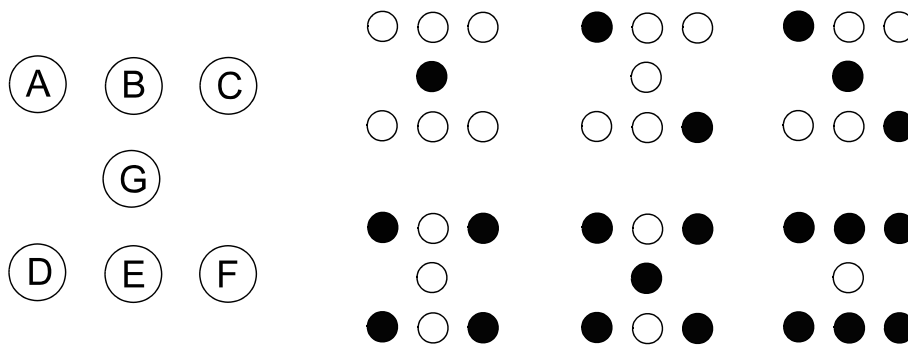


Abb. 6

- Minimieren Sie folgende Schaltfunktion mittels Karnaugh-Plan:

Schaltgleichung:
 $\bar{a} \bar{b} \bar{c} \bar{d} \vee \bar{a} \bar{b} \bar{c} d \vee \bar{a} \bar{b} c \bar{d} \vee \bar{a} b c d \vee \bar{a} b \bar{c} d \vee \bar{a} b c \bar{d}$
 Die Belegung $\bar{a} \bar{b} c \bar{d}$ kommt nie vor.

		CD:				
		00	01	11	10	
AB:	00	0 = $\bar{a} \bar{b} \bar{c} \bar{d}$	1 = $\bar{a} \bar{b} \bar{c} d$	3 = $\bar{a} \bar{b} c d$	2 = $\bar{a} \bar{b} c \bar{d}$	00
	01	4 = $\bar{a} b \bar{c} \bar{d}$	5 = $\bar{a} b \bar{c} d$	7 = $\bar{a} b c d$	6 = $\bar{a} b c \bar{d}$	01
	11	12 = $a b \bar{c} \bar{d}$	13 = $a b \bar{c} d$	15 = $a b c d$	14 = $a b c \bar{d}$	11
	10	8 = $a \bar{b} \bar{c} \bar{d}$	9 = $a \bar{b} \bar{c} d$	11 = $a \bar{b} c d$	10 = $a \bar{b} c \bar{d}$	10
		CD:				
		00	01	11	10	

- Führen Sie folgende Umrechnungen aus (Ergebnisse in Tabelle eintragen):

binär in hexadezimal		hexadezimal in binär		dezimal in hexadezimal	
1010 0101B		E1FH		91	
11 1100 0010B		2C8H		55	

Alle Zahlen sind vorzeichenlos.

Zusatzaufgaben

- Z1. Auf einer Leiterplatte befindet sich eine Schaltung gemäß Abb. 7, aufgebaut mit herkömmlichen TTL-Schaltkreisen. Es ist eine Änderung erforderlich. Und zwar muß der Dateneingang D des Flipflops gemäß folgender Funktion angesteuert werden:

$$D = \bar{A} \bar{B} Q \vee A \bar{B} C \vee \bar{A} B \bar{Q}$$

Es ist aber nur eine Bestückungsposition frei; Sie können also nur noch einen einzigen Schaltkreis der üblichen Logikbaureihen (aber keinen programmierbaren) mit 14 oder 16 Anschlüssen einsetzen. Lassen Sie sich was einfallen...

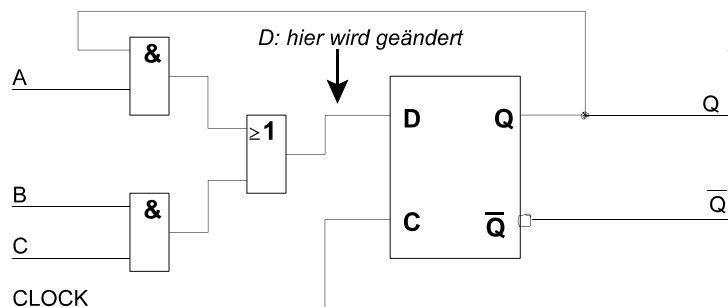


Abb. 7

- Z2. Absolute Denksportaufgabe: Auf einem Bedienfeld soll eine Anzeige gemäß Abb. 8a verwirklicht werden. Es stehen aber nur Bauelemente gemäß Abb. 8b zur Verfügung. Lassen Sie sich was einfallen...

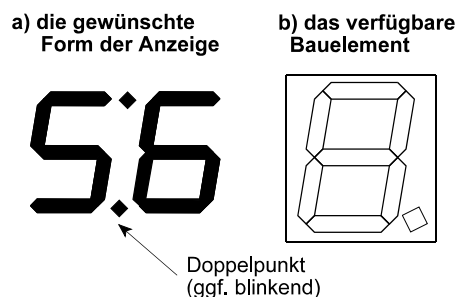


Abb. 8

4. Klausur vom 12. 7. 2007

1. Nennen Sie wenigstens drei Prinzipien zur Beschleunigung des Übertragsdurchlaufs in Addierschaltungen.
2. Wie sollte eine elementare Schaltung aussehen, die bei der Eintaktierung metastabile Zustände besonders zuverlässig vermeidet?
3. Ist folgende Gleichung richtig? – Beweisen Sie bitte Ihre Aussage (das Beweisverfahren ist freigestellt).

$$A \oplus (B \vee C) = (A \oplus B) \vee (A \oplus C)$$

4. Entwerfen Sie eine Schaltung auf Grundlage von NAND-Gattern, die die Funktion $A \oplus (B \vee C)$ realisiert (die NAND-Gatter dürfen beliebig viele Eingänge haben).
5. Nennen Sie wenigstens zwei Prinzipien der Zustandscodierung in State Machines. Geben Sie jeweils an, wieviele Flipflops für eine State Machine erforderlich sind, die 33 Zustände hat.
6. Es ist eine Prüfschaltung zu entwerfen, die zwei Binärzahlen miteinander vergleicht (Abb. 1). Sie beruht auf einem Addierer. Das Vergleichsergebnis ist über drei Leitungen auszugeben:
- C LT: $A < B$,
 C EQU: $A = B$,
 C GT: $A > B$.

Über eine Steuerleitung soll eingestellt werden, um welche Art von Binärzahlen es sich handelt:

- C SIGNED = 0: vorzeichenlos,
 C SIGNED = 1: mit Vorzeichen.

Der Addierer ist gegeben. Ihre Aufgabe besteht darin, die Zusatzschaltungen anzugeben, die die Vergleichsaussagen liefern. Aufbau: mit beliebigen Gattern (Sie dürfen auch weitere kombinatorische Grundschaltungen verwenden, um sich die Arbeit zu erleichtern). Damit die zeichnerische Darstellung überschaubar bleibt, beschränken wir uns auf vierstellige Binärzahlen.

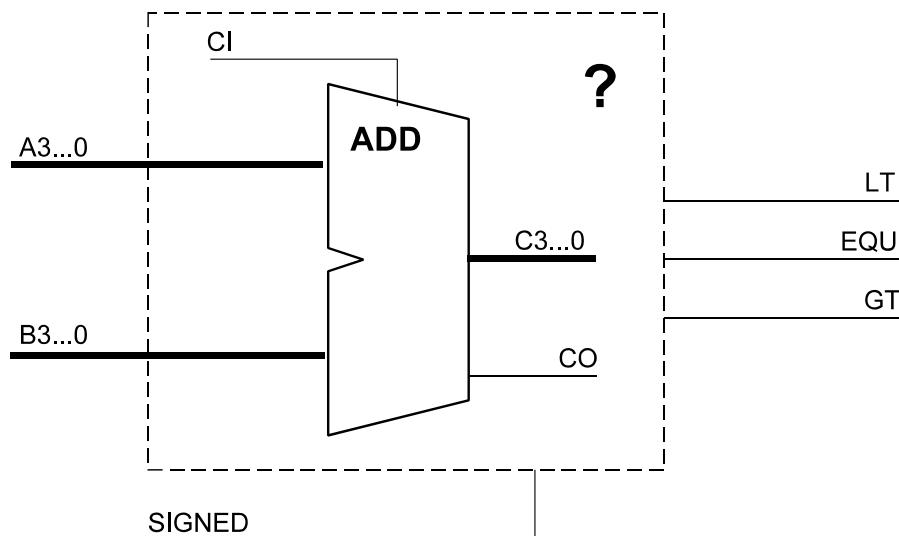


Abb. 1

7. Entwerfen Sie ein vollsynchrones 4-Bit-Register (Abb. 2) mit den Funktionen gemäß der folgenden Tabelle. Grundlage: D-Flipflops sowie beliebige Gatter. Es genügt, eine Bitposition sowie ggf. erforderliche zentrale Schaltmittel darzustellen. Vorrangregeln: keine.

Signal	Funktion
LD	Laden
LDM	Laden maskiert. Nur die Bitpositionen laden, deren Maskenbit mit 1 belegt ist. Alle anderen so lassen, wie sie sind
TGM	Umschalten maskiert (Toggle). Nur die Bitpositionen ändern (von 0 nach 1 oder von 1 nach 0), deren Maskenbit mit 1 belegt ist. Alle anderen so lassen, wie sie sind
CLR	Löschen (alle Stellen = 0)
–	Datenbelegung halten

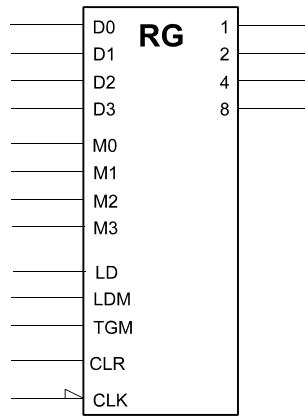


Abb. 2

8. Minimieren Sie folgende Schaltfunktion mittels Karnaugh-Plan (KV-Diagramm):

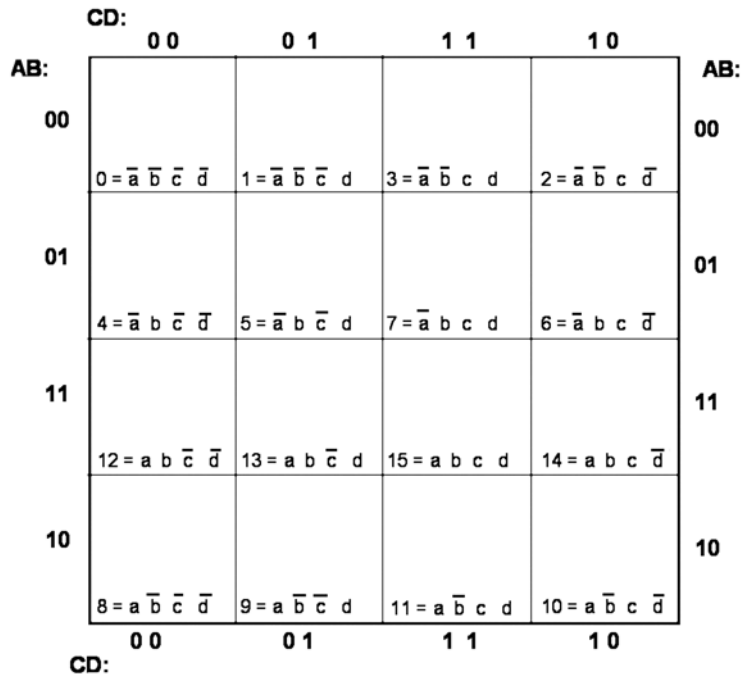
Schaltgleichung:

$$\bar{a} b \bar{c} d \vee a b c d \vee \bar{a} \bar{b} \bar{c} \bar{d} \vee \dots$$

$$a \bar{b} c \bar{d} \vee \bar{a} \bar{b} c \bar{d} \vee a \bar{b} \bar{c} \bar{d}$$

Diese Belegungen kommen nie vor:

$$\bar{a} b c d \text{ und } a b \bar{c} d$$



9. Führen Sie folgende Umrechnungen aus (Ergebnisse in Tabelle eintragen):

binär in hexadezimal		hexadezimal in binär		dezimal in hexadezimal	
1110 0001B		FE1		37	
10 0100 0110B		82CH		29	

Alle Zahlen sind vorzeichenlos.

Zusatzaufgaben

- Z1. Nennen Sie wenigstens vier verschiedene Grundtypen von Zählern. Geben Sie jeweils an, wieviele Flipflops benötigt werden, um modulo 26 zu zählen.
- Z2. Entwerfen Sie die Zählschaltung für einen Lottozahlengenerator (Abb. 3). Eine solche Anordnung enthält einen Taktgenerator, einen Zähler, eine Ziffernanzeige sowie eine Taste. Wird die Taste gedrückt, so zählt der Zähler zyklisch von 1 bis 49. Wird die Taste losgelassen, so ist die aktuelle (d. h. praktisch: "zufällige") Zählerstellung an der Anzeige ablesbar. Wir verwenden 4-Bit-Binärzähler. Beschalten Sie die Zähler so, daß die Anordnung zyklisch dezimal von 1 bis 49 zählt, solange die Taste betätigt ist. Die Eingangssignale: Takt = CLK, Taste = KEY, Zurücksetzen = RESET. Wie sorgen Sie dafür, daß die Anordnung sofort nach dem Anfangsrücksetzen (RESET) eine Eins anzeigt? Welche Voraussetzung muß dafür erfüllt sein?

5. Klausur vom 2. 4. 2008

1. Realisieren Sie eine XOR-Verknüpfung von drei Variablen $A \oplus B \oplus C$ mit einem Multiplexer (Abb. 1).

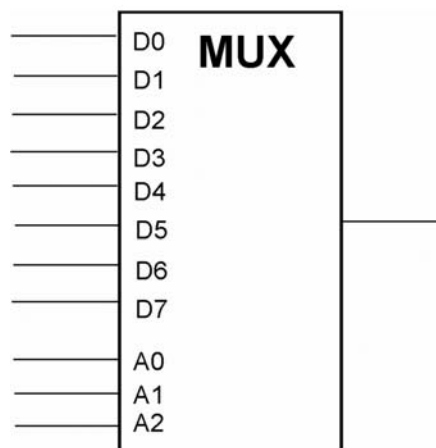


Abb. 1

2. Erklären Sie kurz die Begriffe Wrap-Around-Arithmetik und Sättigungsarithmetik. Berechnen Sie die Ergebnisse der folgenden Rechenoperationen gemäß der Sättigungsarithmetik. Die Werte sind vorzeichenlose 16-Bit-Binärzahlen. Ergebnisse hexadezimal angeben.
- a) $1234H + 18H$
- b) $1234H - A000H$
3. Entwerfen Sie einen Kabeltester (Abb. 2). Er soll Kabel mit maximal acht Einzelleitungen prüfen können (vgl. die übliche Netzwerkkabel). Ein solcher Tester besteht aus einem Stimulusgenerator, einer Anzeigeeinheit und einem Vergleicher. Der Stimulusgenerator wirkt so, daß er zunächst eine 1 auf die erste Leitung gibt, dann eine 1 auf die zweite Leitung usw.
- a) Entwerfen Sie einen Stimulusgenerator, der ein derartiges Prüfmuster (Abb. 3) zyklisch abgibt. Bauelemente: Flipflops, Register, Gatter.
- b) Entwerfen Sie einen Vergleicher, der kontrolliert, ob das Prüfmuster am anderen Ende tatsächlich ankommt. Er soll eine Gesamt-Fehleranzeige ERROR erregen (ERROR = 0, wenn alles o.k., ansonsten = 1).

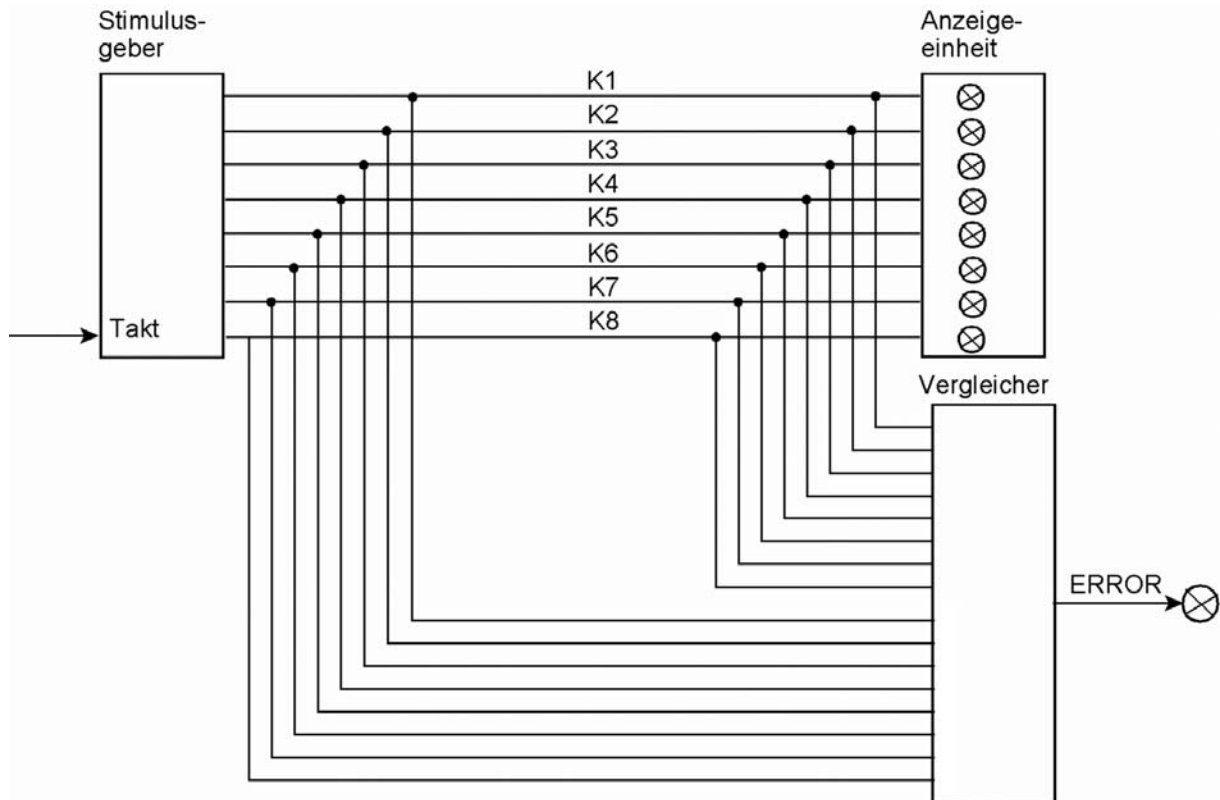


Abb. 2

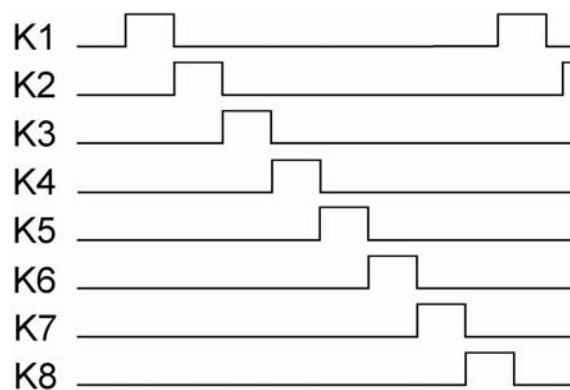


Abb. 3

4. Entwerfen Sie eine State Machine, die das Zustandsdiagramm von Abb. 4 durchläuft. Anfangszustand: IDLE (sehen Sie hierzu eine entsprechende Beschaltung von S- und R-Eingängen vor). Codierung: OHE. Flipfloptyp: JK (RS-Verhalten).
5. Beschalten Sie den Zähler von Abb. 5 so, daß er modulo 5 zählt.
6. Erläutern Sie kurz den Fachbegriff Overflow-Bedingung. Was zeigt diese Bedingung an? Wie wird sie gebildet?

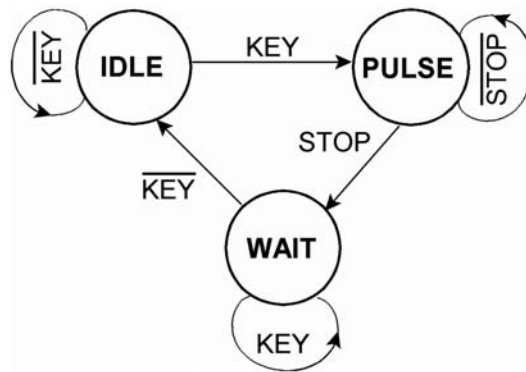


Abb. 4

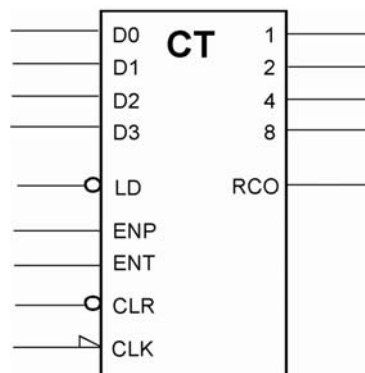


Abb. 5

7. An einem Latch-Register liegen Eingangssignale gemäß Abb. 6 an. Welche Signalverläufe erscheinen an den Ausgängen? (Einzeichnen.)

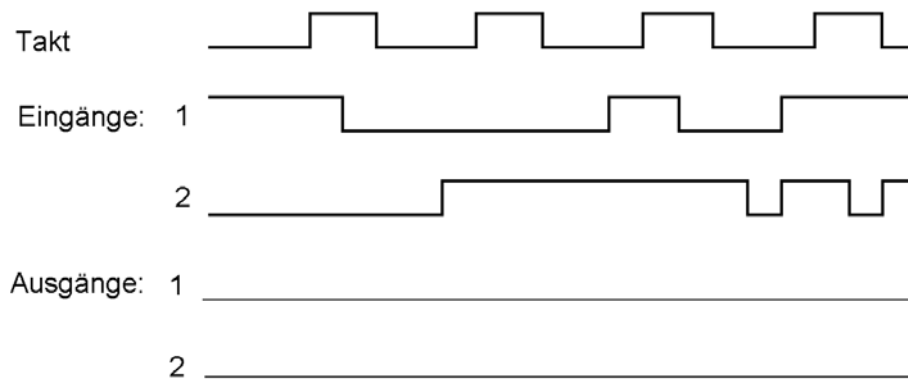


Abb. 6

8. Entwerfen Sie ein vollsynchrones 4-Bit-Register (Abb. 7) mit den Funktionen gemäß der folgenden Tabelle. Grundlage: D-Flipflops sowie beliebige Gatter. Es genügt, eine Bitposition sowie ggf. erforderliche zentrale Schaltmittel darzustellen. *Vorrangregel:* INIT dominiert über LD.

Signal	Funktion
LD	Laden (Übernahme von den Dateneingängen)der
INIT	Anfangswert einstellen (0H oder FH; abhängig von INV)
INV	invertierten Wert einstellen (wenn LD, dann invertierte Belegung der Dateneingänge, wenn INIT, dann Anfangswert FH)
weder LD noch INIT	Datenbelegung halten

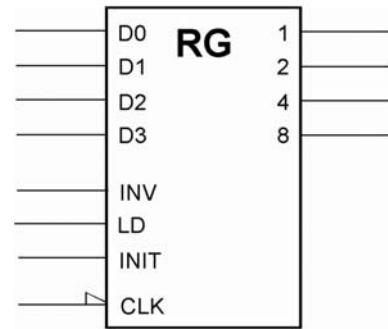


Abb. 7

9. Minimieren Sie folgende Schaltfunktion mittels Karnaugh-Plan (KV-Diagramm):

Schaltgleichung:
 $\bar{a} \bar{b} \bar{c} \bar{d} \vee \bar{a} \bar{b} \bar{c} d \vee a \bar{b} \bar{c} \bar{d} \vee a b c d \vee \bar{a} \bar{b} c d \vee \bar{a} b \bar{c} d$
 Die Belegung $\bar{a} \bar{b} c \bar{d}$ kommt nie vor.

		CD:					
		0 0	0 1	1 1	1 0		
AB:	0 0	0 = $\bar{a} \bar{b} \bar{c} \bar{d}$	1 = $\bar{a} \bar{b} \bar{c} d$	3 = $\bar{a} \bar{b} c d$	2 = $\bar{a} \bar{b} c \bar{d}$	0 0	
	0 1	4 = $\bar{a} b \bar{c} \bar{d}$	5 = $\bar{a} b \bar{c} d$	7 = $\bar{a} b c d$	6 = $\bar{a} b c \bar{d}$	0 1	
	1 1	12 = $a b \bar{c} \bar{d}$	13 = $a b \bar{c} d$	15 = $a b c d$	14 = $a b c \bar{d}$	1 1	
	1 0	8 = $a \bar{b} \bar{c} \bar{d}$	9 = $a \bar{b} \bar{c} d$	11 = $a \bar{b} c d$	10 = $a \bar{b} c \bar{d}$	1 0	
		CD:					
		0 0	0 1	1 1	1 0		

10. Führen Sie folgende Umrechnungen aus (Ergebnisse in Tabelle eintragen):

binär in hexadezimal		hexadezimal in binär		dezimal in hexadezimal	
1110 1010B		A1B2		66	
10 1000 1010B		D88D		88	

Alle Zahlen sind vorzeichenlos.

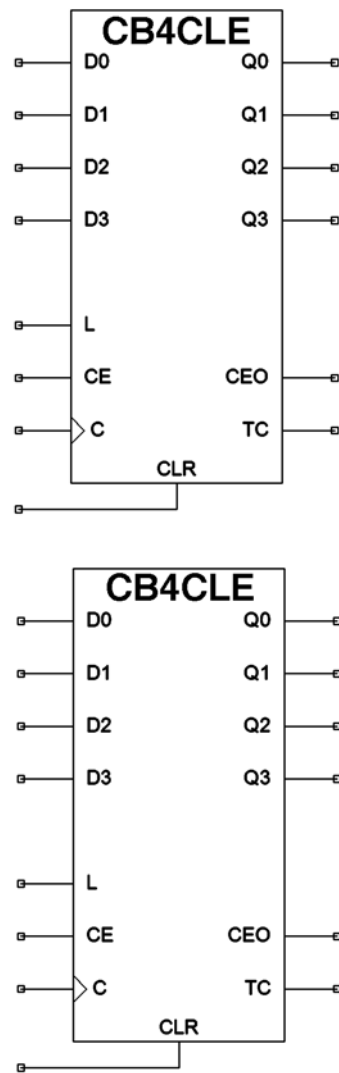


Abb. 3

6. Klausur vom 17. 7. 2008

1. Realisieren Sie die Verknüpfung $(A \oplus B) \cdot C$ mit einem Multiplexer (Abb. 1).

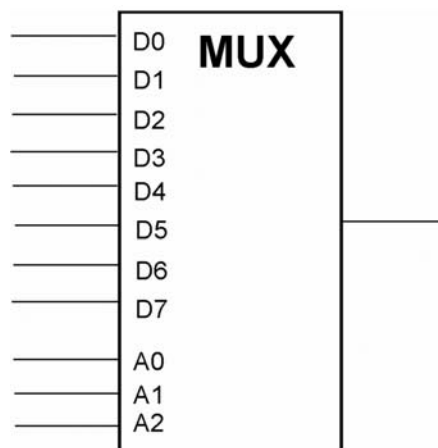


Abb. 1

2. Wie könnte eine elementare Schaltung aussehen, die bei der Eintaktierung metastabile Zustände besonders zuverlässig vermeidet?
3. Entwerfen Sie eine Zählschaltung mit drei T-Flipflops C, B, A, die gemäß Tabelle 1 zyklisch zählt (von Stellung 5 wieder nach Stellung 1). Beim Einschalt-rücksetzen soll Stellung 1 eingestellt werden (asynchrones Rücksetzen).

Stellung	C	B	A
1	0	0	0
2	0	0	1
3	0	1	0
4	1	0	0
5	1	1	1

Tabelle 1

4. Nennen Sie wenigstens drei Prinzipien zur Beschleunigung des Übertragsdurchlaufs in Addierschaltungen.
5. Entwerfen Sie ein vollsynchrones Schieberegister mit Parallelausgabe (Abb. 2). Je Bitposition sind zwei Flipflops erforderlich.; ein Schiebeflipflop und ein Ausgabeflipflop Alle Flipflops haben einen gemeinsamen Takt. Funktionsweise:
 - RS: alle Flipflops löschen. Muß über gleichzeitig aktives SH und LD dominieren (Rücksetzen geht allem anderen vor).
 - EC: nur die Ausgabeflipflops löschen. Muß über ein gleichzeitig aktives LD dominieren (Rücksetzen geht vor Laden).
 - SH: schieben. Es darf aber nicht geschoben werden, wenn LD aktiv ist.
 - LD: Ausgabeflipflops aus den Schiebeflipflops laden (und zwar auch dann, wenn SH aktiv ist).

Wenn nicht geschoben wird, ist die aktuelle Belegung im Schieberegister zu halten, wenn nicht geladen wird, die aktuelle Belegung im Ausgaberegister. Grundlage: D-Flipflops sowie beliebige Gatter. Es genügt, eine Bitposition sowie ggf. erforderliche zentrale Schaltmittel darzustellen Um das Schieben zu berücksichtigen, genügt es, für das Schiebeflipflop einen Schiebedateneingang SD vorzusehen.

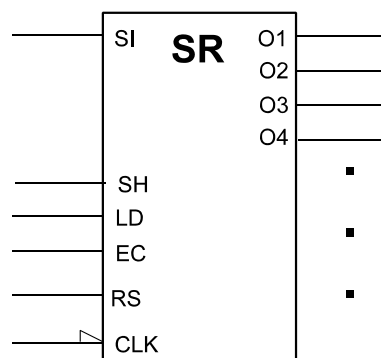


Abb. 2

6. An einem D-Flipflop-Register liegen Eingangssignale gemäß Abb. 3 an. Welche Signalverläufe erscheinen an den Ausgängen? (Einzeichnen.)

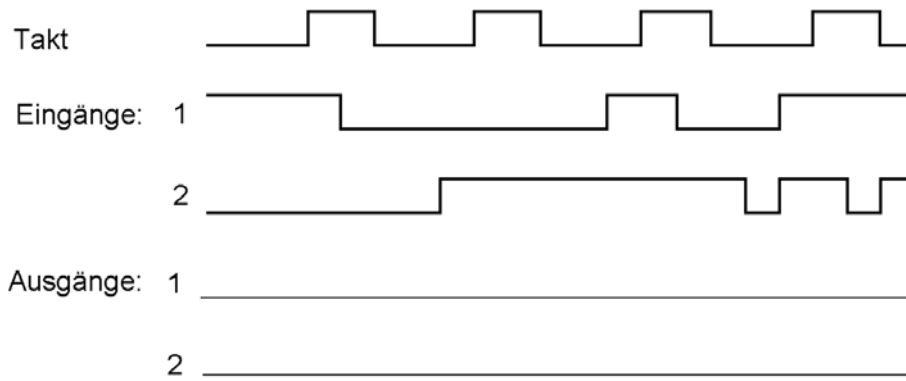


Abb. 3

7. Abb. 4 zeigt einen Addiererschaltkreis. Geben Sie eine Zusatzbeschaltung an, die die Overflow-Bedingung erkennt.

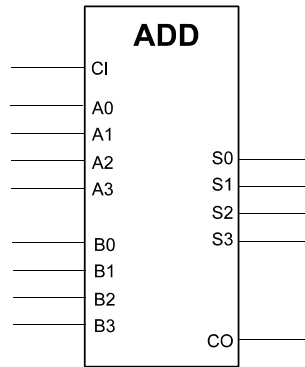
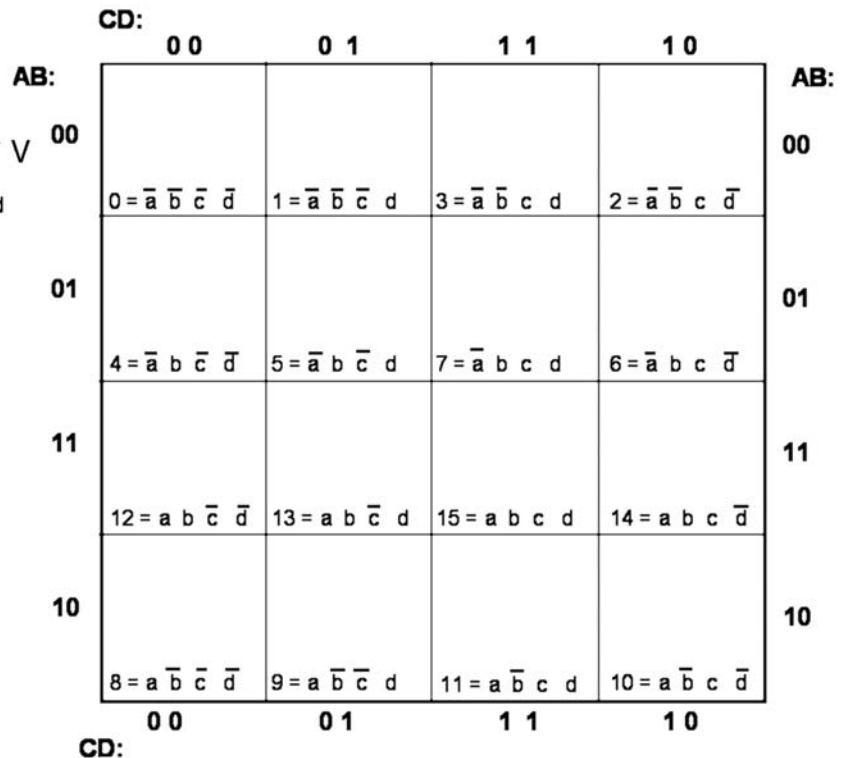


Abb. 4

8. Minimieren Sie folgende Schaltfunktion mittels Karnaugh-Plan (KV-Diagramm):

Schaltgleichung:

$$\bar{a} b c d \vee \bar{a} \bar{b} \bar{c} d \vee a \bar{b} \bar{c} \bar{d} \vee \bar{a} \bar{b} \bar{c} \bar{d} \vee \bar{a} \bar{b} c d \vee \bar{a} b \bar{c} d \vee \bar{a} b c d \vee \bar{a} b c \bar{d}$$



9. Welchen Vorteil hat der asynchrone Binärzähler, wenn es um höchste Zählfrequenzen geht?

10. Führen Sie folgende Umrechnungen aus (Ergebnisse in Tabelle eintragen):

binär in hexadezimal		hexadezimal in binär		dezimal in hexadezimal	
1111 0110B		3CA1		73	
11 0000 1101B		8DD8		37	

Alle Zahlen sind vorzeichenlos.