

Name:

Matr.-Nr.:

FH Dortmund

FB Informations- und Elektrotechnik

Digitaltechnik**Haus- und Übungsaufgaben vom 1. 2. 2010
und Musterlösungen**

1. Minimieren Sie folgende Schaltfunktion mittels Karnaugh-Plan (KV-Diagramm):

(5 Punkte)

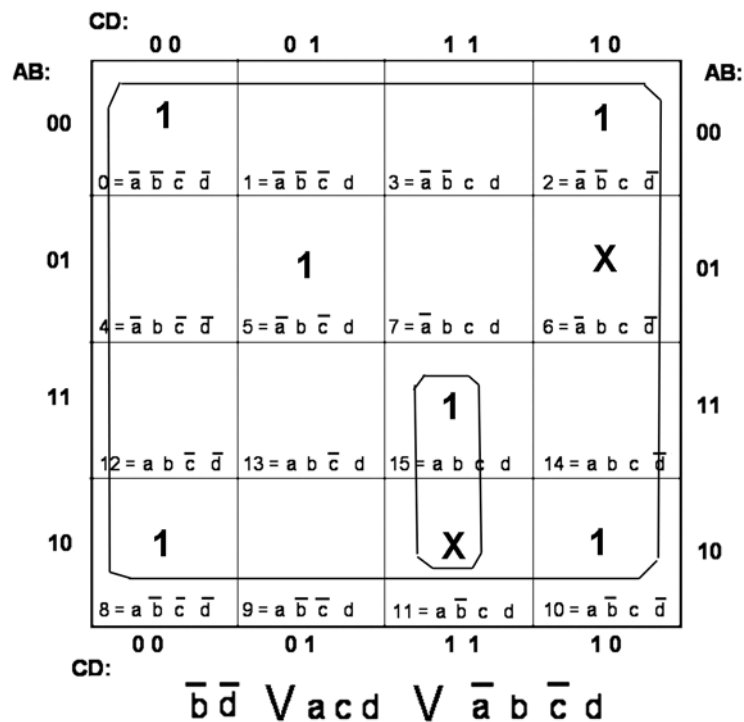
Schaltgleichung:

$$\bar{a} b \bar{c} d \vee a b c d \vee \bar{a} \bar{b} \bar{c} \bar{d} \vee$$

$$a \bar{b} c \bar{d} \vee \bar{a} \bar{b} c \bar{d} \vee a \bar{b} \bar{c} \bar{d}$$

Diese Belegungen kommen nie vor:

$$\bar{a} b c \bar{d} \text{ und } a \bar{b} c d$$



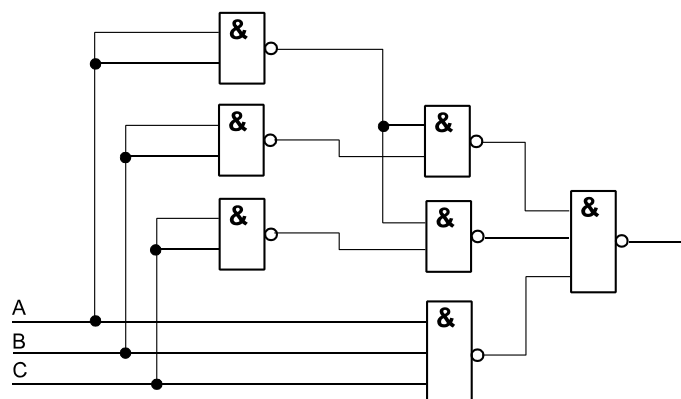
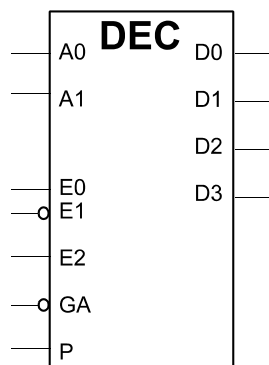
2. Entwerfen Sie eine Schaltung auf Grundlage von NAND-Gattern, die die Funktion $\bar{A} \oplus (B \cdot C)$ realisiert. Die NAND-Gatter dürfen beliebig viele Eingänge haben. Negationen sind mit Gattern auszuführen.

(5 Punkte)

A	B	C	$B \cdot C$	$\bar{A} \oplus (B \cdot C)$
0	0	0	0	1
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	0
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

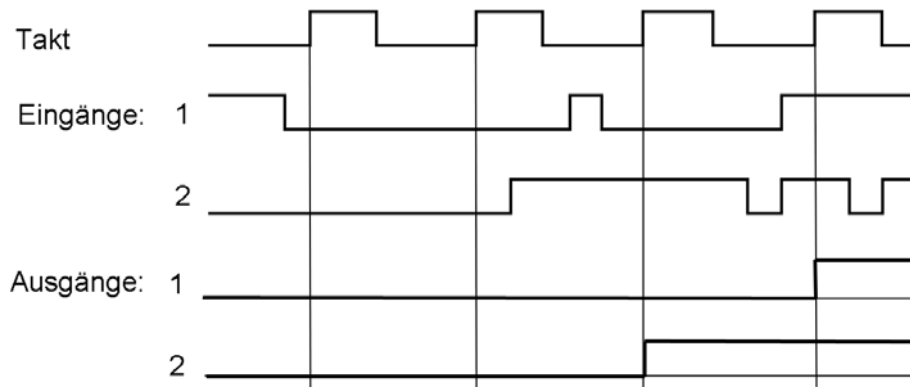
$$\bar{A} \cdot \bar{B} \cdot \bar{C} \vee \bar{A} \cdot \bar{B} \cdot C \vee \bar{A} \cdot B \cdot \bar{C} \vee A \cdot B \cdot C =$$

$$\bar{A} \cdot \bar{B} \vee \bar{A} \cdot \bar{C} \vee A \cdot B \cdot C$$



3. An einem D-Flipflop-Register liegen Eingangssignale gemäß der folgenden Abbildung an. Welche Signalverläufe erscheinen an den Ausgängen? (Einzeichnen.)

(3 Punkte)

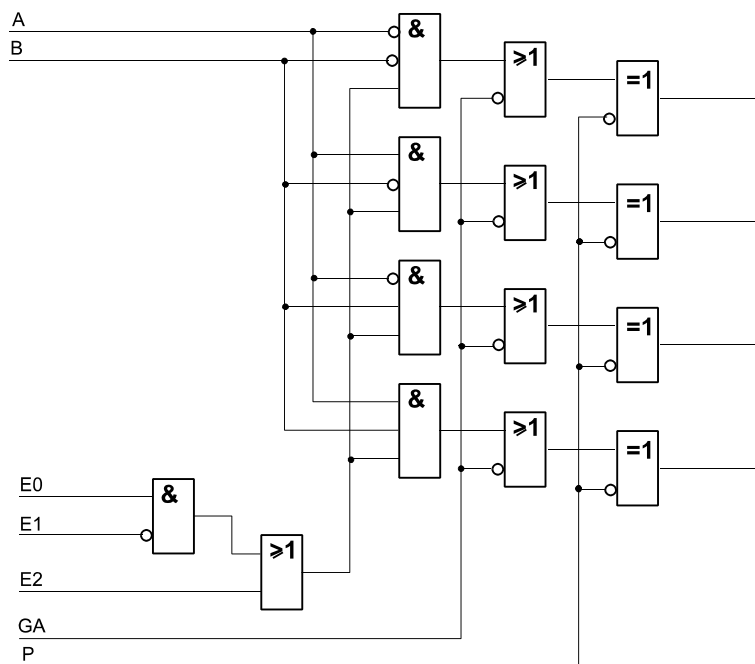


4. Entwerfen Sie einen 1-aus-4-Decoder. Beschreibung der Signale:

- A0, A1: Adreßeingänge (zu decodieren),
- D0...D3: Decoder-Ausgänge,
- E0, E1: konjunktiv verknüpfte Erlaubniseingänge. Der jeweilige Decoder-Ausgang soll aktiv werden, wenn $E0 \& \overline{E1}$ erfüllt ist.
- E2: disjunktiv wirkender Erlaubniseingang. Der jeweilige Decoder-Ausgang soll aktiv werden, wenn E2 aktiv ist.
- GA: globale Aktivierung. Ist GA aktiv (Low), so sollen alle 4 Decoder-Ausgänge aktiv werden.
- P: Polaritätswahl. $P = 0$: Decoder-Ausgänge aktiv Low; $P = 1$: Decoder-Ausgänge aktiv High.

Realisierungsbasis: beliebige Gatter. Negationen dürfen symbolisch (mit Kreisen an den Eingängen) dargestellt werden.

(4 Punkte)



5. Entwerfen Sie eine Zehlschaltung mit drei T-Flipflops C, B, A, die gemäß Tabelle 1 zyklisch zählt (von Stellung 5 wieder nach Stellung 1). Beim Einschalt-rücksetzen soll Stellung 1 eingestellt werden (asynchrones Rücksetzen). Es genügt die Angabe der Schaltgleichungen. Minimierung ist nicht erforderlich.

(4 Punkte)

Stellung	C	B	A
1	0	0	0
2	1	0	0
3	1	1	0
4	1	1	1
5	0	1	0

Tabelle 1

Stellung	C	B	A	TC	TB	TA
1	0	0	0	1	0	0
2	1	0	0	0	1	0
3	1	1	0	0	0	1
4	1	1	1	1	0	1
5	0	1	0	0	1	0

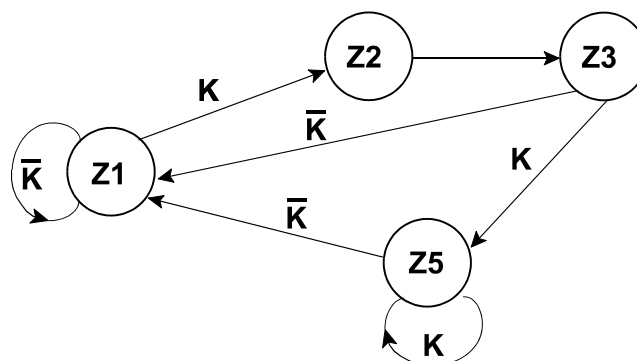
$$TA = C \cdot B \cdot \bar{A} \vee C \cdot B \cdot A = C \cdot B$$

$$TB = C \cdot \bar{B} \cdot \bar{A} \vee \bar{C} \cdot B \cdot \bar{A}$$

$$TC = \bar{C} \cdot \bar{B} \cdot \bar{A} \vee C \cdot B \cdot A$$

6. Entwerfen Sie einen Zustandsautomaten, der das folgende Zustandsdiagramm durchläuft. Anfangszustand: Z1 (wird automatisch eingestellt – Sie müssen sich nicht darum kümmern). Codierung: OHE. Flipfloptyp: RS-FF.

(4 Punkte)



$$Z1R = Z2S = Z1 \cdot K$$

$$Z2R = Z3S = Z2$$

$$Z3R = Z3$$

$$Z5S = Z3 \cdot K$$

$$Z5R = Z5 \cdot \bar{K}$$

$$Z1S = Z3 \cdot \bar{K} \vee Z5 \cdot \bar{K}$$