

Name:

Matr.-Nr.:

FH Dortmund

FB Informations- und Elektrotechnik

Digitaltechnik

Haus- und Übungsaufgaben vom 15. 12. 2008

Abgabe: bis 12. 1. 2009, 13.00 Uhr
(Briefkasten)

1. Minimieren Sie folgende Schaltfunktion mittels Karnaugh-Plan (KV-Diagramm):

(4 Punkte)

Schaltgleichung:

$$\bar{a} b \bar{c} d \vee a b c d \vee \bar{a} \bar{b} \bar{c} \bar{d} \vee \bar{a} b c d$$

Die Belegung $a b \bar{c} d$ kommt nie vor.

		CD:					
		00	01	11	10		
AB:						AB:	
	00	0 = $\bar{a} \bar{b} \bar{c} \bar{d}$	1 = $\bar{a} \bar{b} \bar{c} d$	3 = $\bar{a} \bar{b} c d$	2 = $\bar{a} \bar{b} c \bar{d}$		00
	01	4 = $\bar{a} b \bar{c} \bar{d}$	5 = $\bar{a} b \bar{c} d$	7 = $\bar{a} b c d$	6 = $\bar{a} b c \bar{d}$		01
	11	12 = $a b \bar{c} \bar{d}$	13 = $a b \bar{c} d$	15 = $a b c d$	14 = $a b c \bar{d}$		11
	10	8 = $a \bar{b} \bar{c} \bar{d}$	9 = $a \bar{b} \bar{c} d$	11 = $a \bar{b} c d$	10 = $a \bar{b} c \bar{d}$		10
		CD:					
		00	01	11	10		

2. Führen Sie folgende Umrechnungen aus (Ergebnisse in Tabelle eintragen):

binär in hexadezimal		hexadezimal in binär		dezimal in hexadezimal	
1010	0111B	13CB		347	

Alle Zahlen sind vorzeichenlos.

(3 Punkte)

3. Entwerfen Sie ein vollsynchrones 4-Bit-Register (Abb. 1) mit den Funktionen gemäß der folgenden Tabelle. Grundlage: D-Flipflops sowie beliebige Gatter. Es genügt, eine Bitposition sowie ggf. erforderliche zentrale Schaltmittel darzustellen. Vorrangregeln: keine.

(5 Punkte)

Signal	Funktion
LD	Laden
LDM	Laden maskiert. Nur die Bitpositionen laden, deren Maskenbit mit 1 belegt ist. Alle anderen so lassen, wie sie sind
TGM	Umschalten maskiert (Toggle). Nur die Bitpositionen ändern (von 0 nach 1 oder von 1 nach 0), deren Maskenbit mit 1 belegt ist. Alle anderen so lassen, wie sie sind
CLR	Löschen (alle Stellen = 0)
–	Datenbelegung halten

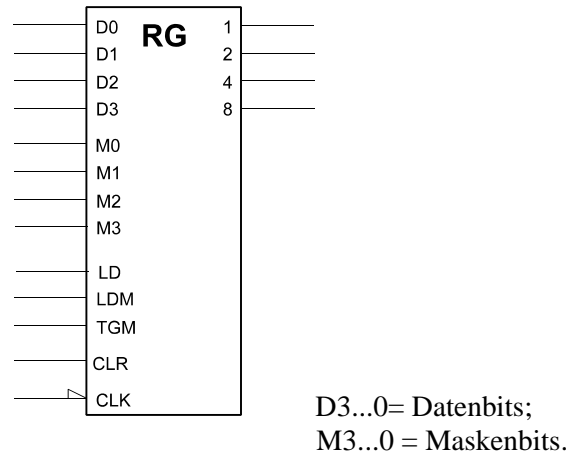


Abb. 1

4. Ein Ansatz zum Bau ausfallsicherer Systeme ist die sog. Dreifachreduanz. Die Funktionseinheiten werden dreimal vorgesehen und mit Vergleichseinrichtungen verbunden. Unser System (Abb. 2) besteht aus den Funktionseinheiten Master (M), Checker (C) und Voter (V). Wir betrachten nur ein einziges Signal S, das über eine zu entwerfende Schaltung SEL ausgewählt werden soll. Stimmen die Belegungen von Master und Checker überein, so ist das Signal des Masters auszuwählen. Stimmen sie nicht überein, so ist das Signal auszuwählen, dessen Belegung mit der des Voters übereinstimmt, und es ist ein Fehlersignal ERROR zu aktivieren. Realisierungsbasis: beliebige Gatter. Minimierung ist nicht erforderlich. *Hinweis:* Die Lösung kann auch – ohne Nutzung von Auswahl-schaltungen – auf Grundlage der Wahrheitstabelle gefunden werden.

(5 Punkte)

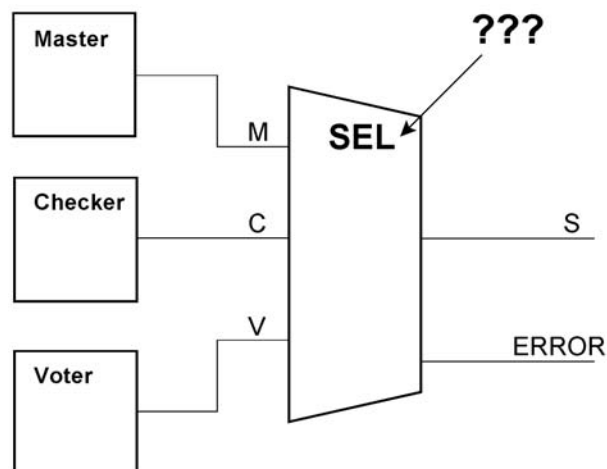


Abb. 1

Viel Erfolg!