

## Berichtigungen und Anmerkungen

Stand: 1. 6. 2010

### Seite 17:

#### 1.3.1 Dezimal- und Binärzahlen

Ein Stellenwertsystem zur Basis  $B$  beruht auf  $n$  Ziffernsymbolen mit den Werten  $0, 1$  usw. bis  $B-1$ . Der Wert der einzelnen Stelle ergibt sich zu

#### Berichtigung:

Ein Stellenwertsystem zur Basis  $B$  beruht auf  $B$  Ziffernsymbolen mit den Werten  $0, 1$  usw. bis  $B-1$ .

### Seite 20:

- Differenz  $\leq 0$ . Divisor passt hinein. Das Quotientenbit ist dann  $= 1$ , und die Differenz wird als Rest verwendet (mit dem weitergerechnet wird).

#### Berichtigung:

- Differenz  $\geq 0$ . Divisor passt hinein. Das Quotientenbit ist dann  $= 1$ , und die Differenz wird als Rest verwendet (mit dem weitergerechnet wird).

### Seite 154:

damit aufzubauen. UND, ODER und NICHT sind auch schaltungstechnisch einfach zu verwirklichen (vgl. Abb. 1.20 bis 1.22). Demgegenüber wäre es unpraktisch, Antivalenz- oder Äquivalenzverknüpfungen in die Realisierungsbasis aufzunehmen, denn diese Verknüpfungen erfordern Wechselschaltungen, oder sie müssen ihrerseits auf UND, ODER und NICHT zurückgeführt werden (zu lange Verzögerungszeiten, zu kompliziert).<sup>\*</sup> Zwei weitere

#### Anmerkung (\*):

Antivalenz und Äquivalenz als ganz elementare Verknüpfungen haben eine gewisse Bedeutung in der Theorie (Normalformen, Shegalkin-Polynom) und in manchen programmierbaren Schaltkreisen (nämlich dann, wenn z. B. die XOR-Verknüpfung als Transistorschaltung vorgesehen ist, wie in einigen PALs). Zerlegt man eine Schaltgleichung in Teile, die antivalent verknüpft werden (XOR-Faktorisierung), so ergeben sich manchmal kürzere Ausdrücke. Vgl. die Anweisung XOR FACTORS der Hardwarebeschreibungssprache ABEL ([3.23]).

### Seite 165:

*Beispiel:* Aus 32 Variablen  $a_{31} \dots a_0$  sind 31 Ergebnisbits  $r_{31} \dots r_1$  zu bilden (Bit  $r_1$  durch Verknüpfung von  $a_0$  und  $a_1$ , Bit  $r_2$  durch Verknüpfung von Bit  $r_1$  mit  $a_2$  usw.; vgl. Abb. 3.22c). Jede einzelne Verknüpfung  $r_k$  ( $k = 0 \dots 31$ )

#### Berichtigung:

Abb. 3.23c).

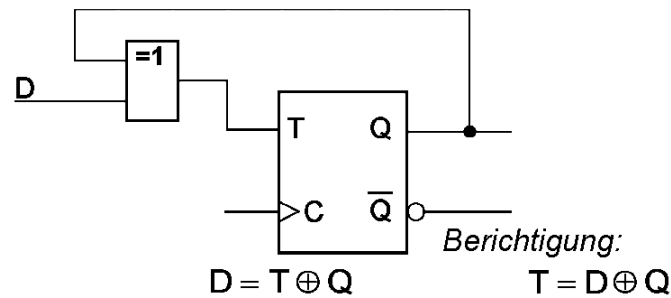
**Seite 209:***RS-Flipflop mit Setzdominanz*

Die übliche Überföhrungsfunktion des RS-Flipflops:

$$Q^1 = S \vee \bar{Q} \cdot R \quad (4.6)$$

*Berichtigung:*

$$Q^1 = S \vee Q \cdot \bar{R}$$

**Seite 211:****Seite 233:**

so ist die Selbsthaltung zu aktivieren.\*Werden DE-Flipflops eingesetzt, so entfällt die Rückführung (da sie schon im Innern der Flipflops vorgesehen ist). Stattdessen ist der Erlaubniseingang CE dann zu aktivieren, wenn eine Funktion auszuführen ist (z. B. über eine disjunktive Verknüpfung der Funktionsauswahlsignale; Abb. 4.76).

**Anmerkung (\*):**

Vorrangregeln sind mit entsprechenden Zusatzbeschaltungen zu implementieren. Das Prinzip besteht darin, jene Signale, die mit Vorrang wirken sollen, invertiert in konjunktive Verknüpfungen einzubeziehen (Inhibition; vgl. Seite 26). Manchmal ist es von Vorteil, die kombinatorischen Verknüpfungen mit Schaltnetzen zu erledigen, die aus 2-zu-1-Multiplexern aufgebaut sind. Dann ergibt sich die Vorrangregelung aus der Reihenfolge der Multiplexer. Je näher der Multiplexer dem Flipflopeingang, desto höher die Priorität des Auswahlsignals. Als Beispiele vgl. die Abbildungen 6.80, 6.81 und 6.102.

**Seite 265:**

```

when Z3 =>
  if E2 then
    out <= A5;
    next_state <= Z3;

```

**Berichtigung:**

```

when Z3 =>
  if E2 then
    out <= A5;
    next_state <= Z3;

```

(then stets halbfett.)

```

if E2 then
  next_state <= Z3;
else
  next_state <= Z4;
when Z4 =>

```

```

if E2 then
  next_state <= Z3;
else
  next_state <= Z4;
when Z4 =>

```

**Seite 343:***Decodieren und rücksetzen*

Der Zähler wird zurückgesetzt, wenn die jeweils gewünschte letzte Zählerstellung (Endwert) erreicht ist. Dann beginnt er erneut vom Anfangswert an zu zählen. Abbildung 6.126 veranschaulicht die Grundschialtung. Anhand der Abbildung 6.127 bis 6.129 werden Spitzfindigkeiten und Abwandlungen erläutert.

**Berichtigung:**

Anhand der Abbildungen 6.127 bis 6.129...

**Seite 357:**

$$\bar{A} \cdot \bar{B} \cdot \bar{C} \vee \bar{A} \cdot \bar{B} \cdot \bar{C} = \bar{A} \cdot \bar{C}$$

*Wortgeneratoren*

Die Bitfolge erscheint am Ausgang des letzten Flipflops. Die Ausgabe eines n Bits langen Wortes erfordert n Takte. Das Schieberegister von Abbildung 6.148 liefert am Ausgang des Flipflops C eine zyklische Bitfolge 000101.

*Zähler*

Das Entwurfsziel ist eine bestimmte Folge von Registerbelegungen, die Codierungen der einzelnen Zählerstände darstellen. Die Belegungen der Flipflops werden parallel ausgewertet. In diesem Sinne ist das Schieberegister von Abbildung 6.148 ein modulo-6-Zähler mit der Zustandsfolge 0H – 4H – 2H – 5H – 3H – 1H.

**Berichtigung:**

$$\bar{A} \cdot \bar{B} \cdot \bar{C} \vee A \cdot \bar{B} \cdot \bar{C} = \bar{B} \cdot \bar{C}$$

*Wortgeneratoren*

Die Bitfolge erscheint am Ausgang des letzten Flipflops. Die Ausgabe eines n Bits langen Wortes erfordert n Takte. Das Schieberegister von Abbildung 6.148 liefert am Ausgang des Flipflops C eine zyklische Bitfolge 00011.

*Zähler*

Das Entwurfsziel ist eine bestimmte Folge von Registerbelegungen, die Codierungen der einzelnen Zählerstände darstellen. Die Belegungen der Flipflops werden parallel ausgewertet. In diesem Sinne ist das Schieberegister von Abbildung 6.148 ein modulo-5-Zähler mit der Zustandsfolge 0H – 4H – 6H – 3H – 1H.

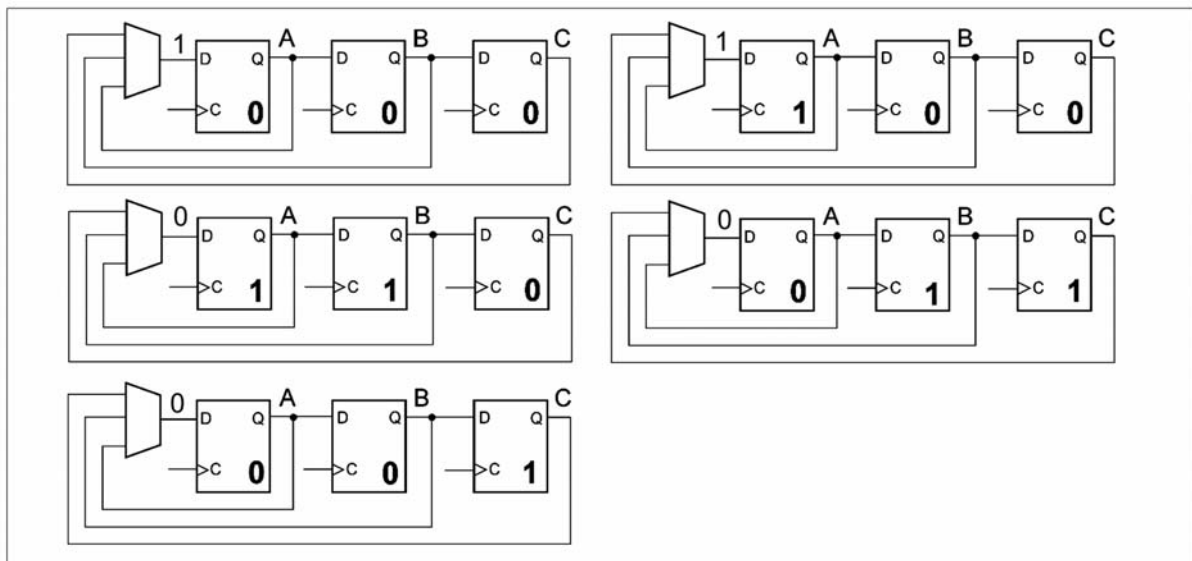


Abb. 6.148: Bitmustererzeugung mit einem nichtlinear rückgekoppelten Schieberegister.

## Seite 358:

### Teiler

Beim Teiler interessiert typischerweise nur ein Ausgangssignal (z. B. des letzten Flipflops). Es sind Impulse zu bilden, deren Folgefrequenz ein bestimmtes Teilungsverhältnis gegenüber dem Takt des Schieberegisters aufweist. Die Bitfolge des Schieberegisters von Abbildung 6.148 (000101) ist für die Frequenzteilung kaum brauchbar. Geht man hingegen von der Belegung 100 nicht auf 010, sondern auf 110, so ergibt sich eine Bitfolge 000111. Am Ausgang des Flipflops C erscheint dann eine Impulsfolge mit einer Periode von sechs Taktzyklen (Teilungsverhältnis 1:6) und einem Duty Cycle von 50 %.

### Berichtigung:

#### Teiler

Beim Teiler interessiert typischerweise nur ein Ausgangssignal (z. B. des letzten Flipflops). Es sind Impulse zu bilden, deren Folgefrequenz ein bestimmtes Teilungsverhältnis gegenüber dem Takt des Schieberegisters aufweist.