

Realzeitplattform Mikrocontroller + CPLD

Stand: 27. 2. 2014

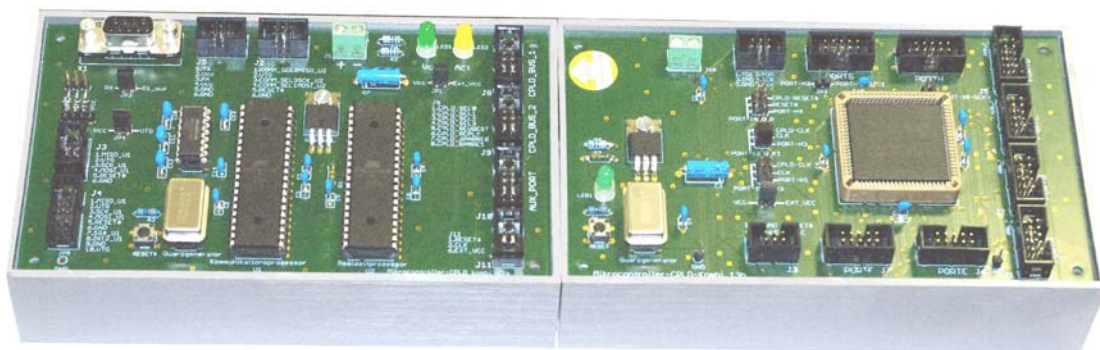
Zweck:

Demonstrationsplattform, die Untersuchungen, Vorführungen, Übungen usw. zu folgenden Problembereichen ermöglicht:

1. Das Zusammenwirken von zwei Mikrocontrollern, wobei der eine harte Realzeitaufgaben und der andere die Kommunikation mit weiteren Systemen übernimmt, beispielsweise mit einem Personalcomputer. Beide Abläufe sind asynchron zueinander. Die Kommunikationsvorgänge dürfen das Realzeitverhalten nicht beeinflussen. Das Zeitverhalten der Realzeitmaschine muß immer deterministisch bleiben; wenn nötig, bis auf den Takt genau. Deshalb dürfen in der Realzeitmaschine weder Interrupts wirksam werden noch darf sie in Wartezustände unvorhersagbarer Dauer gelangen. Absolutes Leistungsvermögen ist nicht entscheidend. Deshalb wird auf den Dual Port RAM verzichtet, der herkömmlicherweise in solchen Konfigurationen üblich ist. Vielmehr sind beide Maschinen direkt miteinander verbunden.
2. Das Zusammenwirken eines Mikrocontrollers mit einem CPLD. Solche Lösungen werden gelegentlich von CPLD-Herstellern propagiert. Es sind zwei Schaltkreise, aber beide sind kostengünstig. Kopplung und Funktionstrennung sind überschaubar. Der Mikrocontroller wird in Assembler oder (beispielsweise) C programmiert, die Funktionen im CPLD beispielsweise mit Verilog oder VHDL. Die Kommunikation zwischen beiden Einrichtungen kann leicht beobachtet werden (Logikanalysator). Es ist im Grunde eine Vorstufe zur echten Einchip-Lösung (FPGA mit Prozessorkern(en) und anwendungsspezifischen Einzweckschaltungen).

Die Plattform besteht aus zwei Platinen bzw. Modulen:

1. Mikrocontrollerplatine,
2. CPLD-Platine.



Links: Mikrocontrollerplatine, rechts CPLD-Platine. Beide können auch unabhängig voneinander genutzt werden.

Betriebsspannung:

Abhängig vom CPLD. Die Plattform kann mit 3,3 V betrieben werden. Jede Platine hat eigene Betriebsspannungsanschlüsse, kann aber auch von der jeweils anderen Platine aus versorgt werden.

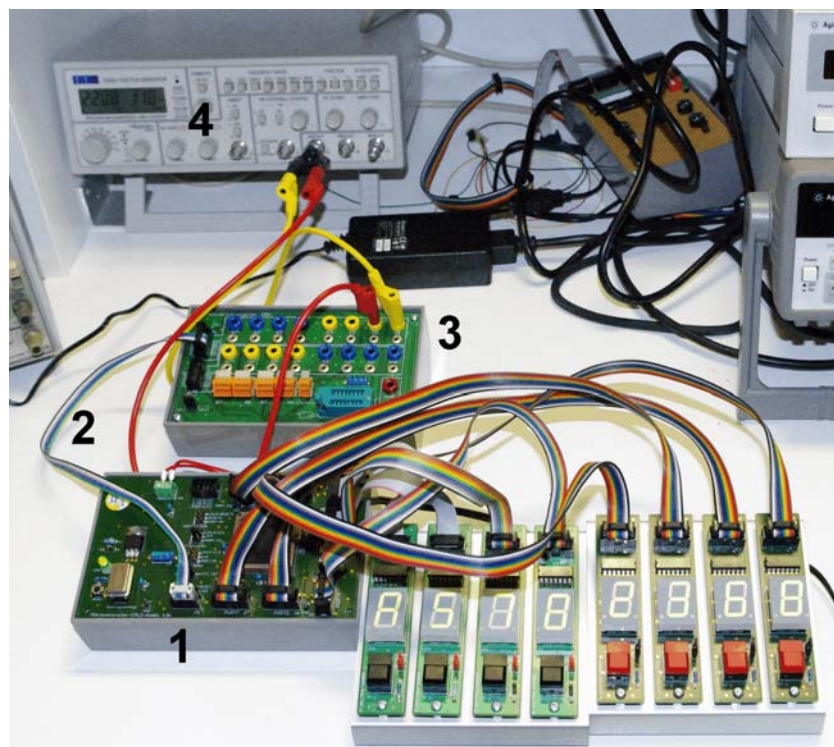
Kommunikation mit übergeordneten Systemen:

Über die serielle Schnittstelle des Kommunikationsprozessors (Mikrocontrollerplatine).

Takt- und Rücksetzsignale der CPLD als programmgesteuerte Signale

Solche Betriebsarten kommen u. a. zu Testzwecken in Frage (in der CPLD soundso viele Takte auslösen, zyklisch zurücksetzen usw.). Die Mikrocontrollerplatine kann diese Betriebsarten aber nicht direkt unterstützen. Es gibt aber Alternativen:

- a) Die Taktsteuerung und Rücksetzauslösung wird bedarfsweise im CPLD schaltungstechnisch vorgesehen. Die auslösenden Signale kommen von der Mikrocontrollerplatine (z. B. in Form entsprechender Kommandocodes) und werden im CPLD passend decodiert. Die so gebildeten Takt- und Rücksetzsignale werden über Port H der CPLD ausgegeben und über Jumper auf Port I der CPLD zurückgeführt.
- b) Die Signale werden extern erzeugt (z. B. von einem weiteren Mikrocontroller) und der CPLD-Platine zugeführt (Takt- und Rücksetzsteckverbinder, ggf. über Sonderkabel).



- 1 - Takt- und Rücksetzsteckverbinder
- 2 - Sonderkabel
- 3 - Universaladapter 10b
- 4 - Externe Taktquelle (hier ein Funktionsgenerator)

Die Mikrocontrollerplatine

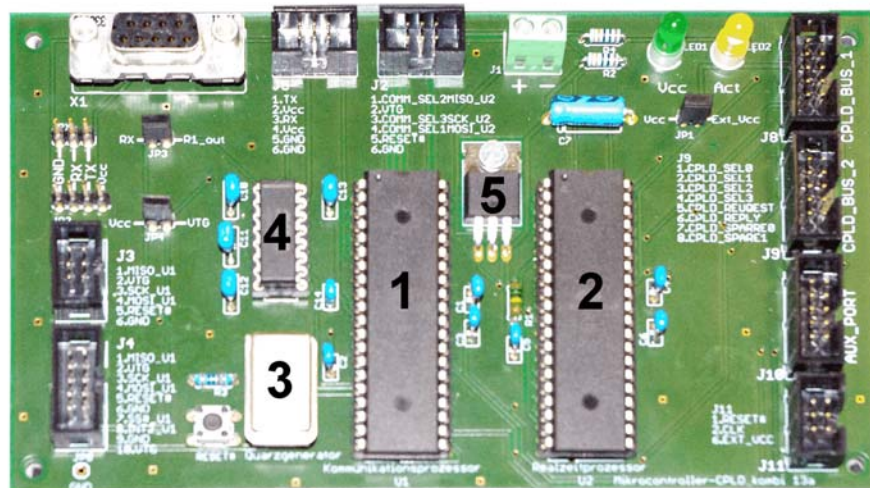
Stand: 24. 2. 2014

Die Platine enthält zwei Mikrocontroller:

1. den Kommunikationsprozessor,
2. den Realzeitprozessor.

Takt und Rücksetzen sind beiden Prozessoren gemeinsam.

Funktionselemente:



- 1 - Kommunikationsprozessor
- 2 - Realzeitprozessor
- 3 - Quarzgenerator (gemeinsamer Takt)
- 4 - Pegelwandler RS-232
- 5 - Verpolschutz für externe Betriebsspannung

Der Kommunikationsprozessor

Der Kommunikationsprozessor dient zum Anschließen an übergeordnete Systeme. Hierzu kann die serielle Schnittstelle oder die SPI-Schnittstelle genutzt werden. Erforderlichenfalls sind Interfaceadapter vorzuschalten (z. B. USB – seriell oder SPI – Ethernet).

Die externen Schnittstellen des Kommunikationsprozessors:

- Seriell (5 V und RS-232).
- SPI, erweitert um zwei Signale (SS#; INT2) (wie Universalgerät 12a usw.).
- Eine programmseitig steuerbare LED-Anzeige (Aktivitätsanzeige).
- Ein universell nutzbarer 8-Bit-Port (AUX_PORT7...0). Hier kann z. B. eine Einheitsbedientafel 02/10 angeschlossen werden.

Der Realzeitprozessor

Der Realzeitprozessor dient zum Anschließen der zu steuernden Einrichtungen, entweder direkt oder über eine nachgeschaltete CPLD-Platine.

Die Schnittstelle zwischen Kommunikations- und Realzeitprozessor:

Sie umfaßt insgesamt 16 Signale, die im Grunde beliebig genutzt werden können. Die Signalbezeichnungen beziehen sich aber auf eine bestimmte vorzugsweise Nutzung:

- Ein 8-Bit-Datenbus (COMM_BUS7...0; bidirektional).
- Vier Auswahl- und Steuersignale (COMM_SEL3...0). Sie werden vom Realzeitprozessor erregt.
- Ein Anforderungssignal COMM_REQUEST. Es wird vom Realzeitprozessor erregt.
- Ein Antwortsignal COMM_REPLY. Es wird vom Kommunikationsprozessor erregt.
- Eine serielle Schnittstelle (AUX_TX, AUX_RX).

Das Anforderungs- und das Antwortsignal sind vor allem dazu vorgesehen, Handshaking-Signalspiele zu implementieren. Die serielle Schnittstelle dient zur Initialisierung, zum Debugging usw.

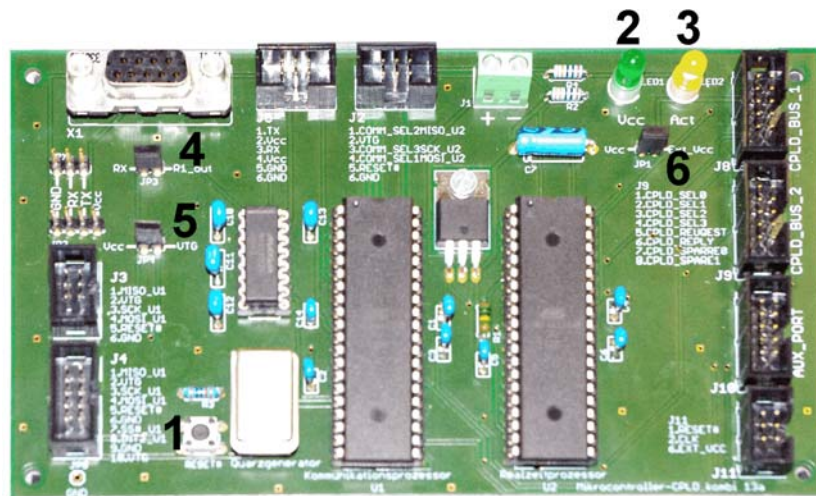
Die Schnittstelle zwischen Kommunikationsprozessor und Außenwelt bzw. CPLD:

Sie umfaßt insgesamt 16 Signale, die im Grunde beliebig genutzt werden können. Die Signalbezeichnungen beziehen sich aber auf eine bestimmte vorzugsweise Nutzung:

- Ein 8-Bit-Datenbus (CPLD_BUS7...0; bidirektional).
- Vier Auswahl- und Steuersignale (CPLD_SEL3...0). Sie werden vom Realzeitprozessor erregt.
- Ein Anforderungssignal CPLD_REQUEST. Es wird vom Realzeitprozessor erregt.
- Ein Antwortsignal CPLD_REPLY. Es wird vom CPLD erregt.
- Zwei Zusatzsignale (CPLD_SPARE0, 1). Sie können anwendungsspezifisch genutzt werden, beispielsweise für eine serielle Schnittstelle zwischen Realzeitprozessor und CPLD oder zur Unterbrechungsauslösung.

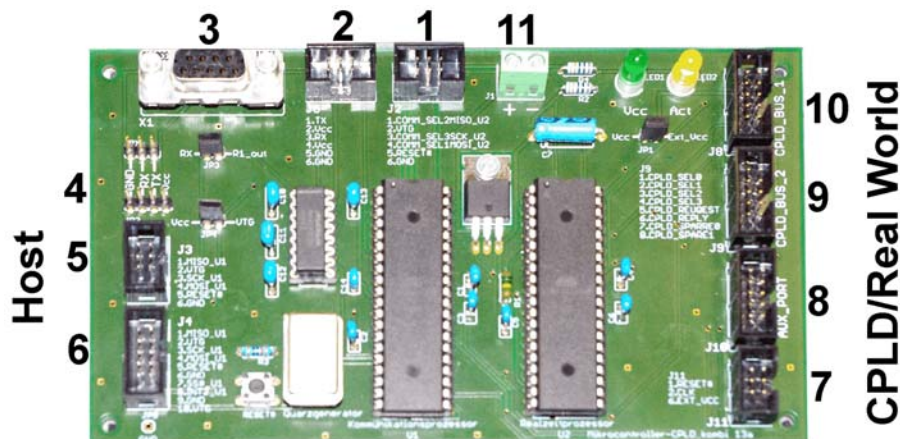
Das Anforderungs- und das Antwortsignal sind vor allem dazu vorgesehen, Handshaking-Signalspiele zu implementieren. Die serielle Schnittstelle dient zur Initialisierung, zum Debugging usw.

Bedien- und Anzeigeelemente:



- 1 - Rücksetztaste
- 2 - Betriebsspannungsanzeige
- 3 - Aktivitätsanzeige (porgrammgesteuert)
- 4 - Brücke für Empfangssignal von RS-232. Stecken, wenn RS-232-Übertragung genutzt wird, trennen, wenn 5-V-Übertragung genutzt wird.
- 5 - Brücke für Betriebsspannung an den Programmier.- und SPI-Steckverbindern.
- 6 - Brücke für Betriebsspannung an den CPLD-Steckverbindern.

Anschlüsse:



- 1 - Programmierung Hilfsprozessor
- 2 - Serielle Schnittstelle, 5 V (Slave)
- 3 - Serielle Schnittstelle, RS-232
- 4 - Serielle Schnittstelle, RS-232 und Betriebsspannung
- 5 - Programmierung Kommunikationsprozessor
- 6 - SPI-Schnittstelle Kommunikationsprozessor
- 7 - Takt und Rücksetzen für CPLD
- 8 - Der universelle 8-Bit-Port des Kommunikationsprozessors (AUX_PORT)
- 9 - Auswahl- und Steuersignale
- 10 - 8-Bit-Bus (CPLD_BUS)

Die E-A-Ports des Kommunikationsprozessors**Port A:**

7	6	5	4	3	2	1	0
AUX_PORT7	AUX_PORT6	AUX_PORT5	AUX_PORT4	AUX_PORT3	AUX_PORT2	AUX_PORT1	AUX_PORT0
IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT

Ruhezustand: IN mit Pull-up-Widerständen.

Port B:

7	6	5	4	3	2	1	0
SCK	MISO	MOSI	SS#	LED#	INT2	COMM_REPLY	COMM_REQUEST
*	*	*	*	OUT	*	OUT**	IN**

*: Anwendungsspezifisch. Ruhezustand: IN mit Pull-up-Widerständen.

** : Oder anwendungsspezifisch.

Port C:

7	6	5	4	3	2	1	0
COMM_BUS7	COMM_BUS6	COMM_BUS5	COMM_BUS4	COMM_BUS3	COMM_BUS2	COMM_BUS1	COMM_BUS0
IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT

Ruhezustand: IN mit Pull-up-Widerständen.

Port D:

7	6	5	4	3	2	1	0
COMM_SEL3	COMM_SEL2	COMM_SEL1	COMM_SEL0	AUX_TX	AUX_RX	TX	RX
IN*	IN*	IN*	IN*	OUT*	IN*	OUT**	IN

*: Oder anwendungsspezifisch.

** : Oder hochohmig (z. B. für Mehrprozessorkopplung).

Die E-A-Ports des Realzeitprozessors

Port A:

7	6	5	4	3	2	1	0
CPLD_ BUS7	CPLD_ BUS6	CPLD_ BUS5	CPLD_ BUS4	CPLD_ BUS3	CPLD_ BUS2	CPLD_ BUS1	CPLD_ BUS0
IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT

Ruhezustand: IN mit Pull-up-Widerständen.

Port B:

7	6	5	4	3	2	1	0
COMM_ SEL3	COMM_ SEL2	COMM_ SEL1	COMM_ SEL0	COMM_ REQUEST	COMM_ REPLY	CPLD_ REQUEST	CPLD_ REPLY
OUT*	OUT*	OUT*	OUT*	OUT*	IN*	OUT*	IN*

** : Oder anwendungsspezifisch.

Port C:

7	6	5	4	3	2	1	0
COMM_ BUS7	COMM_ BUS6	COMM_ BUS5	COMM_ BUS4	COMM_ BUS3	COMM_ BUS2	COMM_ BUS1	COMM_ BUS0
IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT	IN/OUT

Ruhezustand: IN mit Pull-up-Widerständen.

Port D:

7	6	5	4	3	2	1	0
CPLD_ SEL3	CPLD_ SEL2	CPLD_ SEL1	CPLD_ SEL0	CPLD_ SPARE1	CPLD_ SPARE0	AUX_RX	AUX_TX
OUT*	OUT*	OUT*	OUT*	**	**	OUT	IN

* : Oder anwendungsspezifisch.

** : Anwendungsspezifisch. Ruhezustand: IN mit Pull-up-Widerständen.

Der CPLD-Busanschluß:

7	6	5	4	3	2	1	0
CPLD_ BUS7	CPLD_ BUS6	CPLD_ BUS5	CPLD_ BUS4	CPLD_ BUS3	CPLD_ BUS2	CPLD_ BUS1	CPLD_ BUS0
PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0

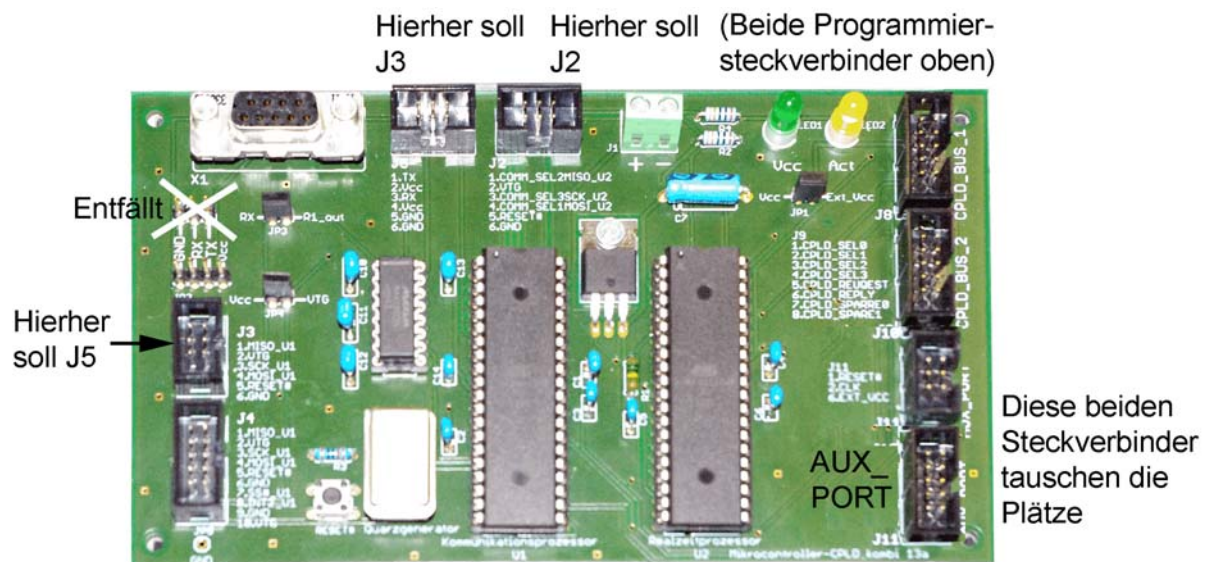
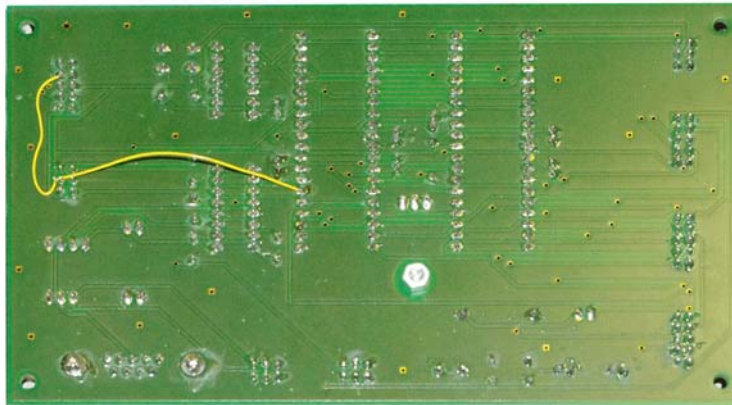
Der CPLD-Steuersignalanschluß:

7	6	5	4	3	2	1	0
CPLD_ SPARE1	CPLD_ SPARE0	CPLD_ REPLY	CPLD_ REQUEST	CPLD_ SEL3	CPLD_ SEL2	CPLD_ SEL1	CPLD_ SEL0
PD1	PD2	PB0	PB1	PD7	PD6	PD5	PD4

Änderungen Mikrocontrollerplatine

Stand: 24. 2. 2014

1. Kommunikationsprozessor: MOSI ist nicht angeschlossen. Verbindung zu den Steckverbindern herstellen.
2. Der dreipolige Steckverbinder (J66) entfällt.
3. Steckverbinder zweckmäßiger anordnen.
4. Leiterzüge der Betriebsspannung (VCC usw.) breiter.
5. Beschriftung: CPLD_BUS_1 wird zu CPLD_BUS, CPLD_BUS_2 wird zu CPLD_CTL.



Die CPLD-Platine

Stand: 27. 2. 2014

Die Platine enthält ein CPLD Xilinx 95108 PC84. Dessen 69 E-A-Signale sind in 9 Ports eingeteilt (Port A bis Port I). Die Ports A bis H umfassen jeweils 8 Signale. Sie sind an Steckverbinder geführt. Port I umfaßt 5 Signale. Hier sind die globalen Signale des CPLD zusammengefaßt (Rücksetzen, Takt, Tristate-Steuerung).

Programmierung des CPLD:

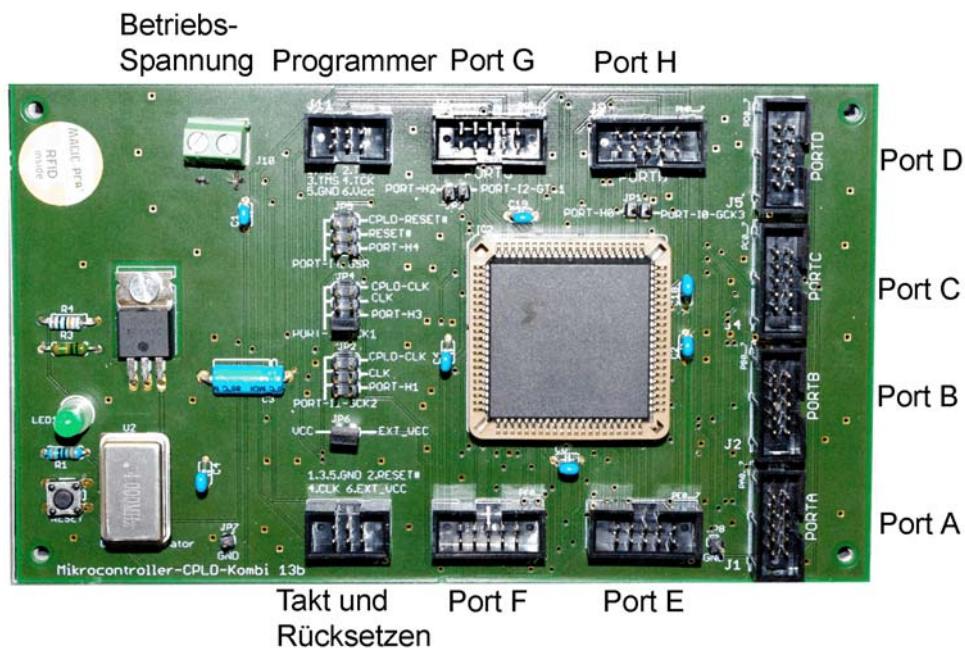
Ein entsprechendes Programmiergerät ist extern anzuschließen.

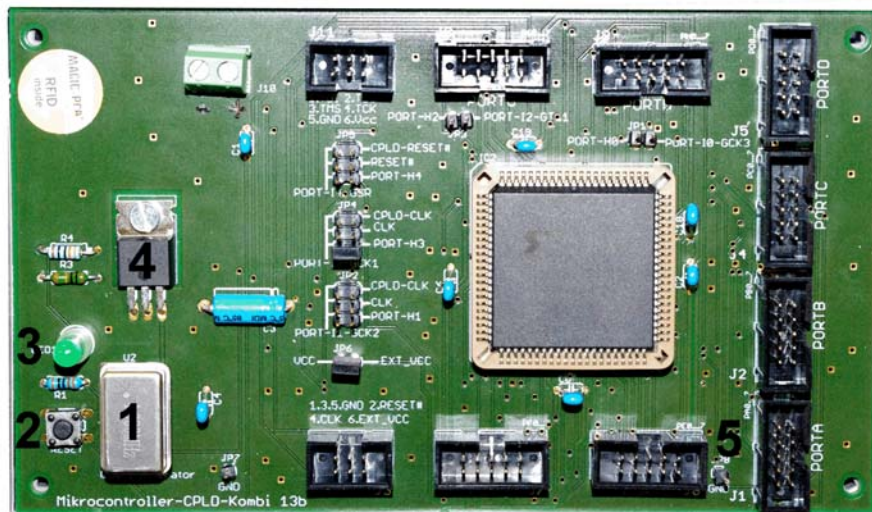
Nutzung der Ports

Sie sind im Grunde freizügig nutzbar; es ist eigentlich nur eine organisatorische Zusammenfassung von Signalen.

Vorzugsnutzung:

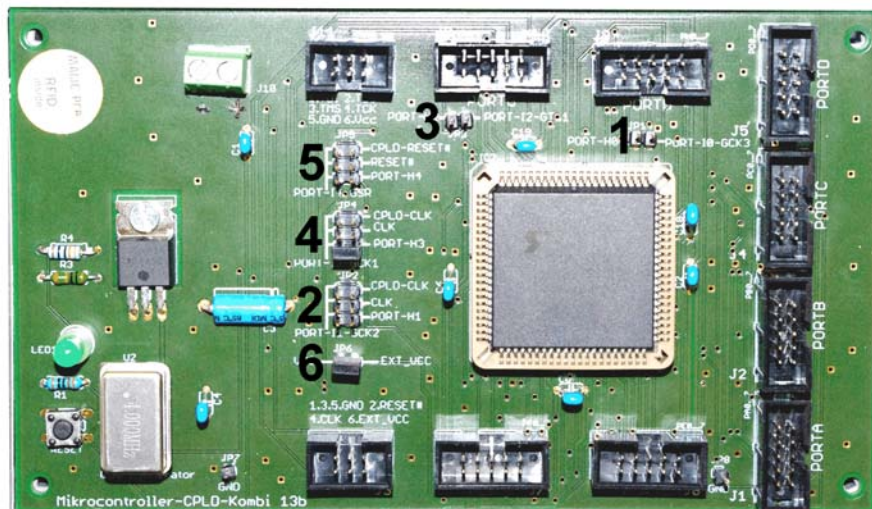
- Port A zum Anschluß des CPLD-Bus der Mikrocontrollerplatine.
- Port B zum Anschluß der Steuersignale der Mikrocontrollerplatine.
- Einzelne Signale von Port H bedarfsweise zum Ansteuern globaler Signale der CPLD (Rücksetzen, Takt, Tristate-Steuerung).





- 1 - Quarzgenerator (lokaler Takt)
- 2 - Rücksetztaste (lokales Zurücksetzen)
- 3 - Betriebsspannungsanzeige
- 4 - Verpolschutz für externe Betriebsspannung

Konfigurationsvorkehrungen (Jumper):



- 1 - Auswahl für Takt GCK3 (Port H0 oder frei)
- 2 - Auswahl für Takt GCK2 (Port H1 oder lokal oder extern oder frei)
- 3 - Auswahl für Tristatesteuerung GTS1 (Port H2 oder frei)
- 4 - Auswahl für Takt GCK1 (Port H3 oder lokal oder extern oder frei)
- 5 - Auswahl für Rücksetzsignal GSR (Port H3 oder lokal oder extern oder frei)
- 6 - Betriebsspannung der Steckverbinder (EXT_VCC) verbinden oder nicht.:
 - Versorgung der Platine von außen (z. B. von der Mikrocontrollerplatine): JP6 stecken, keine externe Betriebsspannung zuführen.
 - Versorgung anderer Einrichtungen (u. a. der Mikrocontrollerplatine). JP6 stecken und externe Betriebsspannung zuführen.
 - Nur lokale Versorgung: JP6 ziehen und externe Betriebsspannung zuführen.

Zuordnung der Ports zu den CPLD-Pins:

Bit	Port A	Port B	Port C	Port D	Port E	Port F	Port G	Port H	Port I
0	1	2	3	4	5	6	7	11	12 (GCK3)
1	71	72	75	79	80	81	82	83	10 (GCK2)
2	14	15	17	18	19	20	21	23	76 (GTS1)
3	57	58	61	62	63	65	66	67	9 (GCK1)
4	32	33	34	35	36	37	39	40	74 (GSR)
5	45	46	47	48	50	51	52	53	
6	13	24	25	26	41	43	44	31	
7	84	68	69	70	54	55	56	77 (GTS2)	

Portübersicht

Aufbau der folgenden Tabellen:

1. Bitindex im Port.
2. CPLD-Pin.
3. Steckverbinderkontakt.

Port A:

7	6	5	4	3	2	1	0
84	13	45	32	57	14	71	1

Port B:

7	6	5	4	3	2	1	0
68	24	46	33	58	15	72	2

Port C:

7	6	5	4	3	2	1	0
69	25	47	34	61	17	75	3

Port D:

7	6	5	4	3	2	1	0
70	26	48	35	62	18	79	4

Port E:

7	6	5	4	3	2	1	0
54	41	50	36	63	19	80	5

Port F:

7	6	5	4	3	2	1	0
55	43	51	37	65	20	81	6

Port G:

7	6	5	4	3	2	1	0
56	44	52	39	66	21	82	7

Port H:

7	6	5	4	3	2	1	0
77 = GTS2	31	53	40	67	23	83	11
Steckbare Verbindungen zu			Port I4	Port I3	Port I2	Port I1	Port I0

Port I:

7	6	5	4	3	2	1	0
–	–	–	74	9	76	10	12
–	–	–	GSR	GCK1	GTS1	GCK2	GCK3

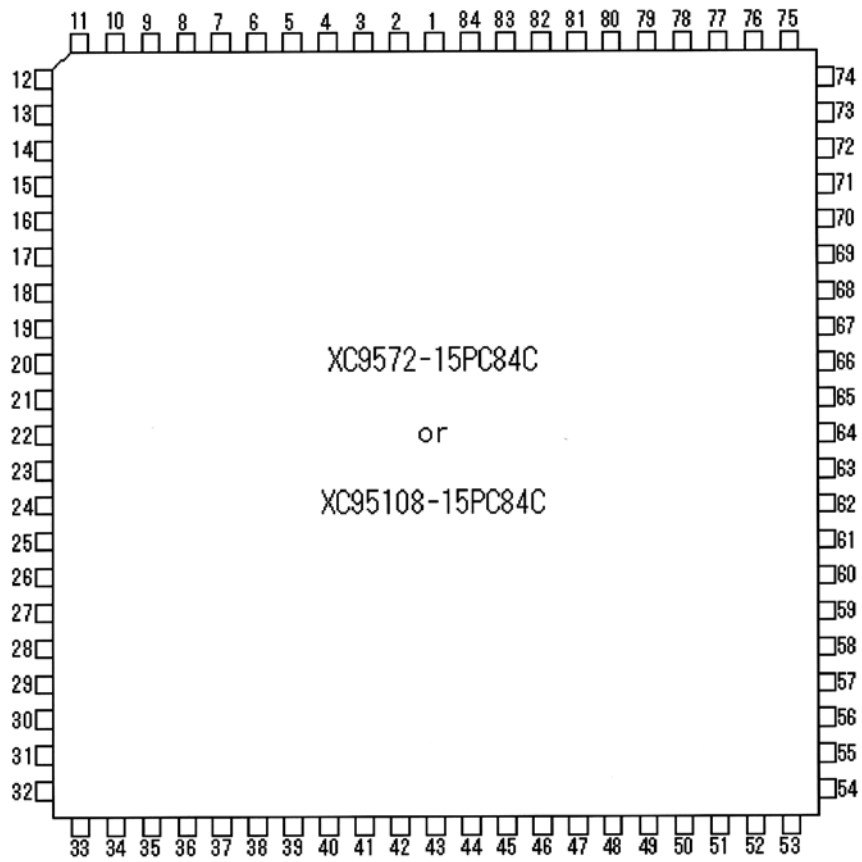
Konfigurationsmöglichkeiten an Port I:

7	6	5	4	3	2	1	0
–	–	–	74	9	76	10	12
Sonderfunktionen im CPLD			GSR	GCK1	GTS1	GCK2	GCK3
Signale von Port H			Port H4	Port H3	Port H2	Port H1	Port H0
Lokale Signale			RESET#	CLK	–	CLK	–
Signale von außen (vorzugsweise von der Mikrocontrollerplatine)			CPLD_RESET#	CPU_CLK	–	CPU_CLK	–
Steckbrücken (Jumper)			JP5	JP4	JP3	JP2	JP1

Die Anschlußbelegung aus der Originaldokumentation (Quelle: Xilinx):

Function Block	Macrocell	PC84	Port	Notes	Function Block	Macrocell	PC84	Port	Function Block	Macrocell	PC84	Port
1	1	-			3	1	-		5	1	-	
1	2	1	A0		3	2	14	A2	5	2	32	A4
1	3	2	B0		3	3	15	B2	5	3	33	B4
1	4	-			3	4	-		5	4	-	
1	5	3	C0		3	5	17	C2	5	5	34	C4
1	6	4	D0		3	6	18	D2	5	6	35	D4
1	7	-			3	7	-		5	7	-	
1	8	5	E0		3	8	19	E2	5	8	36	E4
1	9	6	F0		3	9	20	F2	5	9	37	F4
1	10	-			3	10	-		5	10	-	
1	11	7	G0		3	11	21	G2	5	11	39	G4
1	12	9	T1	[1]	3	12	23	H2	5	12	40	H4
1	13	-			3	13	-		5	13	-	
1	14	10	T2	[1]	3	14	24	S2	5	14	41	F6
1	15	11	H0		3	15	25	A6	5	15	43	A7
1	16	12	T3	[1]	3	16	26	B6	5	16	-	
1	17	13	S0		3	17	31	C6	5	17	44	B7
1	18	-			3	18	-		5	18	-	
2	1	-			4	1	-		6	1	-	
2	2	71	A1		4	2	57	A3	6	2	45	A5
2	3	72	B1		4	3	58	B3	6	3	46	B5
2	4	-			4	4	-		6	4	-	
2	5	74	T0	[1]	4	5	61	C3	6	5	47	C5
2	6	75	C1		4	6	62	D3	6	6	48	D5
2	7	-			4	7	-		6	7	-	
2	8	76	T4	[1]	4	8	63	E3	6	8	50	E5
2	9	77	T5	[1]	4	9	65	F3	6	9	51	F5
2	10	-			4	10	-		6	10	-	
2	11	79	D1		4	11	66	G3	6	11	52	H5
2	12	80	E1		4	12	67	H3	6	12	53	C7
2	13	-			4	13	-		6	13	-	
2	14	81	F1		4	14	68	S3	6	14	54	D7
2	15	82	G1		4	15	69	D6	6	15	55	E7
2	16	83	H1		4	16	-		6	16	-	
2	17	84	S1		4	17	70	E6	6	17	56	F7
2	18	-			4	18	-		6	18	-	

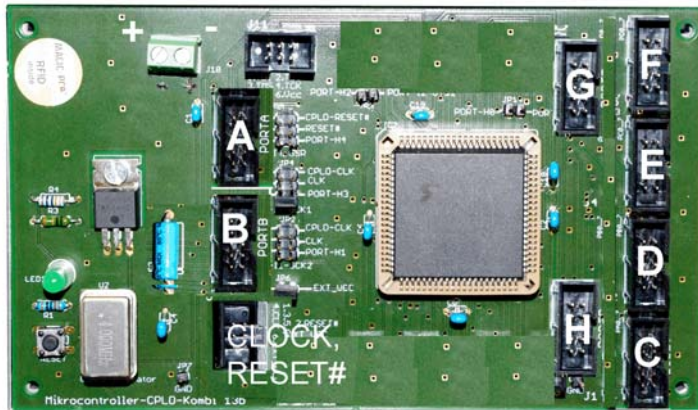
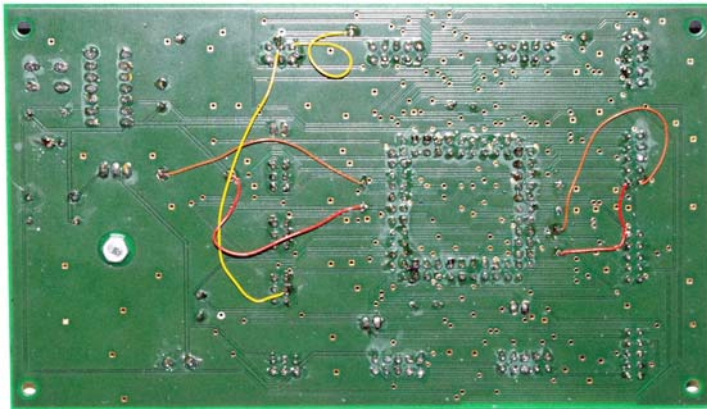
Pin Type	PC84
I/O/GCK1	9
I/O/GCK2	10
I/O/GCK3	12
I/O/GTS1	76
I/O/GTS2	77
I/O/GSR	74
TCK	30
TDI	28
TDO	59
TMS	29
V _{CCINT} 5 V	38,73,78
V _{CCIO} 3.3 V/5 V	22,64
GND	8,16,27,42,49,60



Änderungen CPLD-Platine

Stand: 27. 2. 2014

1. Betriebsspannung und Masse an den CPLD-Schaltkreis anschließen.
2. Die Betriebsspannungsklemme ist verkehrt herum angeschlossen (Pluspol liegt rechts, sollte aber links sein (wie bei den anderen Platinen auch)).
3. Am Takt- und Rücksetzsteckverbinder J3 sind CLK und RESET# falsch herum angeschlossen (Schaltplanfehler). Richtig anschließen: CLK an Pin 2, RESET# an Pin 4 (s. Schaltplan Blatt 3).
4. Die Anordnung der Steckverbinder ist SEHR ungünstig.



Auf der rechten Seite ist die hier gezeigte Reihenfolge der Steckverbinder nicht zwingend (so anordnen, daß sich die Platine routen läßt).

