

Ablaufsteuerung bei aktivierter Fehlerkorrektur

Die Fehlerkorrektur basiert auf redundanter (doppelter) Speicherung mit Paritätskontrolle.

Prinzip:

Jedes Byte wird zweimal geschrieben (in den Bild- und in den Korrekturbereich). Wird beim Lesen ein Paritätsfehler festgestellt, so wird das Byte aus dem Korrekturbereich nochmals gelesen. Wird dabei kein Paritätsfehler festgestellt, so wird das Byte in den Bildbereich zurückgeschrieben.

Ein zweiter Paritätsfehler ist nicht korrigierbar (er wird lediglich registriert).

Fehlerauswertung

Es gibt zwei abfragbare Fehlerflipflops (über PIO 2 Port B);

1. CORRECTION LATCH (signalisiert, daß eine Korrektur ausgeführt wurde)
2. ERROR LATCH (signalisiert einen unkorrigierbaren Fehler).

Beide Flipflops sind gemeinsam durch ERROR RESET (PIO 2 Port B) rücksetzbar, Ständiges Erzeugen von ERROR RESET verhindert das Einschalten der Flipflops.

Unterdrückung der Fehlerkorrektur

Die Fehlerkorrekturzyklen (doppeltes Schreiben, Korrigieren bei Paritätsfehler) werden nicht ausgeführt bei:

1. aktiviertem DL-Schalter DISABLE CORRECTION
2. nicht aktivem ENABLE CORRECTION (PIO 2 Port 3)
3. RAM-Zugriffe mit Adresse $M = 1$ (d.h. zu den Korrekturbereichen)

Bei 1. und 2. werden Paritätsfehler durch den ERROR LATCH signalisiert, bei 3. durch den CORRECTION LATCH.

Ablaufsteuerung

Das steuernde Schieberegister wird ab P5 nicht mit END, sondern mit END OF CYCLE zurückgesetzt (Blatt E6, S. 48). END wird erst dann gebildet, wenn alle Speicherszugriffe beendet wurden. Für die zusätzlichen Zugriffe wird der PAGE MODE verwendet (RAM-Adresse 14 wird umge-steuert). Während aller zusätzlichen Zugriffe sind P1 - P4 ständig aktiv. Der VDC STROBE - Input wird ab P2 bis zum Ende aller Zugriffe aktiv erhalten (Wirksamkeit im VDC erst mit Rückflanke).

Das Aktivieren der RAM-Adresse 14 und des RAM-Schreibimpulses wird durch die zusätzliche Logik gesteuert. Diese hat weiterhin zwei Zustandsflipflops STAT 1, 0 für die Kennzeichnung der einzelnen Zugriffe.

Belegung beim Schreiben:

STAT 1	0	
0	0	1. Schreibzugriff
0	1	2. Schreibzugriff

Belegung beim Lesen:

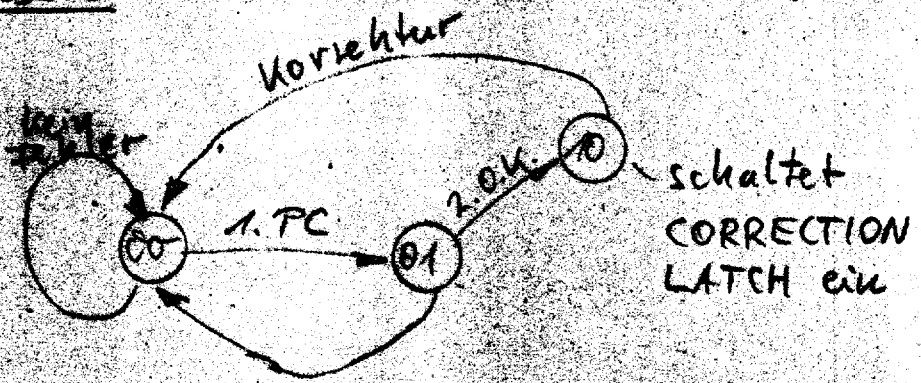
STAT	1	0	
0	0	0	: 1. Lesezugriff
0	1	1	: 2. Lesezugriff
1	0	0	: Korrektur-Schreiben

Zustandsübergänge

Schreiben



Lesen

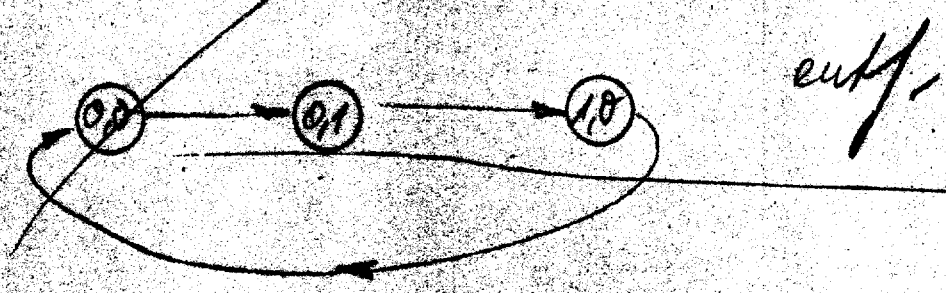


306

Hinweis:

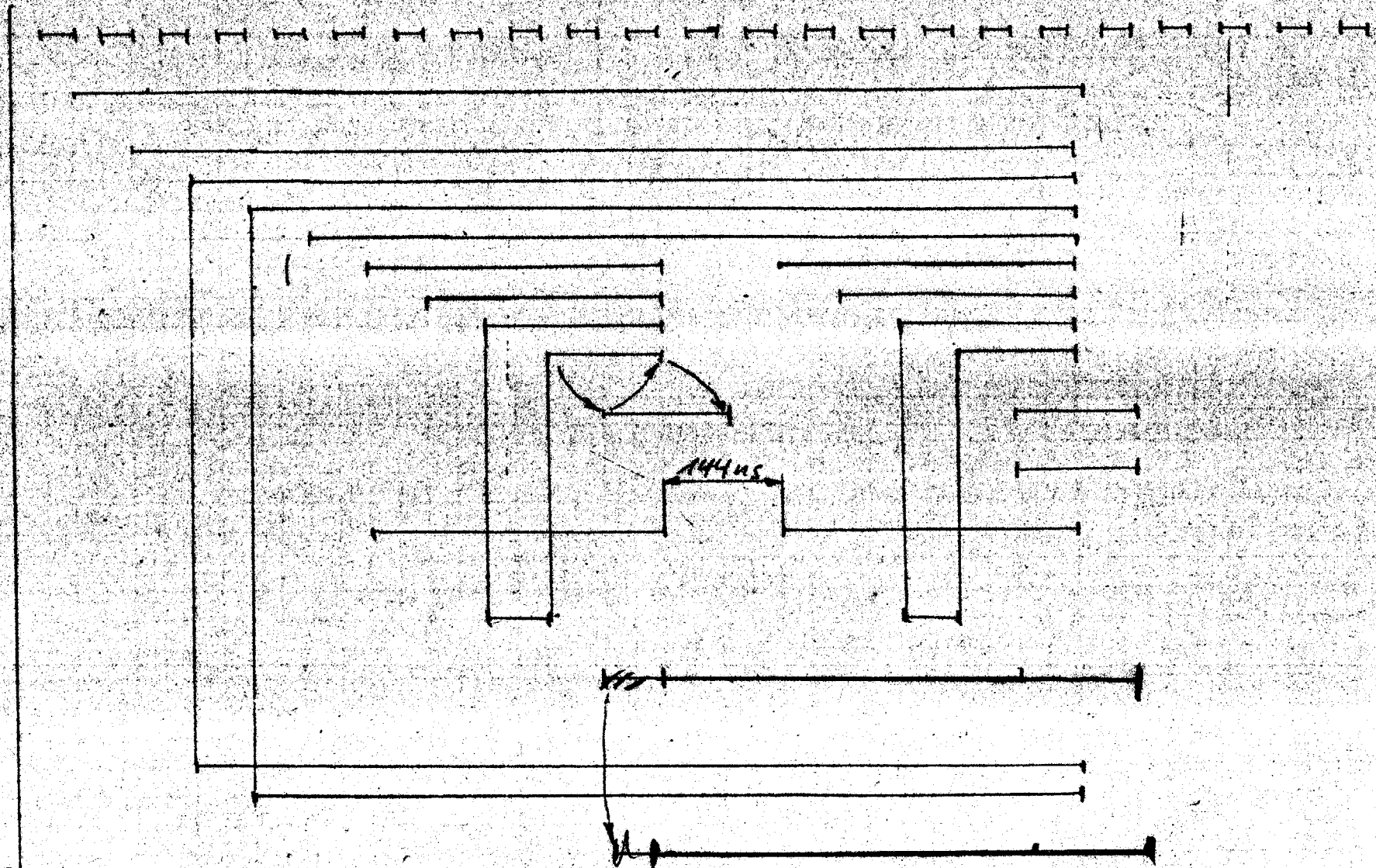
Ist der DIL-Schalter DISABLE CORRECTION aktiviert, so schalten beide STATs zyklisch (ohne Auswirkung auf die Steuersignale).

Schaltfolge:



30.6.

CLOCK
CYCLE RUNNING
P1
P2
P3
P4
P5
P6
P7
P8
END OF CYCLE ACCESS
END
CAS
RAM WRITE PULSE
STAT &
RAS
SWITCH ADRS
RAM ADRS 15



Schreibablauf mit zweifacher Speicherung

Ablauf Schreiben

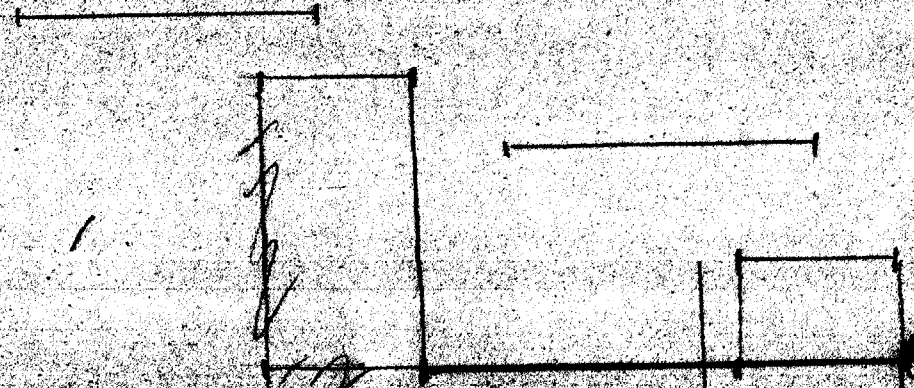
1. Zugriff

END OF CYCLE

2. Zugriff

END OF CYCLE, END

STAT 0



Ablauf Lesen mit Korrektur

1. Zugriff
END OF CYCLE

2. Zugriff
END OF CYCLE

3. Zugriff
END OF CYCLE, END

STAT 0

STAT 1

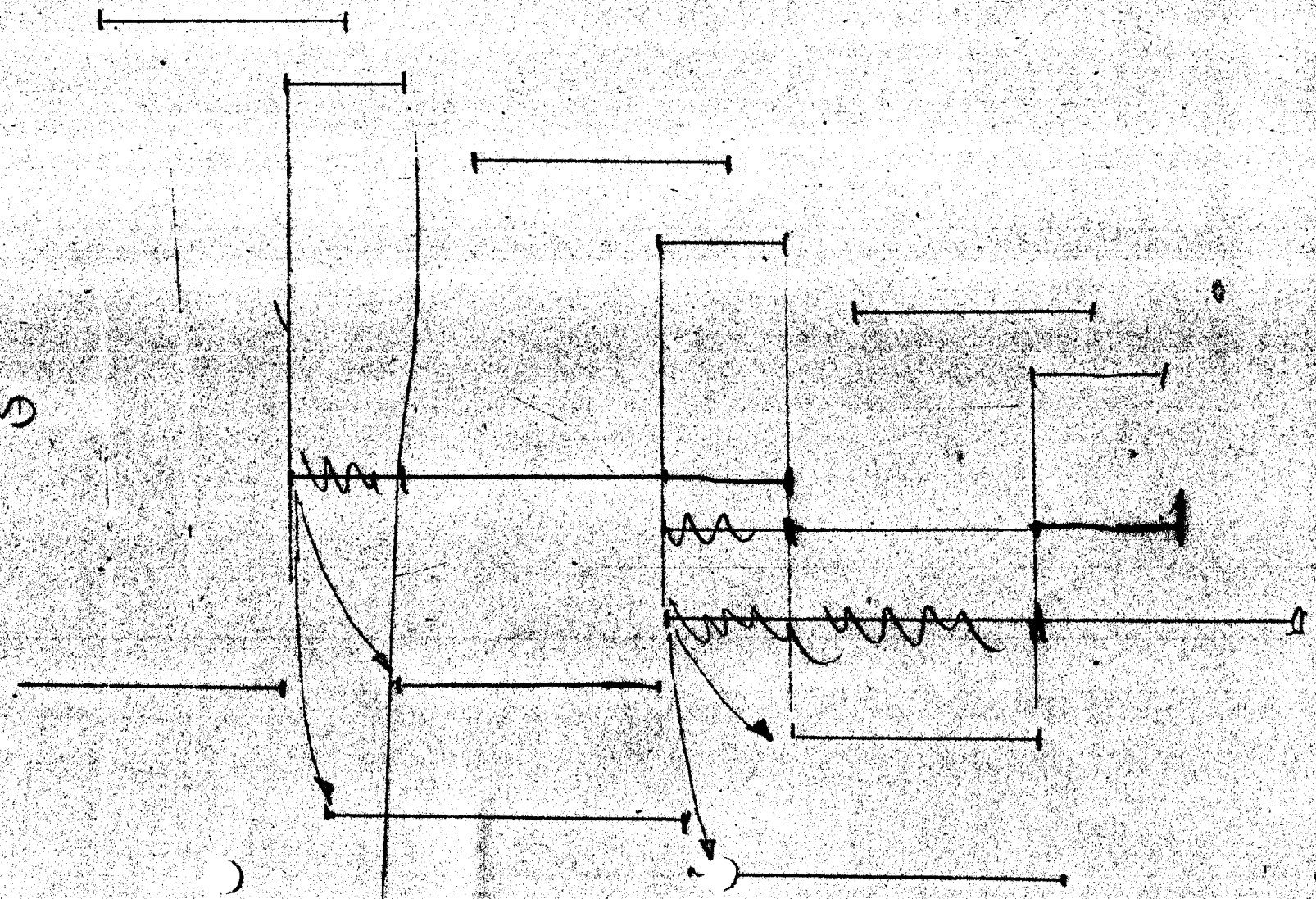
CORRECTION LATCH

ENABLE WRITE DATA

ENABLE CORRECTION

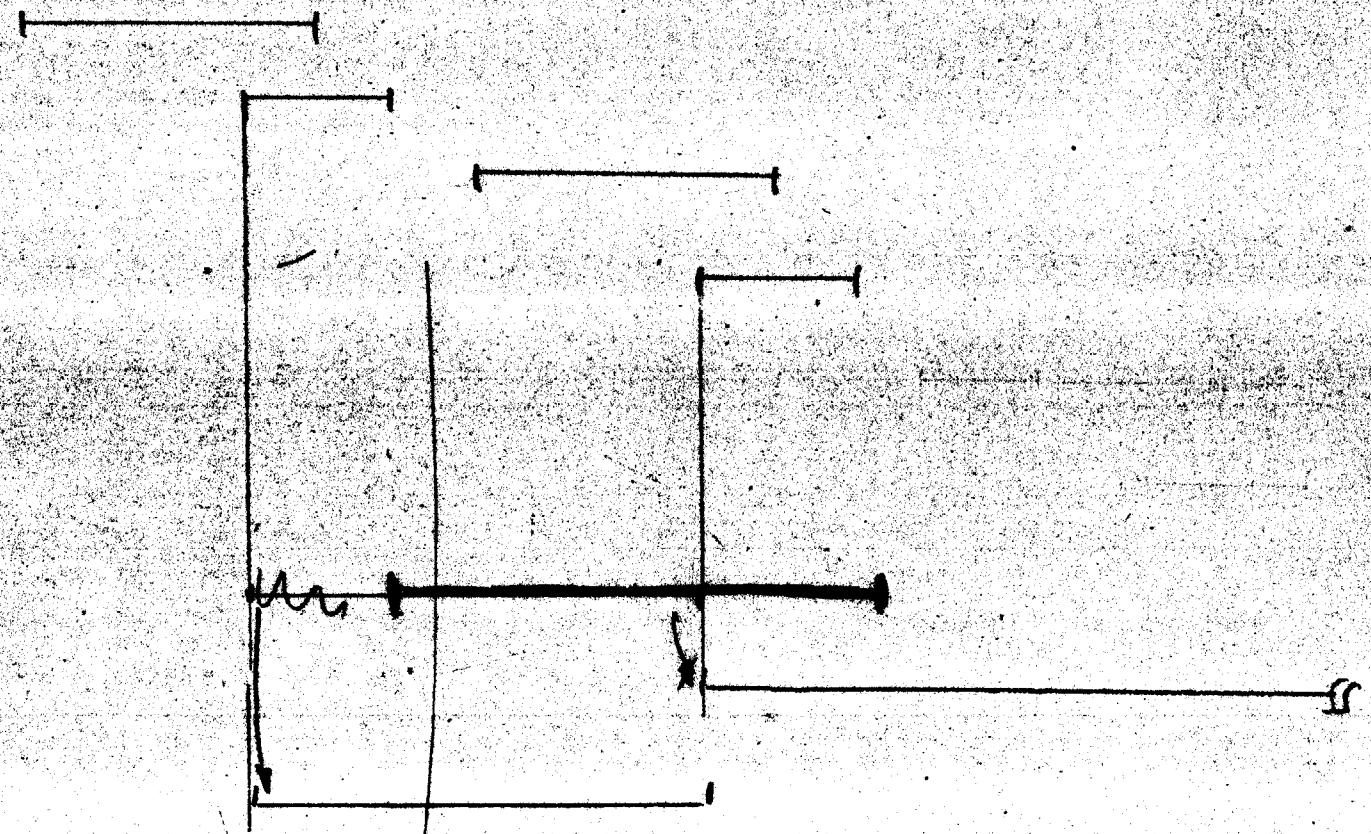
RAM ADRS 14

RAM WRITE ENABLE



Ablauf Lesen unkorrigierbarer Fehler

- 1. Zugriff
END OF CYCLE
- 2. Zugriff
END OF CYCLE, END
- 3. Zugriff
END OF CYCLE, END
STAT 0
- ERROR
- RAM ADRS 14



Operationen im CONTROL MODE

1. Ein- und Ausschalten des CONTROL MODE

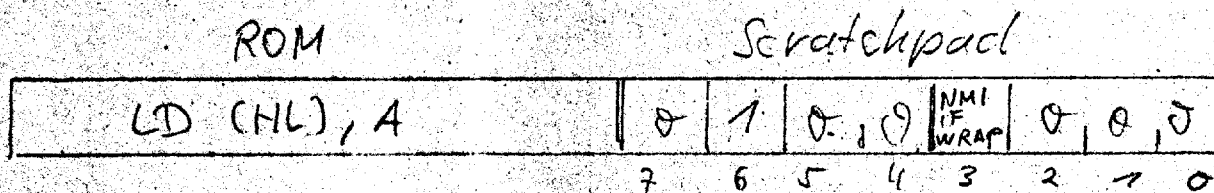
Der CONTROL MODE wird zu Beginn von M1-Zyklen (mit der Vorderflanke von MREQ) ein- bzw. ausgeschaltet, je nachdem, ob die Befehlsadresse im Bereich von 4000H...7FFFH liegt oder nicht.

Ist CONTROL MODE aktiv, so wird am Anfang eines jeden CPU-Berezyklus, bei dem am ROM zugegriffen wird, das CONTROL-Register geladen.

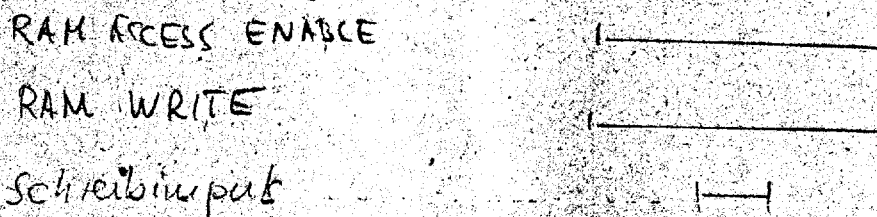
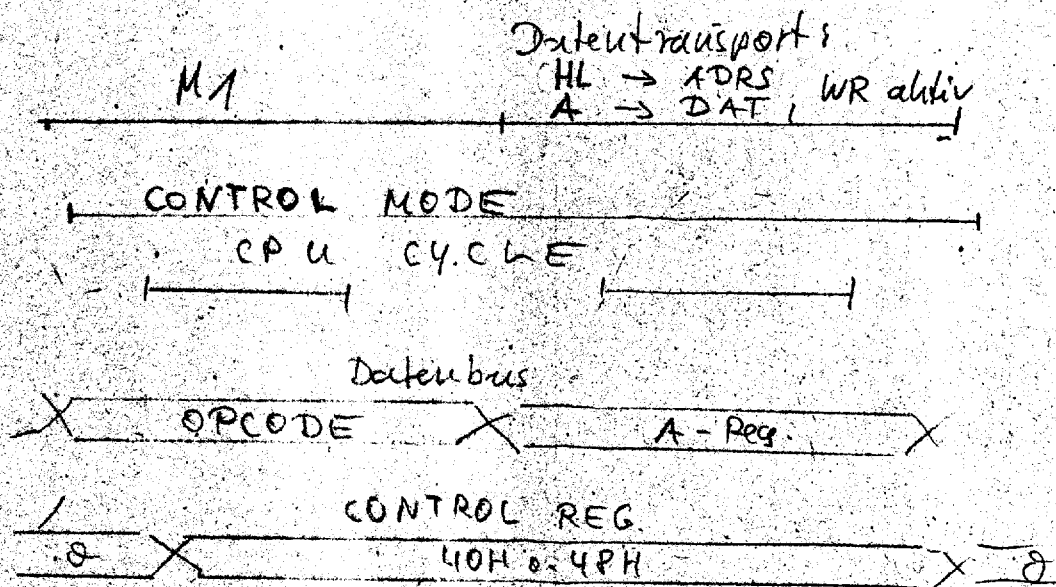
Eine Belegung 00H des CONTROL-Registers ist wirkungslos. Außerhalb des CONTROL MODE wird das CONTROL-Register zurückgesetzt.

Bei jedem Zugriff im CONTROL MODE wird ein CPU-Zyklus ausgeführt.

3. Datentransport CPU → RAM (DATA TO RAM)



Befehlszugriffe:



weitere Steuerungswirkungen:

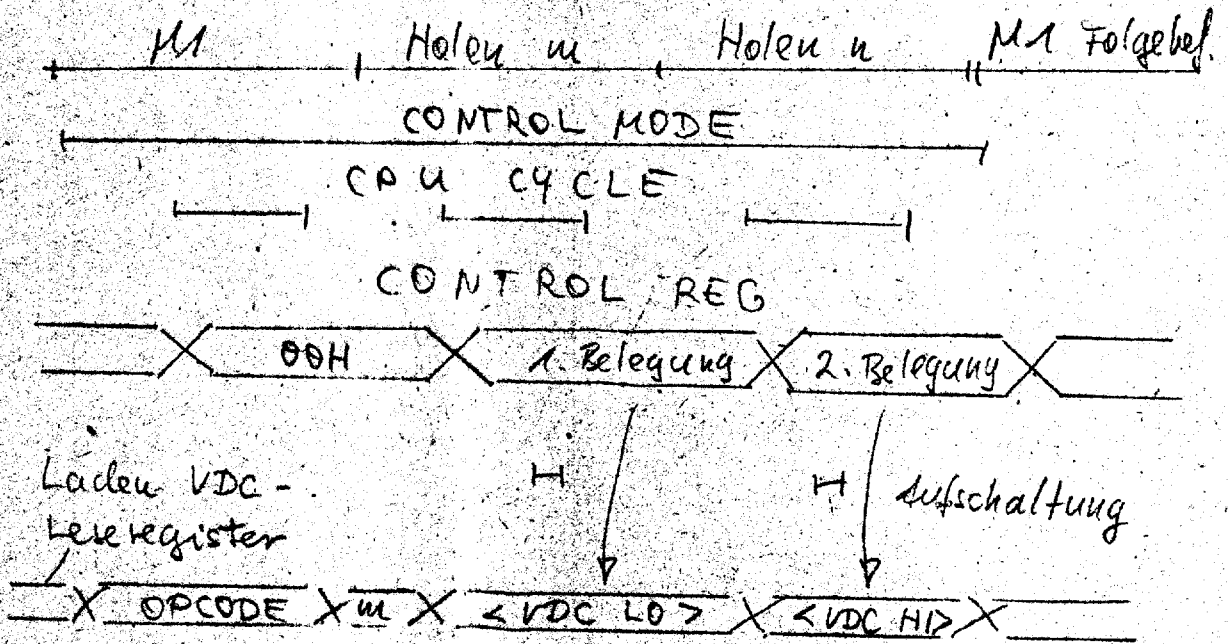
SHORT SEGMENTED ACCESS = 0 steuert CPU-Adressenbits 11-13 zum RAM durch.

DATA TO RAM steuert CPU ADRES ~~11~~ zum RAM durch, Adressenbit ~~11~~ wird Null.

4. Leseszugriffe zum VDC

LD HL, #M	00H							
M	1	0	DEST. CODE	0	1	ADRS CONTROL		
#	1	0	DEST. CODE	1	0	ADRS CONTROL		
	7	6	5	4	3	2	1	0

Befehlszugriffe:



Weitere Steuerwirkungen:

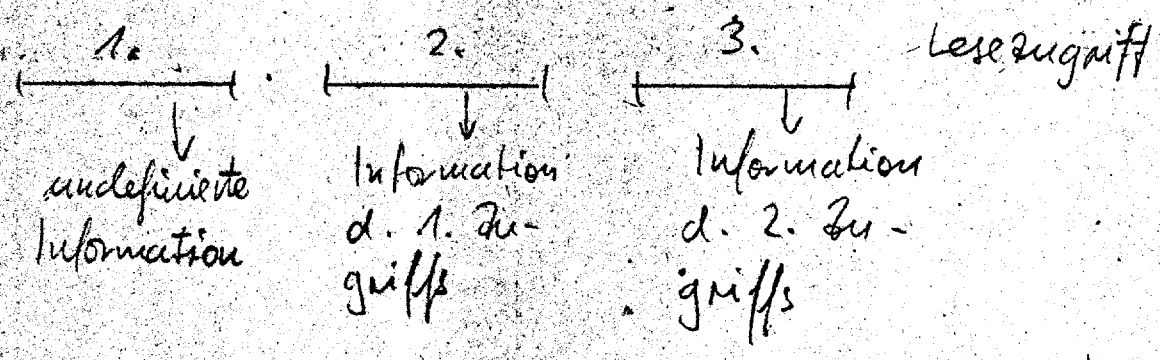
Zu VDC WRITE INFO werden durchgesteuert; ADRS CONTROL, DESTINATION CODE; WRITE TO VDC ist inaktiv.

Bei jedem Leseszugriff wird VDC STROBE abgegeben, und die Leseregister werden geladen.

Es finden keine RAM-Zugriffe statt.

Hinweis: ADRS CONTROL sollte sinnvoll gesetzt werden (z.B. Weiterzählen der Adresse erst nach Lesen des 2. Bytes).

Es wird stets die Information übernommen,
die beim vorangehenden Zugriff im VDC
gelesen wurde.

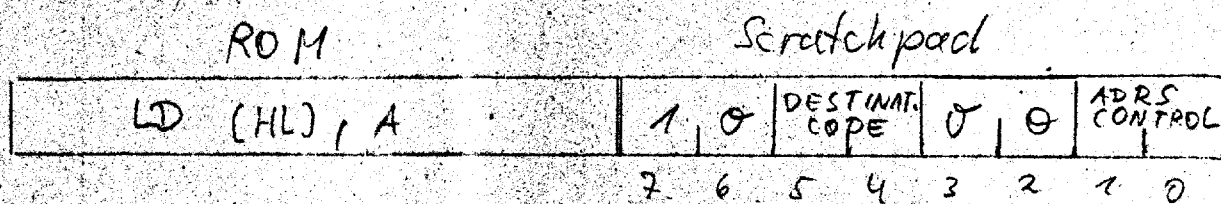


(Die Information des 3. Zugriffs kann z.B.
durch eine Operation "Ablesen VDC-
Leseregister" in die CPU transportiert
werden.)

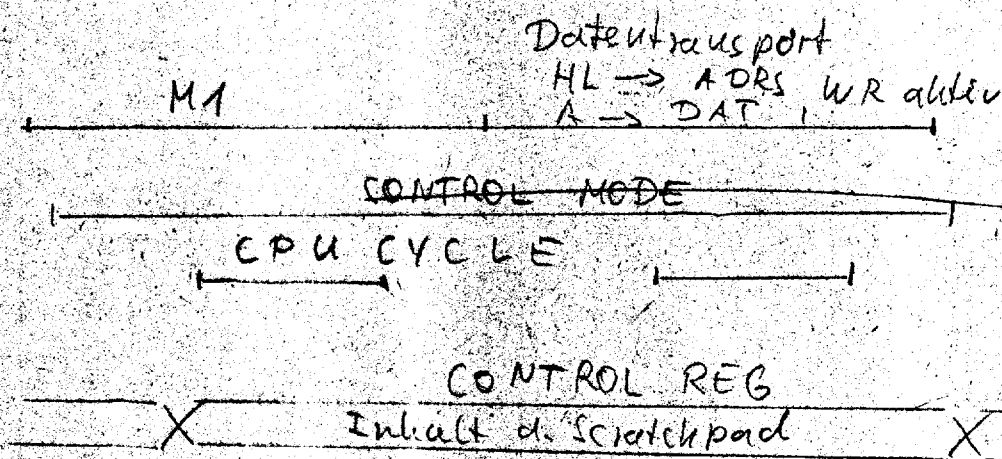
U
O

U
O

5. Schreibzugriffe zum VDC



Befehlszugriffe:



VDC STROBE

Weitere Steuerwirkungen:

Bei DESTINATION CODE=1,1 ist VDC WRITE INFO 16 aktiv und alle 16 bit der CPU-Adresse werden zu VDC WRITE INFO 15-0 dirigiert.

Sonst werden nur die Adressenbits 11-0 dirigiert (zusätzlich ADRS CONTROL, DESTINATION CODE; weiterhin ist WRITE TO VDC aktiv).

Es finden keine RAM-Zugriffe statt.

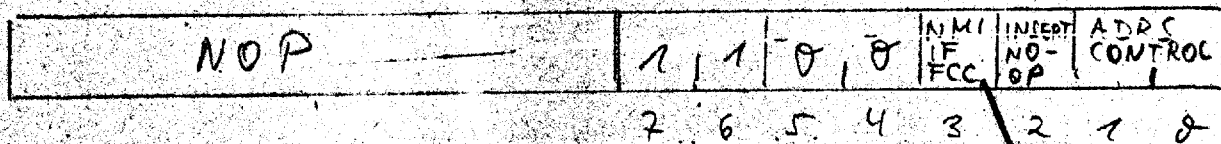
Während des VDC-Zugriffs werden die Leseregister geladen.

6. Datentransport RAM → VDC-Puffer

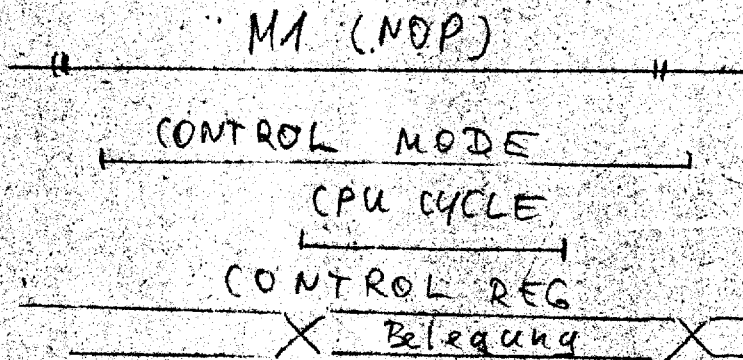
(RAM TO BUFFER)

ROM

Scratchpad



Befehlszugriffe:



RAM ACCESS ENABLE

RAM READ

VDC STROBE

Weitere Steuerwirkungen:

In VDC WRITE INFO werden durchgesteuert;
 RAM OUTPUT 6-8, ^{FIELD ATTRIBUTES 3-8} ADRS CONTROL, DESTINATION
 CODE (0, 0); WRITE TO VDC ist aktiv.

SHORT SEGMENTED ACCESS ist aktiv, somit
 werden die niederen 11 Bits der RAM-Adresse
 durch die CPU-Adresse gebildet und die
 höheren 5 Bits durch das Segmentregister.

Beim Lesen des RAM wird das FIELD ATTRIBUTE
 REG geladen, sofern RAM OUTPUT 7 = 1 ist.

Adressenkorrespondenz ROM-Scratchpad im CONTROL MODE

	ROM	Scratchpad	
0		4000H	9000H
1000H		5000H	9005H
2000H		6000H	9005H
3000H		7000H	9005H

CONTROL
MODE

direkte
Scratchpad-
Zugriffe

Hinweis: ROM 0 (0...7FFFH) nicht
für CONTROL MODE benutzen!

Diagnostische Sonderzustände

1. Externe Takteinspeisung: DIAG EAT INJECT ENABLE (C1)
2. Taktverlangsamung (CLOCK = CPU CLOCK = 288 ns): DIAG SLOWDOWN (C1)
3. Auftrennung von Rückführungen:
 - DIAG WAIT BREAK (E1)
 - DIAG CYCLE RUNNING BREAK (E5)
 - DIAG END BREAK (E5)
 - DIAG END OF CYCLE BREAK (E9)
4. Freilauf (DIAG ZERO FORCING vom Diagnoseadapter):

Alle Glaubenssignale zur Aufschaltung auf dem CPU-Datenbus werden unterdrückt; die PROMs werden weiterhin selektiert.

DIAG CONTROL MODE BREAK: Das Einschalten von CONTROL MODE wird verhindert.

Zugriffe im CONTROL MODE werden trotzdem erkannt (CONTROL MODE ACCESS), und das CONTROL MODE-Flipflop (E1) schaltet weiterhin.

5. Abschalten der CPU (über BASRD) mit DIAG CPU DISABLE. Damit werden die CPU-Steuersignale inaktiv.
6. Aufheben der Prüfsummenkontrolle der EPROMs. Durch eine auftrennbare Lötbrücke (DIAG CHECKSUM DISABLE; A4), deren Belegung über PIO 2 Port B abfragbar ist, können ROM-residente Testroutinen veranlaßt werden, die Prüfsummenkontrolle der PROMs zu übergeben.
7. Abschalten der Doppelspeicherung bzw. Fehlerkorrektur mit CORRECTION DISABLE.

Meßpunkte

- MP 1 : Ausgang Taktergenerator
 - MP 2 : CPU CLOCK
 - MP 3 : CLOCK
 - MP 4 : SLAVE CYCLE
 - MP 5 : CPU CYCLE
 - MP 6 : /VDC STROBE
 - MP 7 : CONTROL MODE
 - MP 8 : PIO 2 Port B 3
 - MP 9 : SEGMENT REG Bit 6
- } Start/Stop
} f. SAL SYNC

Unbenutzte Busleitungen

HOLD

REQUEST 4-1

AUX ACUM PULSE

PRIORITY 1,0

BURST MODE

NES

COMPARE MATCH