

PIO- Adressierung

Die entsprechenden Informationen sind in den Bildern 11, 12 und den Tabellen 2, 3 zusammen-



gefasst dargestellt

0: PIO 1
1: PIO 2

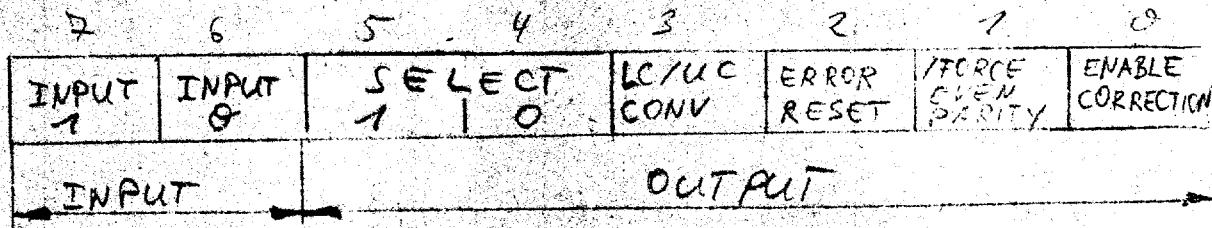
~~Bit~~
Struktur der E-A-Adressen

Zugriff	Adresse (hex)	Betriebsart
PIO 1 Port A, Daten	00	INPUT
PIO 1 Port B, Daten	01	INPUT
PIO 2 Port A, Daten	04	INPUT
PIO 2 Port B, Daten	05	Bit-Modus
PIO 1 Port A, Steuerw.	02	Interrupt erlaubt
PIO 1 Port B, Steuerw.	03	Interrupt erlaubt
PIO 2 Port A, Steuerw.	06	Interrupt erlaubt
PIO 2 Port B, Steuerw.	07	Interrupt + Einzelbits

Tafel 2 Übersicht über die PIO-Adressen

Belegung - PIO 2 Port B

Bild 12



Abfragemöglichkeiten über PIO 2 Port B

Tafel 3

SELECT 1 0	INPUT 1 (BIT 7)	INPUT 0 (BIT 6)
0 0 ¹⁾	RESET LATCH	/DIAG PLUG PRESENCE
0 1	CORRECTION	/VDC BUSY
1 0 ²⁾	ERROR	VDC 16 RCVD
1 1	/DIAG CHECKSUM DISABLE	res.

- 1) Stellung für erste Analyse nach einem Hardware-Rücksetzen
- 2) Vorrang-Stellung im Normalbetrieb; Interrupt-erlaubnis für beide Positionen ist sinnvoll; VDC 16 RCVD repräsentiert den Bildrücklauf.

Einstellmöglichkeiten für besondere Zustände über PIO 2 Port B

ENABLE CORRECTION

veranlaßt bei RAM-Schreibzugriffen die reduzierte Speicherung und bei Lesezugriffen im Falle von Paritätsfehlern das automatische Lesen des jeweiligen Bytes aus dem Korrekturbereich mit nachfolgendem Einschieben.

FORCE EVEN PARITY

veranlaßt den Paritätsgenerator zur Bildung von Prüfbits mit gerader Parität, so daß bei RAM-Lesezugriffen in diesem Zustand stets Paritätsfehler signalisiert werden. Weiterhin wird das automatische Einfügen von REFRESH-Zugriffen bei M1-Zyklen unterdrückt, so daß das Auffrischen des RAM-Inhaltes ausschließlich von entsprechenden programmseitigen Zugriffen der CPU abhängt (damit können Testprogramme implementiert werden, die das Datenhaltevermögen der RAMs prüfen).

Anfangsbelegung: 1 (inaktiv),

Aktivierung nur zu diagnostischen Zwecken;

ENABLE CORRECTION sollte dabei inaktiv sein.

ERROR RESET

Löscht die Paritätsfehler-Flipflops.

Wenn ständig gesetzt, wird jegliche Fehlererkennung unterdrückt.

Anfangsbelegung: 1 (aktiv)

Zur Fehlererkennung in Testreihen und während der Normalbetriebnahme.

das Signal auf 0 gesetzt werden.
Nach Meldung eines Fehlers Löschen
des Fehler-Flipflops durch kurzzeitiges
Aktivieren.

LC/UC CONVERT

erlaubt bei Interrupts im IBM-Modus die
Wandlung von Kleinbuchstaben in Groß-
buchstaben.

Anfangsbelegung: 0 (inaktiv),

Einstellung vor Aufnahme des Betriebes
am SIF im Rahmen von Konfigurations-
abläufen.

Ausschluß am Systembus

Über den Systembus sind Slave-Zugriffe zum RAM, das Auflösen von Interrupts sowie Rückstromoperationen (Gesamt- bzw. selektiver Rückstrom) ausführbar.

Kennzeichnend ist, daß durch einen PROM-Schaltkreis im Datenpfad eine Codewandlung zwischen Datenbusbelegung und RAM-Inhalt bzw. Interruptvektor möglich ist. Dies ist in den Bildern 13, 14 veranschaulicht.

Die jeweilige Codewandlung wird durch die Steuersignale ACCESS MODE 1, 0 ausgewählt. Die Belegung des PROM ist in Bild 15 dargestellt.

Bei Suchzugriffen (vgl. Tafel 1) wird der Datenpfad wie folgt gesteuert:

1. Suchen nach NUL-Zeichen; keine Besonderheiten
2. Suchen nach "nicht-NUL"-Zeichen; MASKED ACCESS wird aktiviert, so daß die Auswahlschaltung gem. Bild 14 die NOR-Verknüpfung aller RAM-Datenausgänge auf dem Datenpfad schaltet. ACCESS MODE 1, 0

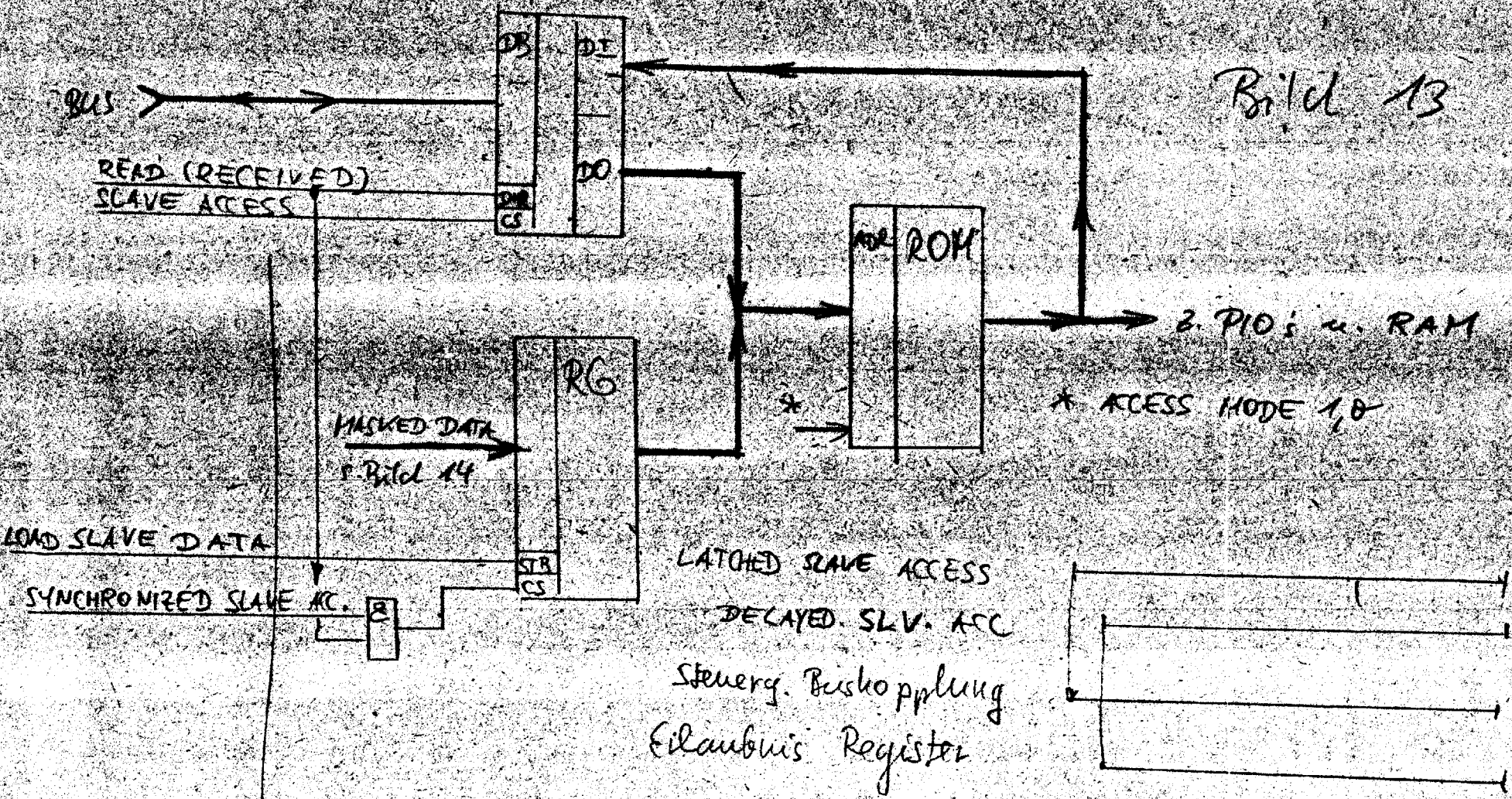
sind mit 0, 0 belegt.

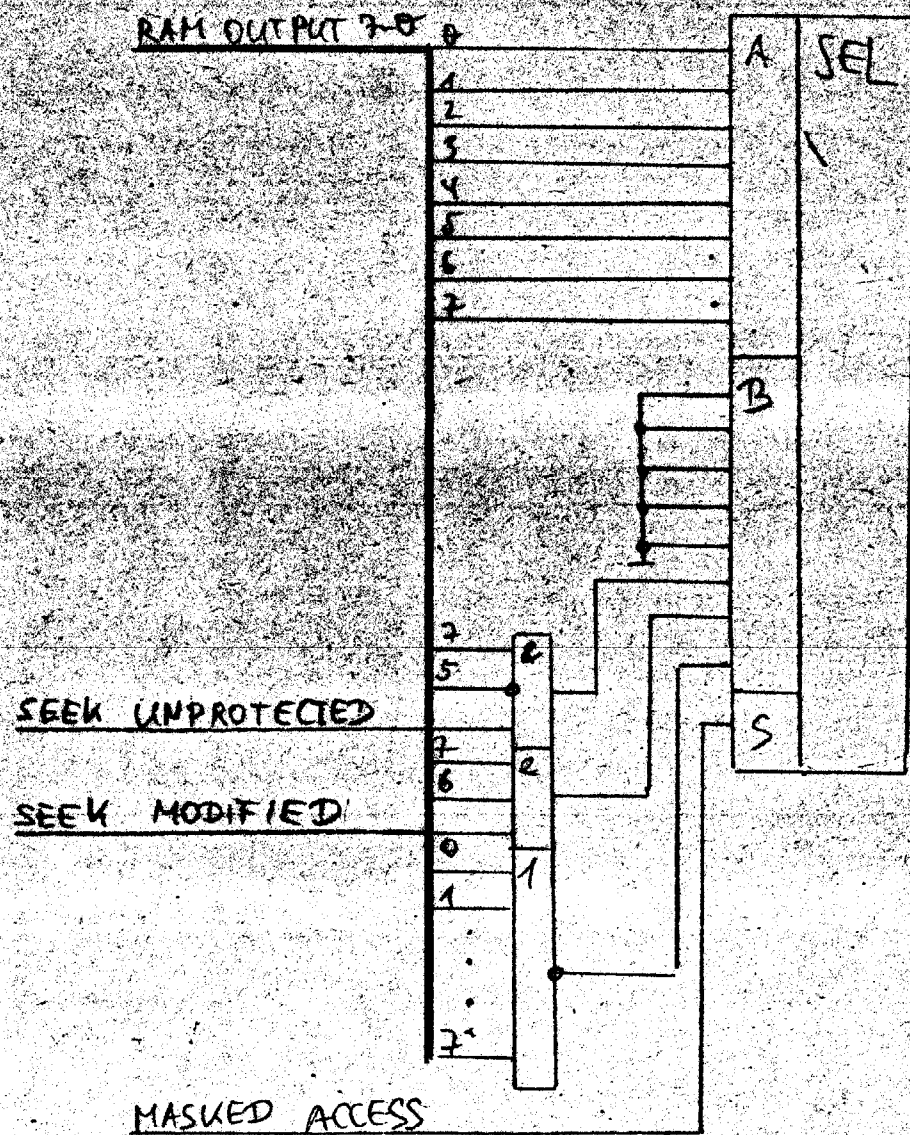
3. Suchen nach FCC; ACCESS MODE 1, 0 sind mit 10 belegt. Dadurch wird bei jedem Feldsteuerzeichen der Code AD H abgelesen.
4. Suchen nach ungeschütztem Feld; Steuerung gem. Pkt. 2, zusätzlich ist SEEK UNPROTECTED aktiv, so daß bei Bit 7 = 1 (FCC) und Bit 5 = 0 (PROTECTED = 0) Bit 5 des Datenpfades abtiniert wird.
5. Suchen nach modifiziertem Feld; Steuerung gem. Pkt. 2, zusätzlich ist SEEK MODIFIED aktiv, so daß bei Bit 7 = 1 und Bit 6 = 1 (MODIFIED) Bit 6 des Datenpfades abtiniert wird.

Die Struktur des FCC ist in Bild 16 dargestellt.

Bus - Datenpfad

Bild 13





Bildung der Lese Daten
für den Systembus

Bild 14

Belegung des PROM für Code-
wandlung Bild 15

0000H	Adresse: 00 - FF Inhalt: entspr. Adresse	Schreibzugriffe
0100H	Adresse: ISO Inhalt: SCM	
0200H	Adresse: IBM (EBCDIC) Inhalt: SCM	
0300H	Adresse: IBM (EBCDIC) Inhalt: SCM mit Wandlung LC → UC	
0400H	Adresse: 00 - FF Inhalt: entspr. Adresse	Lesezugriffe
0500H	Adresse: SCM Inhalt: ISO	
0600H	Adresse: SCM Inhalt: IBM (EBCDIC)	
0700H	Adresse: SCM Inhalt: IBM (EBCDIC) mit Wandlung LC → UC	

ACCESS MODE

- 00 SCM (ohne Wandlung)
- 01 ISO
- 10 IBM (EBCDIC)
- 11 IBM (EBCDIC) mit Wandlung LC → UC

Struktur des FCC

7	6	5	4	3	2	1	0
1	MODI- FIED	PROTEC- TED	RES	BLANK	INTENS	INVERT	BLINK

Bild 16

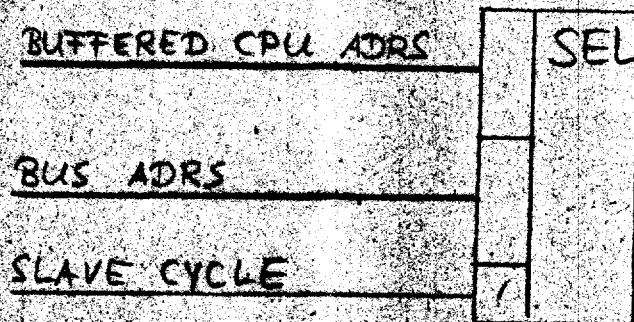
Adressierung des RAM

Die 16-bit-Adresse des RAM wird bei Slave-Zugriffen vom Systemibus und bei CPU-Zugriffen teils von der CPU und teils vom Segmentregister geliefert.

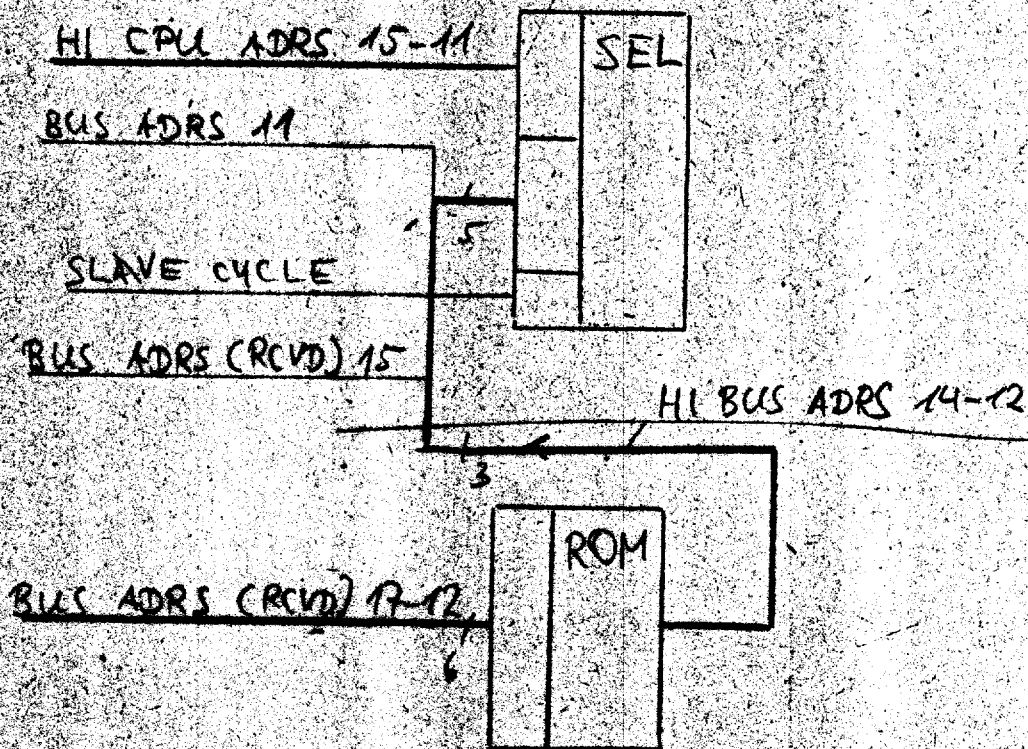
Bei Slave-Zugriffen im IBM-bis. ISO-Modus (Adressenbits 17, 16 = 0, 0) sind stets nur die beiden Bildbereiche zugänglich, und das Adressenbit 14 dient zur Unterscheidung von direkten Zugriffen zu diesen Bereichen und speziellen Zugriffen.

Die Adressierung des RAM ist in den Bildern 17-19 im einzelnen dargestellt.

Address bits 10 - 0

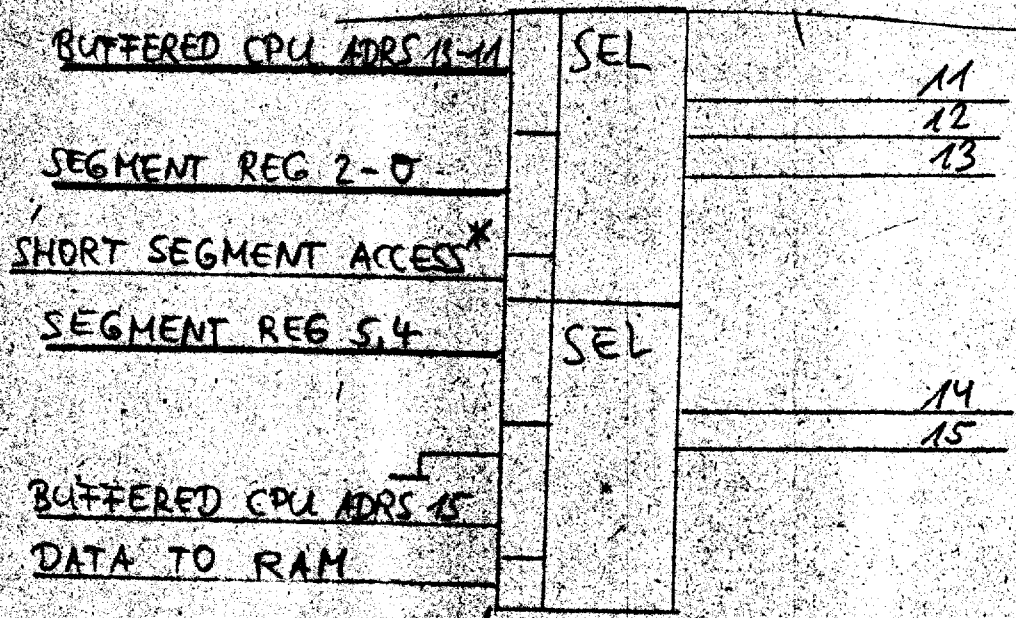


Address bits 15 - 11



Bit 17

Vorauswahl HI CPU ADRS 15-11



*aktiv bei

- CPU-Zugriff mit Adressen 15-13 = 1, 0, 1
- RAM TO BUFFER (CONTROL MODE)

Bild 18

Bildung der RAM-Adresse

		BUS ADDRESS																			
BUS ADRS	0																				a)
BUS ADRS	0	0																			b)
BUS ADRS	0	0	0																		c)
BUS ADRS	0																				d)
		SEGMENT REG							CPU ADDRESS												
SEG. REG	4	3	2	1	0																e)
SEG. REG	4	3																			f)
CPU ADRS	0																				g)
																					h)

- a) Buszugriffe im SCM-Modus
- b) Buszugriffe im ISO-Modus
- c) Suchzugriffe mit Slave-Adresse für ISO-Modus
- d) Buszugriffe im IBM-Modus mit Sonderwirkung (BUS ADRS 14 = 0)
- e) Buszugriffe im IBM-Modus mit BUS ADRS 14 = 1
- f) CPU-Zugriffe (kurzes Segment; direkt bzw. bei RAM TO BUFFER im CONTROL MODE)
- g) CPU-Zugriffe (langes Segment)
- h) CPU-Zugriffe bei DATA TO RAM im CONTROL MODE

Steuerung der Slave-Zugriffe

Eine Slave-Anforderung wird durch Vergleich der beiden höchstwertigen Bits (19, 18) der Busadresse mit der eingestellten Slave-Adresse erkannt. Dabei sind von den verbleibenden Bits 17, 16 der Slave-Adresse die Kombinationen 0, 0; 0, 1; 1, 0 zulässig (bei der Kombination 1, 1 wird das Entstehen der Slave-Anforderung verhindert).

Die Anforderung (Adressengleichheit & BUSY=1) muß mindestens 72 ns lang ununterbrochen aktiv sein, um als SLAVE REQUEST an der Vermittlungsabteilung wirksam zu werden.

SLAVE REQUEST wird mit Beginn von SLAVE CYCLE gelöscht.

Normalerweise wird am Ende des Slave-Zyklus REPLY eingeschaltet, das für die Dauer des Slave-Zugriffs aktiv bleibt.

Bei Lesezugriffen wird das Slave-Datenregister für die Dauer des Slave-Zugriffs zu den Datenleitungen des Systembus durchgeschaltet.

Besonderheiten:

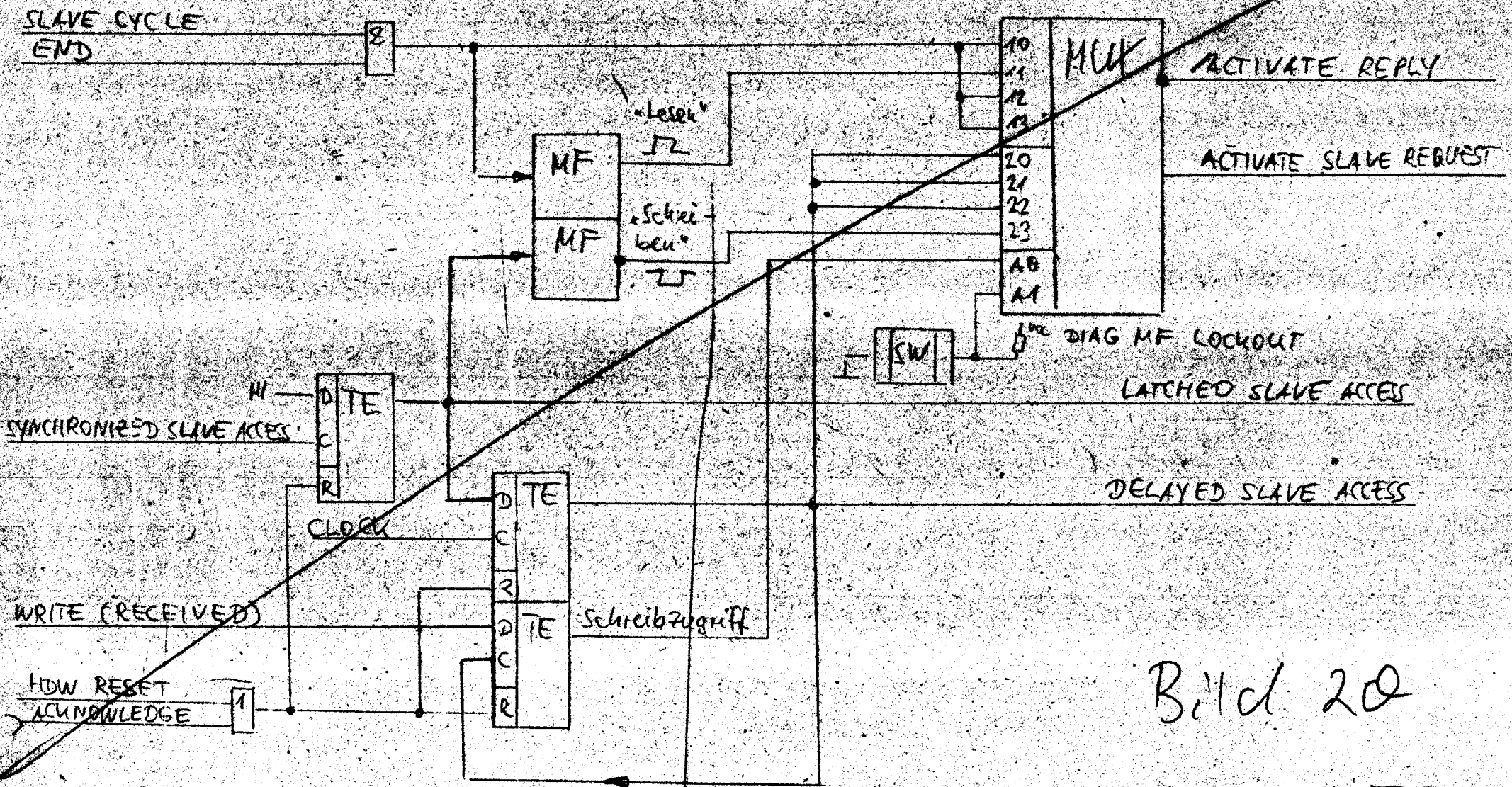
1. Bei Interrupt-Zugriffen wird RELEASE signalisiert, falls der betreffende PIO-Port nicht zur Annahme des Interrupts bereit ist. Dabei wird sofort zu Beginn des Slave-Zyklus ACTIVATE BREAK wirksam, so daß in der Halbaufsteuerung nur der Impuls P1 wirksam wird.
2. Die Zugriffszeiten für den PROM der Codewandlung werden berücksichtigt, und zwar
 - beim Schreiben durch verzögertes Einschalten von SLAVE REQUEST
 - beim Lesen durch verzögertes Einschalten von REPLY

Die Verzögerung wird jeweils mittels eines monostabilen Multivibrators bewirkt.

~~Die Wirkung der monostabilen Multivibratoren läßt sich zu diagnostischen Zwecken unterdrücken (sie werden aber trotzdem angesteuert und geben Impulse ab). In diesem Fall ist allerdings keine korrekte Datentransportleistung möglich.~~

3. Das Steuersignal für Slave-Zugriffe wird nach der Mindest-Haltzeitzeit von 72 ns bis zum Einschalten von ACKNOWLEDGE ständig aktiv gehalten, unabhängig von Störungen auf der BUSY-Leitung o. dergl. (Signal LATCHED SLAVE REQUEST).

alt: 30.6



ACTIVATE REPLY
ACTIVATE SLAVE REQUEST
DIAG MF LOCKOUT
LATCHED SLAVE ACCESS
DELAYED SLAVE ACCESS

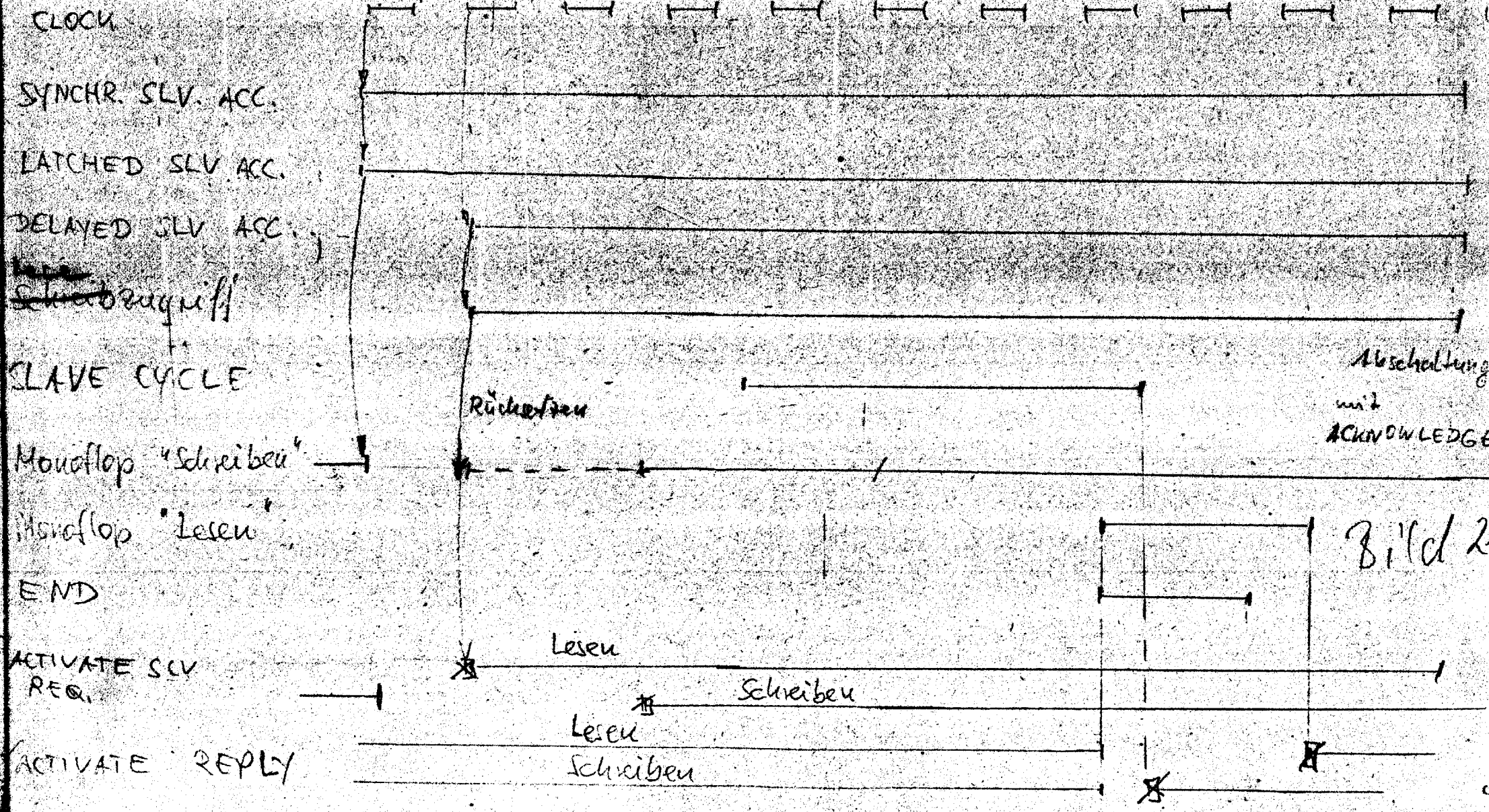
Bild 20

SE3

Adresse an MUX	Funktionszustand	ACTIVATE REPLY	ACTIVATE SLAVE REQUEST
00	Lesen u. DIAG MF LOCKOUT	SLAVE CYCLE & END	DELAYED SLAVE ACCESS
01	Schreiben u. DIAG MF LOCKOUT	SLAVE CYCLE & END	DELAYED SLAVE ACCESS
10	Lesen, Normalbetrieb	Monoflop	DELAYED SLAVE ACCESS
11	Schreiben, Normalbetrieb	SLAVE CYCLE & END	Monoflop

Tafel 4

30.6.



Steuerung der CPU-Zugriffe

RAM-Zugriffe, Zugriffe im CONTROL MODE sowie M1-Zugriffe der CPU führen zu einer Anforderung CPU REQUEST. Die CPU wird zunächst in den WAIT-Zustand versetzt. Die Anforderung entsteht, wenn die Art des Zugriffs (Lesen oder Schreiben) eindeutig bestimmt ist.

Daß M1-Zugriffe zu einer Anforderung führen, ist mit FORCE EVEN PARITY abschaltbar.

Ablaufsteuerung

Interne Zugriffszyklen können sowohl von der lokalen CPU als auch durch Slave-Zugriffe seitens des Bussystems ausgelöst werden.

Die Anforderungen werden in einer Prioritätsvermittlung untereinander vermittelt, wobei die Slave-Anforderungen die höhere Priorität haben.

Die eigentlichen Steuerimpulse werden von einer Schieberegister-Kette geliefert.

Daraus werden die Ansteuerimpulse für die dynamischen RAMs, Schreibimpulse usw. gebildet.

Hinweise:

1. Alternativ zum Normalablauf (Steuerimpulse P1...END) ist ein verkürzter Ablauf möglich (P1, BREAK). Dieser wird angefordert

- bei Slave-Zyklen, wenn ein Interrupt ausgelöst werden soll und die PIOs dazu nicht bereit sind
- bei CPU-ROM-Zugriffen während des Befehlslesens (M1-Zugriffe)

2. Es gibt zwei Vorkehrungen für das Sperren von Auforderungen:

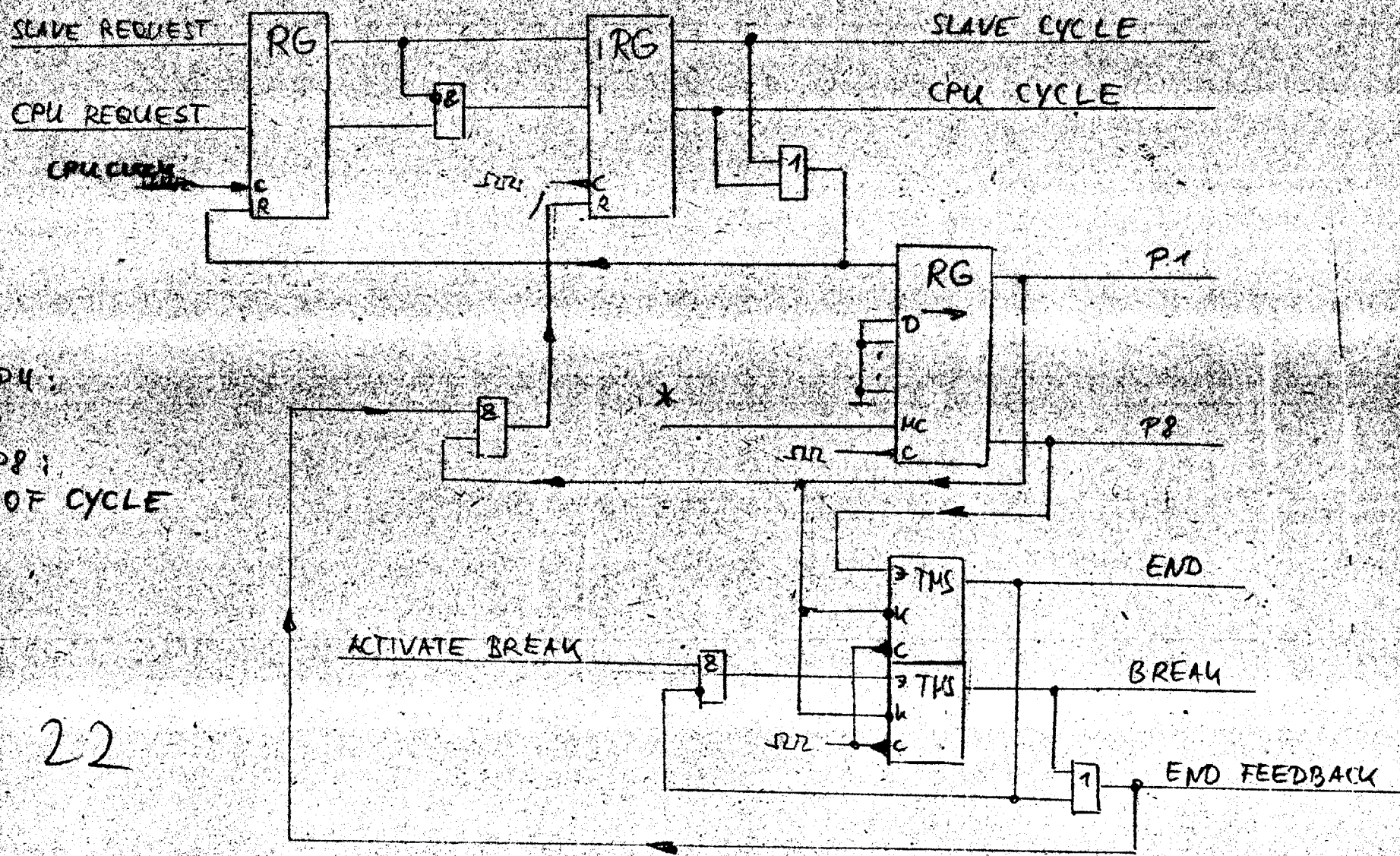
a.) Verhinderung von Slave-Auforderungen (SLAVE REQUEST) bei M1-Fehlern der CPU (mindestens bis zur Rückflanke von RFSH; mit FORCE EVEN PARITY läßt sich dies verhindern).

b.) Verhinderung von CPU-Auforderungen (CPU REQUEST), wenn eine Slave-Auforderung mit aktivem INTERRUPT- und inaktivem WRITE-Signal vorliegt. Dies ist der Fall zu Beginn des selektiven Rücksetzens.

(Um ein Verfälschen von RAM-Inhalten durch verkürzte Steuerspulse zu vermeiden, muß verhindert werden, daß das selektive Rücksetzen CPU-Fehlern abbrechen kann.)

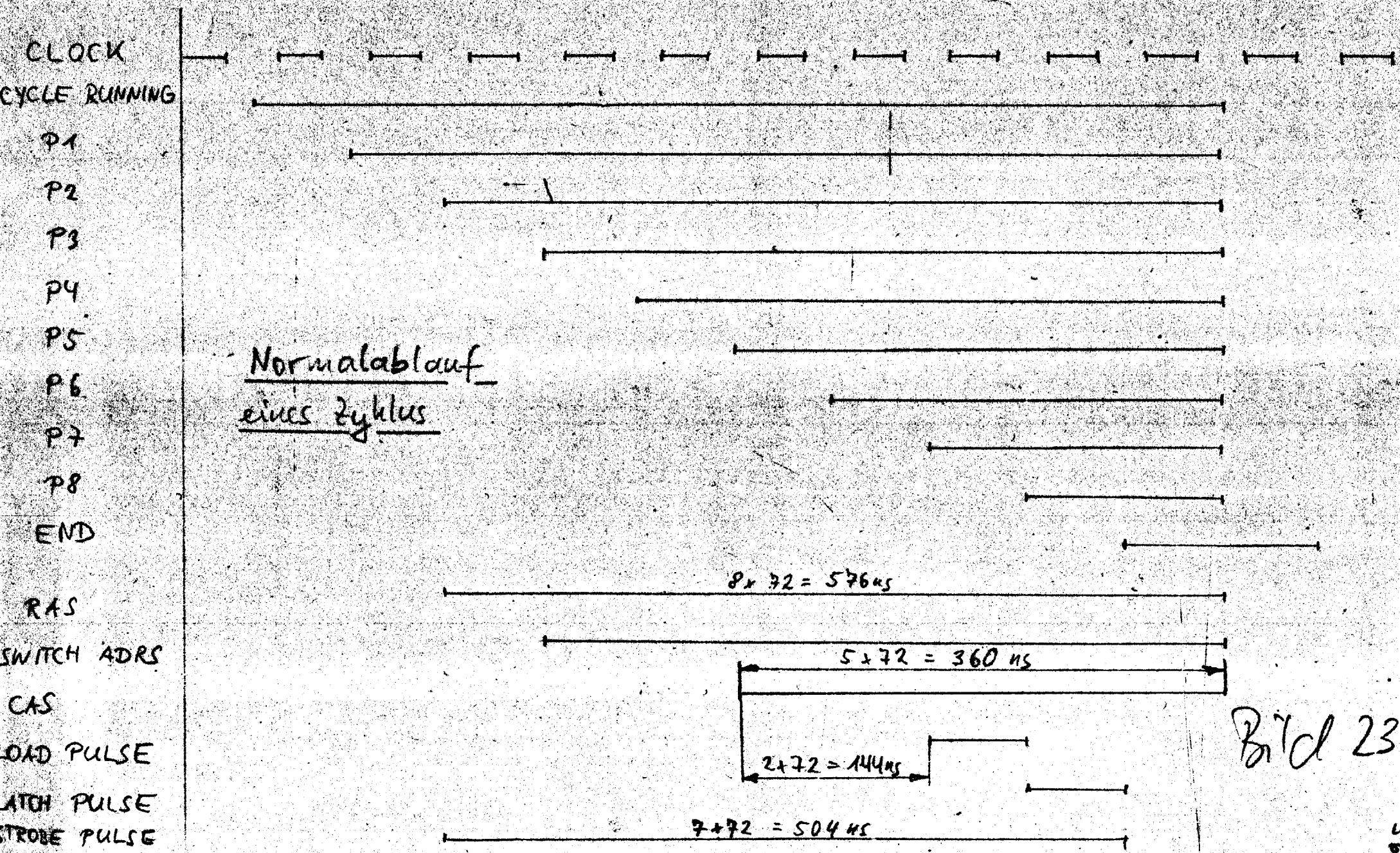
3. Die Fehlerkorrektur kann ein- oder ausgeschaltet sein. Zunächst werden die Abläufe bei ausgeschalteter Fehlerkorrektur erläutert.

30.6



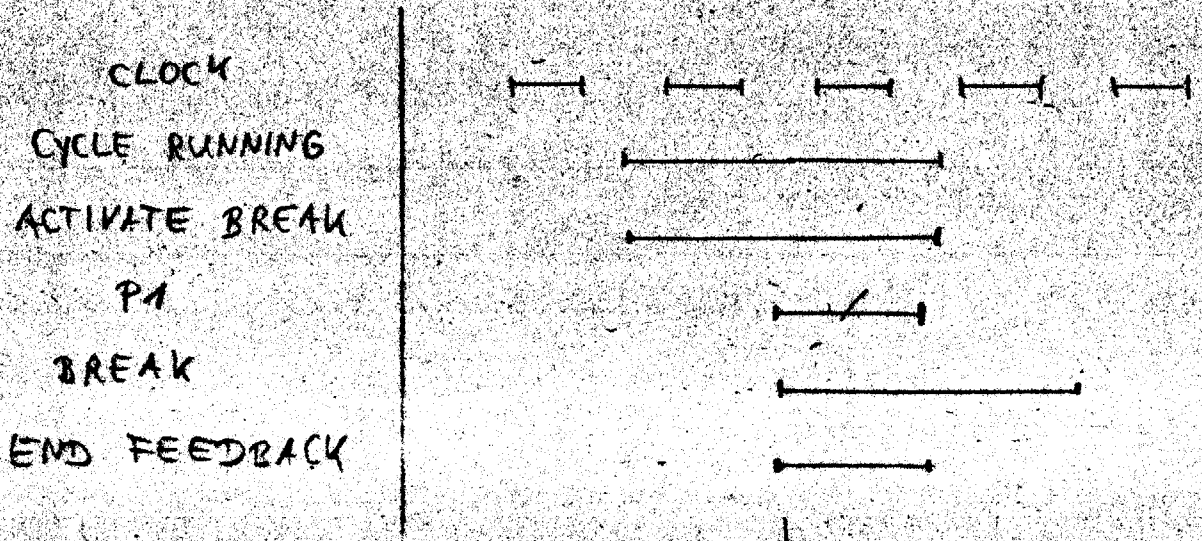
* P1-P4:
END
P5-P8:
END OF CYCLE

Bild 22



Normalablauf
eines Zyklus

Bild 23



Zyklus mit Abbruchbedingung

Bild. 24