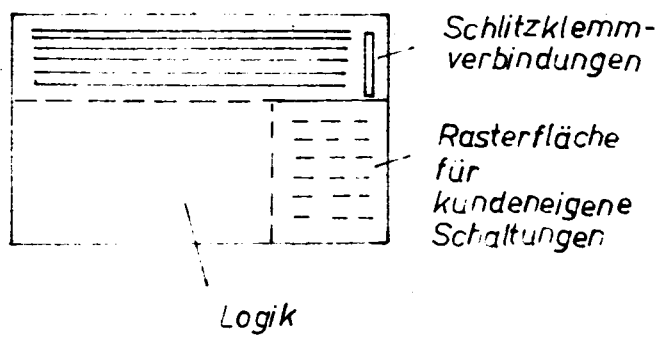
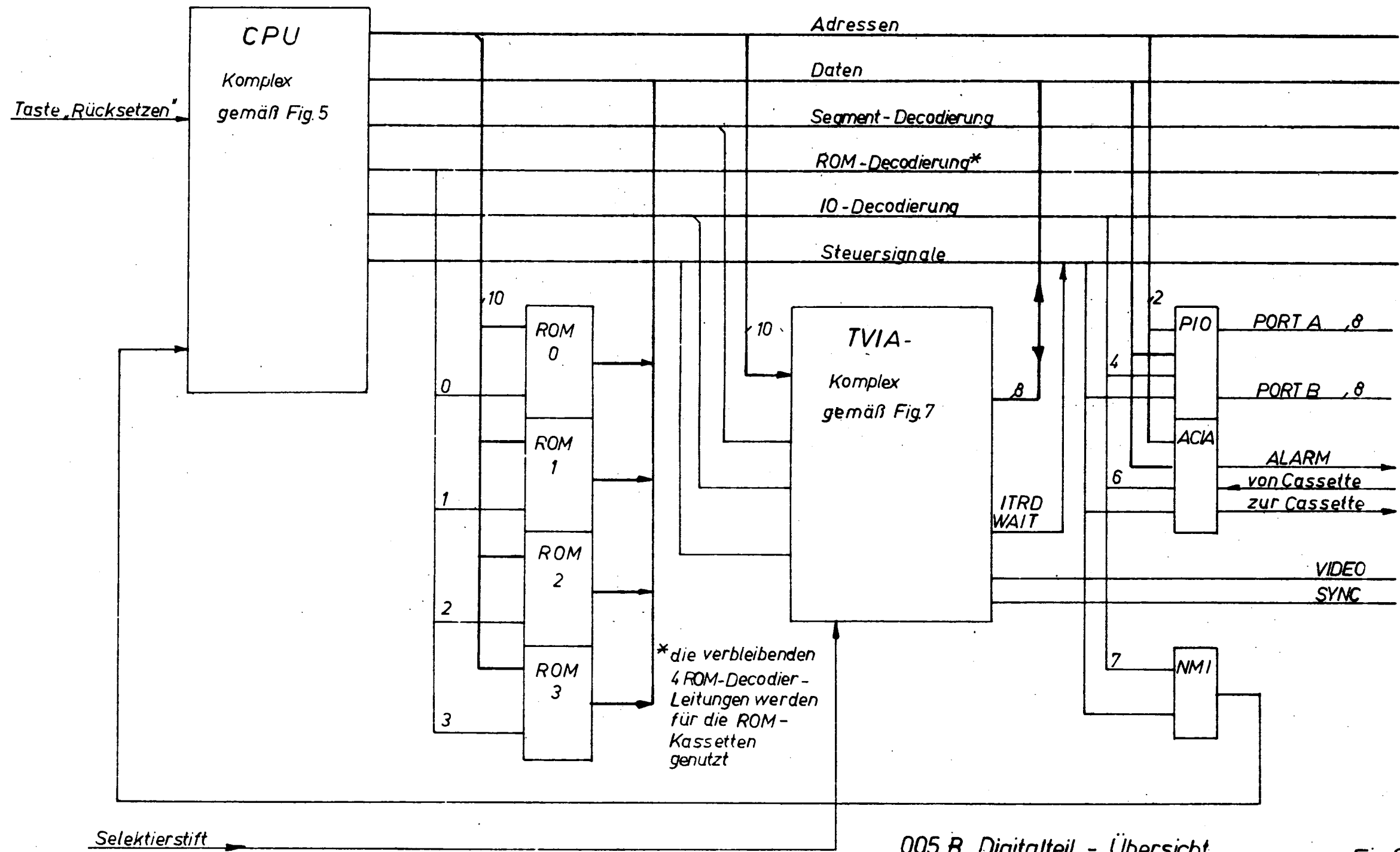


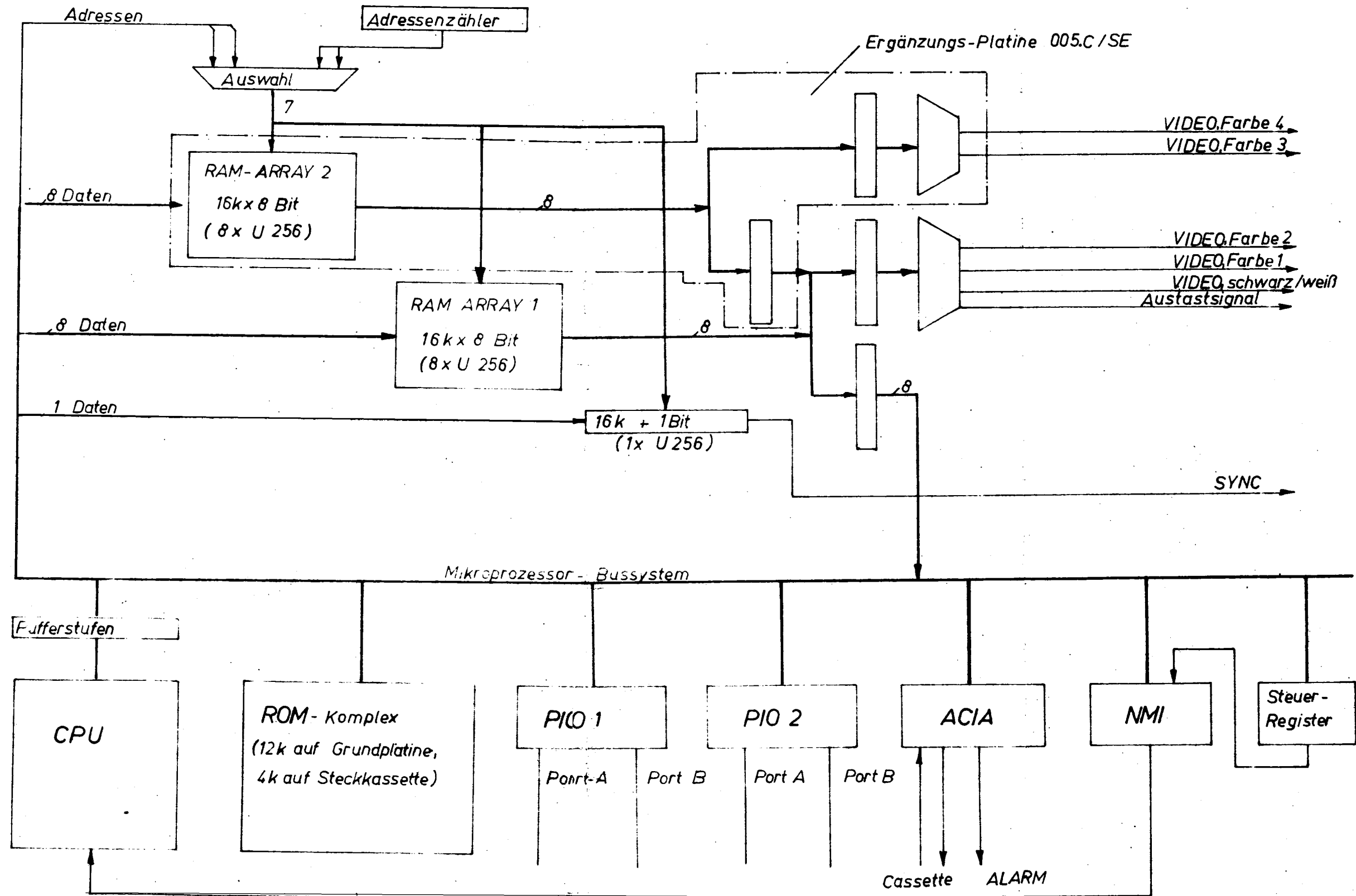
Prinzip der Leiterplatten-Aufteilung
Leitungssystem



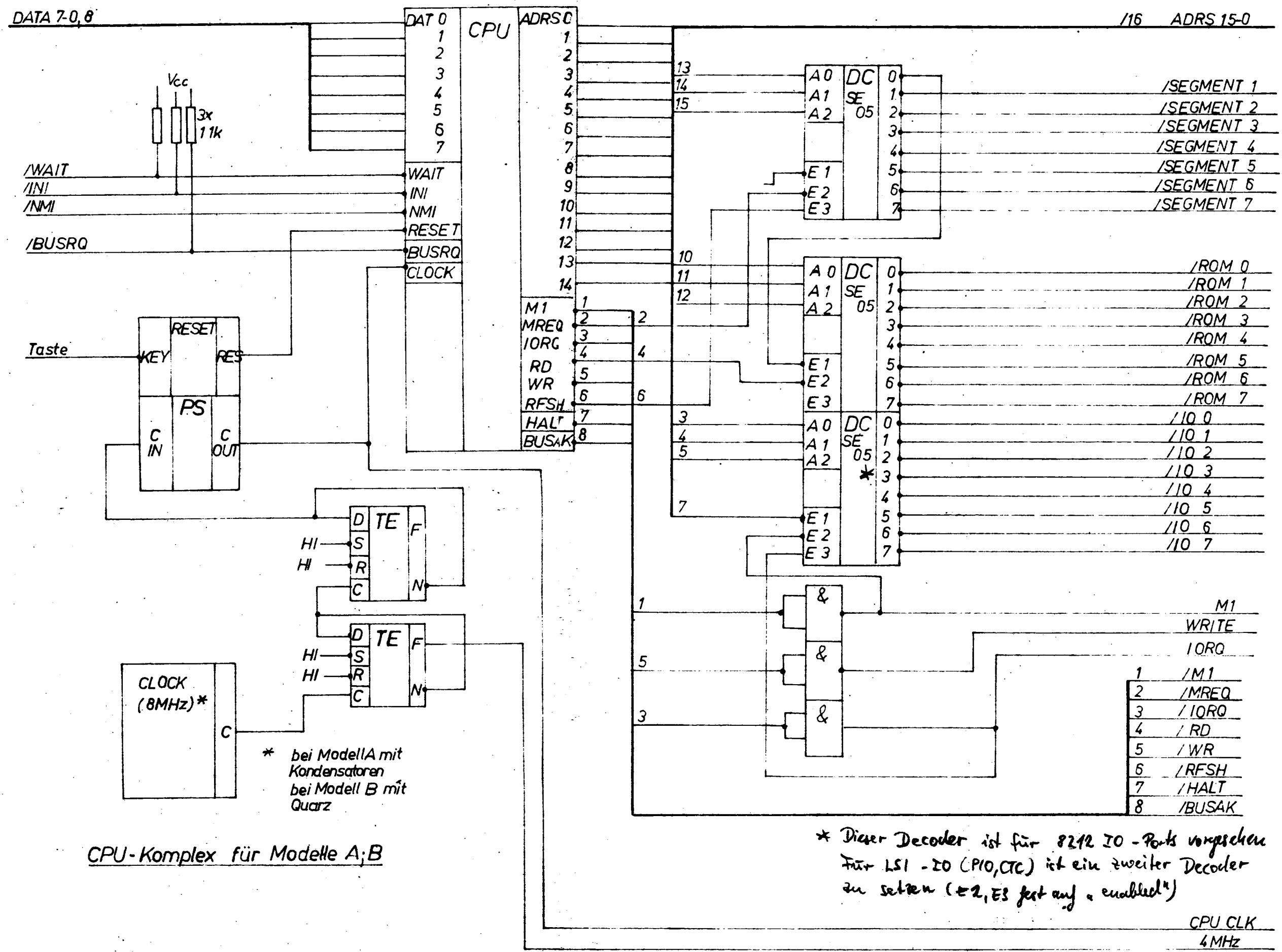
*) : In Grundversion nicht bestückt

Fig. 8





Modell 005.C Digitalteil - Blockschaltbild Fig.11, Bl.0



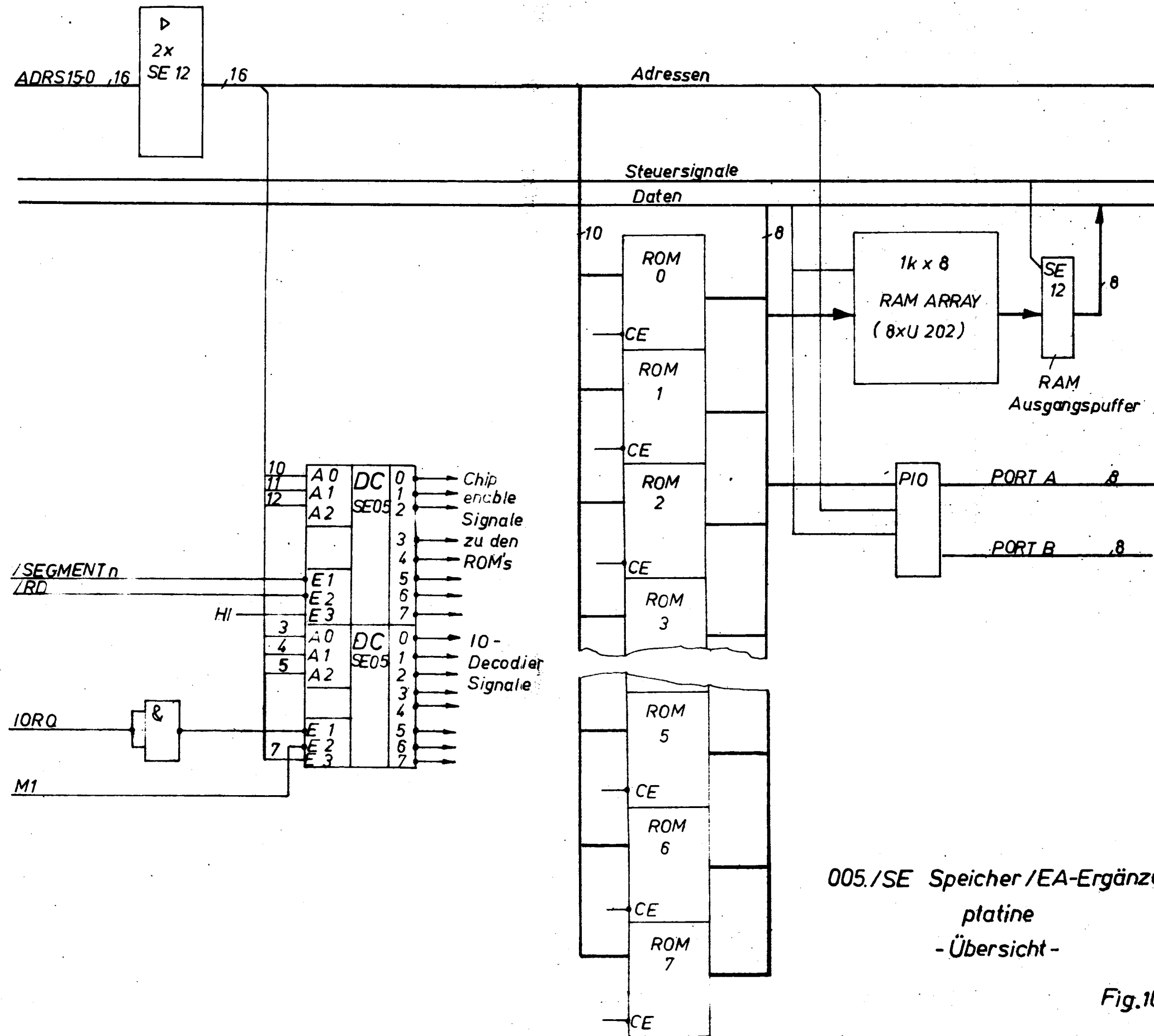
CPU-Komplex für Modelle A;B

* bei Modell A mit Kondensatoren
bei Modell B mit Quarz

* Dieser Decoder ist für 8212 IO-Ports vorgesehen
Für LSI-IO (PIO, CTC) ist ein zweiter Decoder zu setzen (E2, E3 fest auf „enabled“)

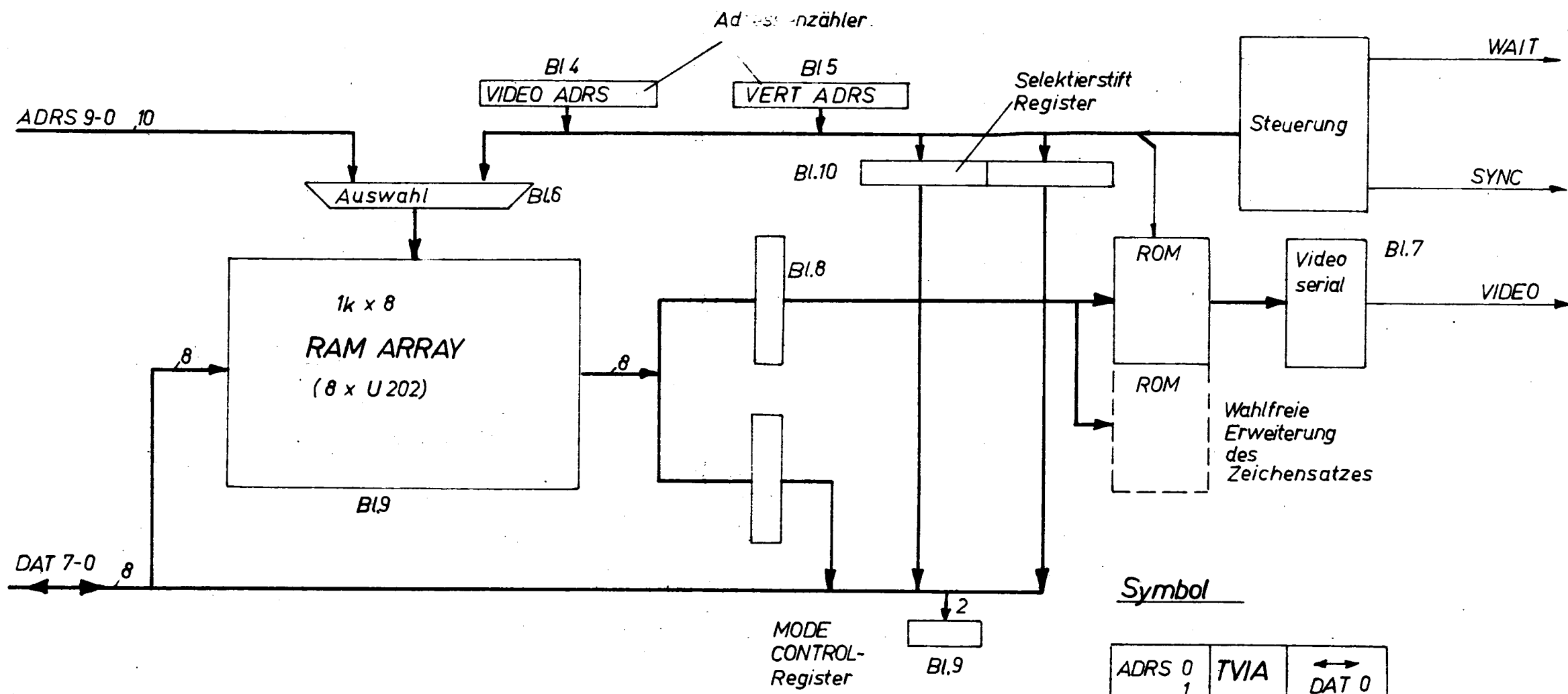
CPU CLK
4MHz

Fig.5



005./SE Speicher/EA-Ergänzungsplatte
- Übersicht -

Fig.10



TV-Interface-Adapter
für Modelle A;B

Symbol

| | | |
|-------------|---------|-------|
| ADRS 0 | TVIA | DAT 0 |
| 1 | | 1 |
| 2 | | 2 |
| 3 | | 3 |
| 4 | | 4 |
| 5 | | 5 |
| 6 | | 6 |
| 7 | | 7 |
| 8 | | 7 |
| 9 | INI | |
| (/SEGMENT1) | DVCSSEL | WAIT |
| (/IO 0) | IOSEL 0 | |
| (/IO 1) | IOSEL 1 | |
| (/IO 7) | IOSEL 2 | |
| | RD | |
| | WRITE | |
| 4MHz | SELPEN | VIDEO |
| | CLOCK | SYNC |

Fig.7, BI 0