

# **Neuronale Hardware (Projekt NHW)**

## **Vorläufige Disposition**

Stand: 3. 12. 1997

### **Ziel**

Aufbau und Erprobung einer Hardwarestruktur zur Implementierung neuronaler Paradigmata der Informationsverarbeitung.

### **Ansatz**

Nutzung zuhandener Mikrocontroller ( $\mu$ Cs). Verwirklichung des naheliegenden Gedankens "1 Neuron = 1  $\mu$ C".

### **Struktur des Neuronennetzes**

Keine Beschränkung seitens der Hardware. "Jeder-mit-jedem"-Verbindung vorgesehen.

### **Verbindungssystem**

Ringbus auf Schieberegister-Grundlage. 1 Ring-Shift ermöglicht Verbindung "jeder mit jedem". Jedes Neuron "sieht" die Ausgangsbelegungen aller anderen Neuronen und legt nach jedem Schiebezyklus seine neu errechnete Ausgangsbelegung auf den Bus. Die logische Organisation beruht auf Eimern fester Länge (vergleichbar etwa mit den Zellen bei ATM) und gestattet es, neben zeitstarrten auch beliebig variable Verbindungsschemata zu implementieren.

### **Betriebssteuerung**

Zentralisiert durch angeschlossenen PC. Zunächst Kopplung über Parallelschnittstelle, später (Endzustand) eine zugeordnete PC-104-Konfiguration (die ihrerseits z. B. über Ethernet anderweitig verkoppelt werden kann).

### **RAS-Vorkehrungen (Reliability, Availability, Serviceability)**

Die diesbezüglichen Probleme einer Anordnung aus einer sehr großen Anzahl von  $\mu$ Cs werden konstruktiv gelöst. Software in RAM (mit Ausnahme des Anfangsladens). Debugging-Vorkehrungen durch zusätzlichen Vergleichsstop-RAM (ermöglicht auch Single Step), entsprechende Busprotokolle und Systemsoftware. Selbsttestvorkehrungen. Eventuell Paritätsprüfung auf dem Schiebeweg. Keine ausgedehnten Tri-State- oder Wired-OR-Strukturen.

### **$\mu$ C-Auswahl**

Der kleinstmögliche (kostengünstigste) Schaltkreis mit ausreichender Leistung, genügend Adreßraum (> 64 kBytes), genügend I/O-Ports und möglichst flexibler Befehlsliste (+ Adressierungsmodi).  $\mu$ C muß (1) preisgünstig sein und (2) sowenig Außenbeschaltung (Glue Logic) wie möglich erfordern. Die 8051-Leistungsklasse leistet zuwenig. PIC 17Cxx ist

programmseitig nicht flexibel genug. SAB 16x hat weniger geeignetes Adressierungsschema. Intel ..86 kommt gar nicht in Frage. Motorola 68 000 dürfte wegen der Anforderung an die Außenbeschaltung ausscheiden (wäre aber zu prüfen - bes. 68EC000 oder 68330). (Es sollte sich um einen echten Controller handeln - mit internem Speicher und genügend flexibel nutzbaren I/O-Ports, nicht um einen reinen Prozessor.) Bevorzugt: Hitachi H8/300H.

### Technischer Aufbau

Leiterplatten in Rahmen. Leiterplatten in Einfach-Europa-Format (100 \* 160 mm) mit jeweils 4  $\mu$ C-Knoten. *Prüfen*: Doppel-Europa-Format mit 8 oder mehr Knoten (Kostenoptimierung). 1 Knoten =  $\mu$ C + 128/256 kBytes RAM (einschl. Debugging- und ggf. Steuer-Zusatz-RAM) + Busanschaltung + (falls notwendig) "Restlogik". Evtl. die gesamte Zusatzlogik in einem CPLD/FPGA je Leiterplatte. Zentrale Taktzuführung. Entwurfsentscheidung synchrones/asynchrones Timing der Kommunikation ist noch zu treffen!

### Anzahl der Neuronen bzw. $\mu$ Cs

Maximal wenigstens 1k = 1024. Die Beschränkung betrifft:

1. die praktische Ausgestaltung. 1k Knoten = 256 Leiterplatten = 1 Schrank = Kosten weit über 100 000 DM.
2. die Verarbeitungsleistung. Wie lange dauert ein System-Zyklus? (Bildung des Skalarproduktes über Vektoren mit 1k Elementen + Kommunikationsdauer).
3. die vorzusehenden Adressierungsstrukturen. Vorläufige Festlegung: Adreßfelder von 10 Bits für 1k Knoten. Aber so entwerfen, daß jederzeit "verlängert" werden kann.

Erste praktische Implementierung: mit ca. 40 Neuronen = 10 Leiterplatten = (vermutlich) um 10 000 DM Kosten.

### Multitasking

Es liegt nahe, auf einem  $\mu$ C-Knoten mehrere Neuronen "rechnen" zu lassen. . Mit 8 Neuronen je Knoten bedeuten 1k Neuronen = 128 Knoten = 32 Leiterplatten = 1 19"-Rahmen = (vermutlich) unter 50 000 DM Kosten. Ausführung aber erst, wenn Grundkonfiguration (1 Neuron = 1  $\mu$ C) funktioniert.

### Wissenschaftlicher Nutzen

1. als Forschungsgegenstand an sich: Darstellung einer "extremen" Multiprozessorkonfiguration, Lösung der spezifischen Detailprobleme (Kommunikation, Softwareentwicklung, Debugging, RAS, Betriebszuverlässigkeit),
2. Plattform für Forschungsarbeiten zu neuronalen Netzen,

3. Plattform für Forschungsarbeiten zu "massiv parallelen" Algorithmen für an sich beliebige Anwendungen,
4. Plattform zu anderweitiger Nutzung (z. B. zur Schaltungssimulation).

### Entwicklungsschritte (Übersicht)

- Einarbeitung in Problematik "neuronale Netze"
- $\mu$ C-Auswahl
- Bestimmung des Speichersubsystems
- Bestimmung des Kommunikationsprotokolls
- Aufbau einer Einzelprozessor-Testplattform: Wrap-Technologie, direkte PC-Verbindung über Parallelschnittstelle, Dual-Port-RAM. Zweck: Vorerprobung von Hard- und Software.
- technische Entwicklung (Leiterplatte, Rahmen, Interface zum Steuer-PC)
- Architekturentwicklung
  - Kommunikationsprotokolle
  - allgemeine Wirkprinzipien (Theory of Operation)
  - RAS-Vorkehrungen
  - Industriestandard-Schnittstelle(n) (PCs, Netzwerke usw.)
- Software
  - Hardwaretest und IPL (Download)
  - Debugging
  - Betriebssystemkernel
  - Anwendung (Neuronen)
  - Testbeispiele und Verifi

PERT-Diagramm wird noch ausgearbei

### RECHNERARCHITEKTUR

## Japan baut einen Neurosuperrechner

Mit dem weltgrößten neuronalen Hardwaresystem hat die japanische Tsukuba University einen Rekord bei der Rechengeschwindigkeit aufgestellt.

Der Neurorechner besteht laut Professor Yuzo Hirai vom Institute of Information Sciences and Electronics der Tsukuba-Universität aus 1000 Neuronen, die physikalisch über eine Million 7-Bit-Verbindungen zusammengeschaltet sind. Jedes Neuron besitzt eine Reaktionszeit von 400 Mikrosekunden. Konzipiert ist die Maschine für die Echtzeitmustererkennung.

„Das System löst parallel 1000 nichtlineare Differentialgleichungen erster Ordnung“, nennt Hirai die Leistungsdaten. Damit ist das komplett digital gestaltete System 10 000 Mal schneller als eine konventionelle Workstation.

Hirai und sein Team wollen den Neurosuperrechner noch in diesem Monat an das Internet anschließen. „Uns fehlt lediglich noch eine schriftliche Erlaubnis für das Einklinken des Systems ins Netz von jener Organisation, die uns finanziell unterstützt hat.“