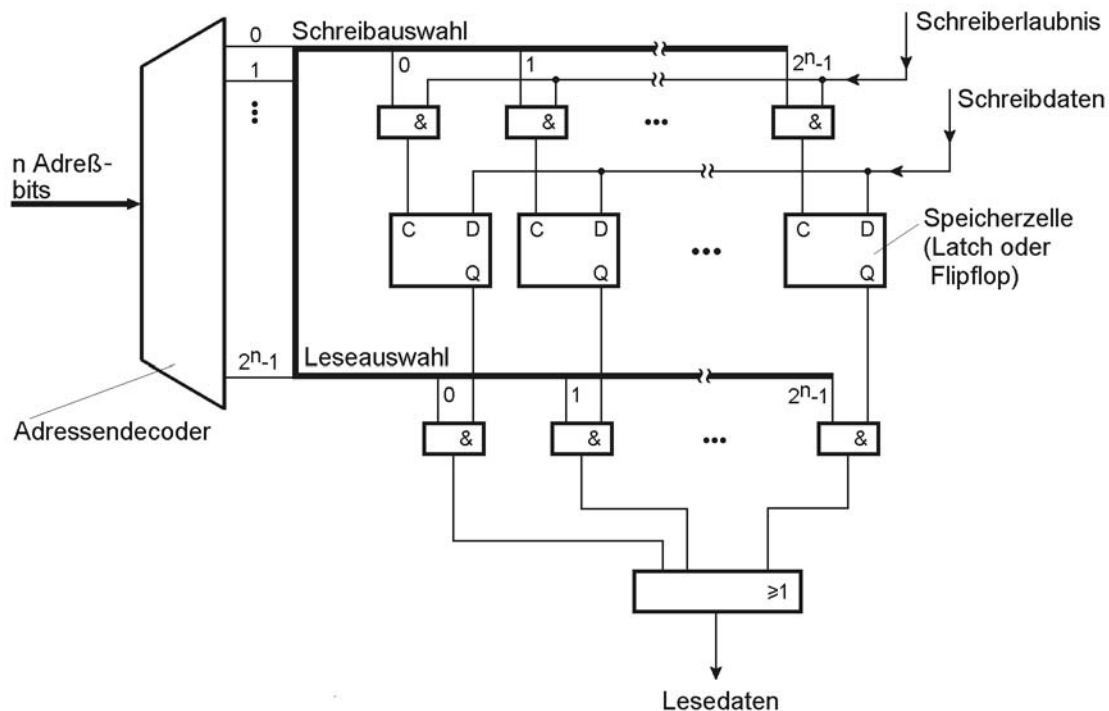


## Statische RAMs – eine Einführung

Stand: 29. 10. 2012

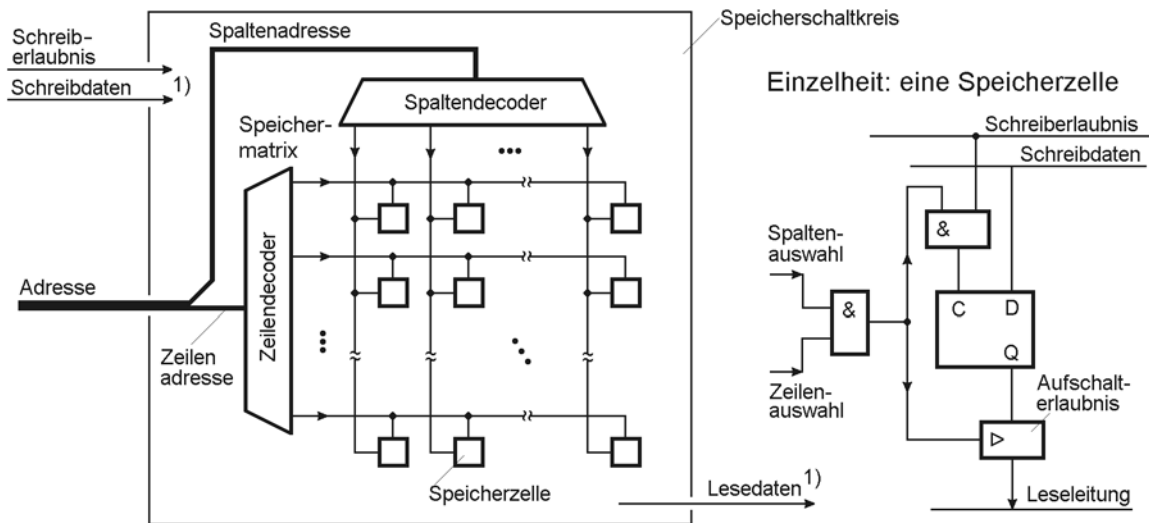
### Grundlagen der Direktzugriffsspeicher

Direktzugriffsspeicher müssen gar nicht viel können. Eigentlich sind es nur drei: (1) Schreiben, (2) Lesen, (3) Behalten der gespeicherten Daten. Um diese einfachen Funktionen aber tatsächlich zustande zu bringen, muß man sich wirklich anstrengen: den heutigen Stand zu erreichen, hat Jahrzehnte gedauert und Milliarden gekostet. In den Einzelheiten wird es also richtig kompliziert. Deshalb wollen wir uns mit einem Überblick über die grundlegenden Organisations- und Wirkprinzipien begnügen. Beginnen wir mit einer ersten schrittweisen Annäherung anhand der Abbildungen 1 bis 4.



**Abb. 1** Speicherschaltkreis in erster Näherung: über eine binäre Adresse ausgewählte Speicherzellen.

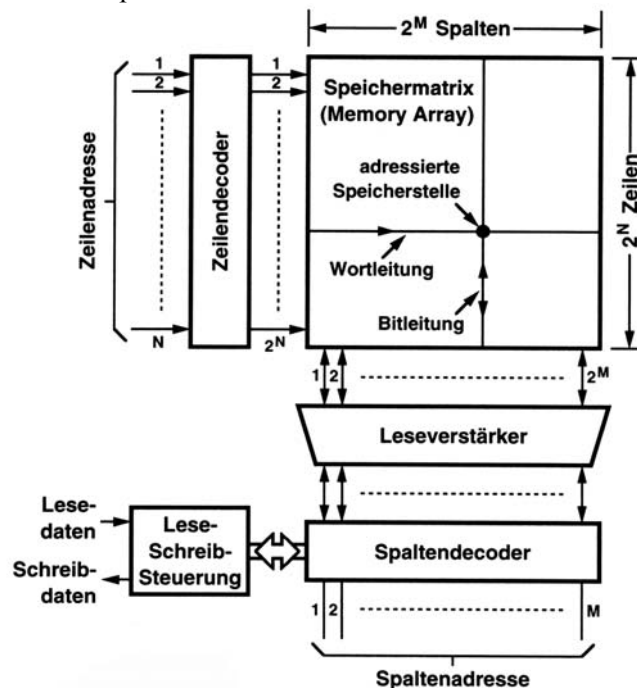
Der Speicher ist aus einzelnen Speicherzellen aufgebaut, wovon jeweils eine über den Adreßdecoder ausgewählt wird. Beim Schreiben erhält nur die adressierte Zelle einen Schreibimpuls (so daß die Schreibdaten nur in diese Zelle übernommen werden); beim Lesen wird nur die adressierte Zelle zum Lesedaten-Ausgang durchgeschaltet (Prinzip des Multiplexers).



1) an alle Speicherzellen angeschlossen

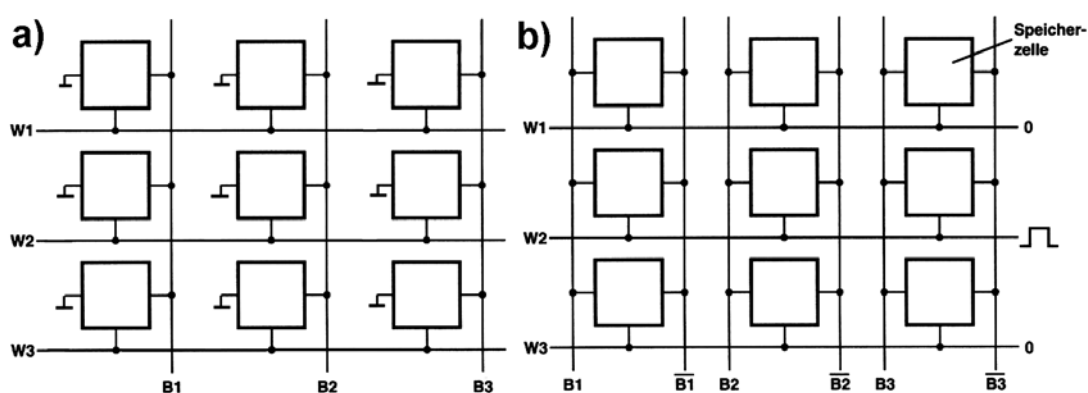
**Abb. 2** Speicherschaltkreis in zweiter Näherung: adressierbarer Speicher in Matrixorganisation.

Gemäß Abbildung 1 müßte der Adreßdecoder eine Auswahlleitung je Speicherzelle haben. Das ist aber bereits bei eher bescheidenen Speicherkapazitäten nicht mehr realisierbar. Betrachten wir als Beispiel einen Speicher von 1 MBits in  $1M \cdot 1$ -Organisation. Ein solcher Speicher hat eine 20 Bits lange Adresse. Der Adreßdecoder müßte somit  $2^{20} = 1\,048\,576$  Auswahlleitungen ansteuern. Um den Decodieraufwand zu verringern, ordnet man die Zellen in Matrixform an (Speichermatrix; Memory Array). Beispielsweise werden 1 MBits in einer Matrix aus 1024 Zeilen und 1024 Spalten angeordnet. Dem entsprechen Zeilen- und Spaltenadressen von jeweils 10 Bits, die unabhängig voneinander decodiert werden. Jede Speicherzelle befindet sich im Kreuzungspunkt einer Zeilen- und einer Spaltenleitung, die zwecks Zellauswahl konjunktiv verknüpft werden.



**Abb. 3** Speicherschaltkreis in dritter Näherung: Zeilen-und Spaltenauswahl.

Speicherzellen gemäß Abbildung 2 wären sehr aufwendig. Zudem müßten die Schreib- und Lesedatenleitungen zu allen Speicherzellen geführt werden (vergleichsweise lange, gegen Einkoppeln von Störungen empfindliche Leitungen, hohe kapazitive Belastung). Deshalb nimmt man die Zellauswahl aus der Speichermatrix heraus. In der Speichermatrix selbst werden nur ganze Zeilen ausgewählt. Dem Zeilendecoder sind hierzu je Zeile eine Zeilenauswahl- oder Wortleitung (Word Line) nachgeschaltet. Eine aktive Wortleitung bewirkt, daß alle Speicherzellen der betreffenden Zeile parallel über Bitleitungen (Bit Lines) auf eine Leseverstärkeranordnung geschaltet werden. Eine Speicheranordnung mit 1024 Zeilen und 1024 Spalten hat also 1024 Wortleitungen und 1024 über Bitleitungen angeschlossene Leseverstärker. Der Spaltendecoder wählt den Leseverstärker der jeweils adressierten Spalte aus. Die Bitleitungen dienen sowohl zum Lesen als auch zum Schreiben. Hierzu wird der Verbund aus Spaltendecoder und Leseverstärkern so ausgelegt, daß er in beiden Richtungen nutzbar ist.



**Abb. 4** Speicherzellen in der Speichermatrix. a) nur eine Bitleitung je Spalte. Signalübertragung gegen Masse („single-ended“); b) zwei Bitleitungen je Spalte. Differentielle Signalübertragung. Hier wird Wortleitung W2 aktiviert (Impulssymbol), während die Wortleitungen W1 und W3 inaktiv (= auf 0) gehalten werden.

*Signalübertragung gegen Masse („single-ended“)*

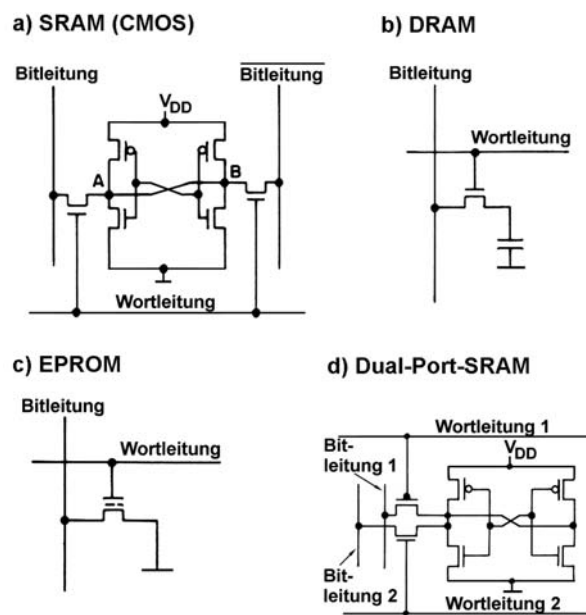
Jeder der binären Signalwerte (0 oder 1) entspricht einem Spannungsbereich, der auf das Massepotential (0 V) bezogen wird (vgl die typischen Logikschaltungen).

*Differentielle Signalübertragung*

Je Signal werden zwei Leitungen vorgesehen. Jeder der binären Signalwerte (0 oder 1) entspricht einer Spannungsdifferenz zwischen beiden Leitungen. Beispiel: wird eine 0 übertragen, so ist die Spannung auf der Bitleitung B geringer als auf der „komplementären“ Bitleitung  $\bar{B}$ , wird eine 1 übertragen, verhält es sich umgekehrt.

Die differentielle Signalübertragung ist aufwendiger, aber gegen Störungen wesentlich weniger empfindlich als die Signalübertragung gegen Masse. Deshalb kommt man mit geringeren Spannungshüben aus. Dies wiederum erlaubt es, die Übertragungsgeschwindigkeit zu erhöhen (es kostet offensichtlich weniger Zeit, eine Spannung beispielsweise von 0 V auf 0,25 V zu ändern als von 0 V auf 1 V).

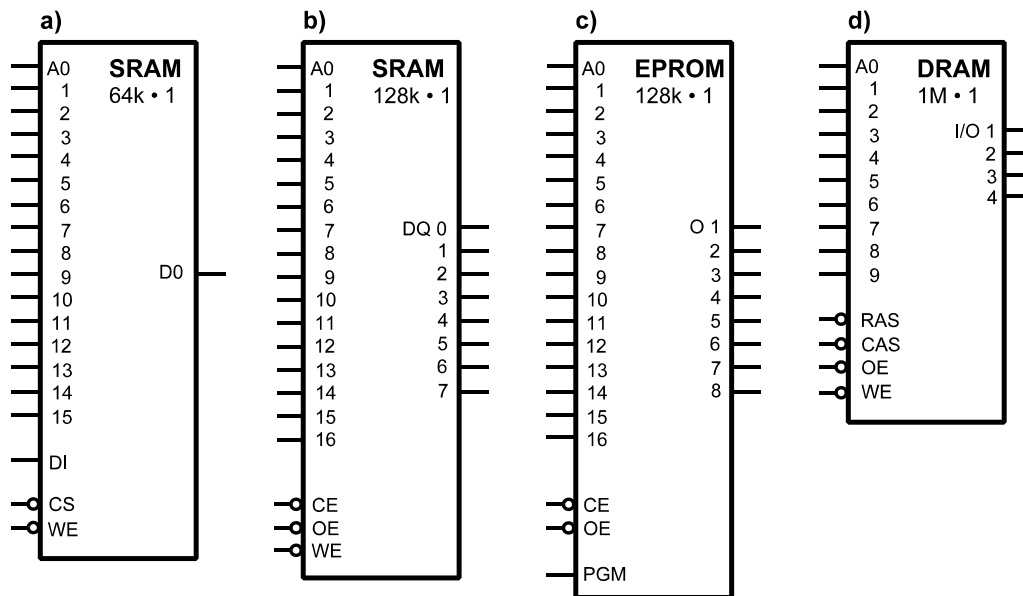
Die verschiedenen Speicherarten (SRAM, DRAM, EPROM, EEPROM, Flash-ROM usw.) unterscheiden sich vor allem darin, wie die einzelnen Speicherzellen aufgebaut sind (Abbildung 5). Beim SRAM ist die eigentliche Speicherzelle ein Latch, beim DRAM ein Kondensator, beim ROM ein Feldeffekttransistor. Hinzu kommen Funktionselemente, die die Speicherzelle zu den Bitleitungen durchschalten (das sind zumeist Feldeffekttransistoren). Aus den elektrischen und funktionellen Eigenheiten der jeweiligen Speicherzelle ergeben sich die Auslegung der Speichermatrix, der Aufbau der Leseverstärker usw. Bei der Auslegung der Speicherzellen kommt es auf jeden Transistor und auf das kleinste Stück Siliziumfläche an. Die Entwickler geben sich viel Mühe, um die einzelne Zelle so klein wie möglich zu halten.



**Abb. 5** Speicherzellen im Überblick. Eine Auswahl.

### Speichermatrix und Interface

Die Entwicklung begann damit, daß man die Signale, die zum Betreiben der Anordnung gemäß Abbildung 2 erforderlich sind (Adresse, Daten, Steuersignale), an die Schaltkreisanschlüsse geführt hat; das Anschlußbild der ersten Speicherschaltkreise ergab sich also gleichsam von innen heraus. Solche Schnittstellen sind schon früh zu Industriestandards geworden (Abbildung 6). Auch die Signalbezeichnungen sind Industriestandards, wobei aber gelegentlich mit geringfügigen Abweichungen zu rechnen ist.



- a) SRAM, 64kBits, 64k · 1-Organisation,
- b) SRAM oder Flash-ROM, 1 MBits, 128k · 8-Organisation,
- c) EPROM, 1 MBits, 128k · 8-Organisation,
- d) DRAM, 4 MBits, 1M · 4-Organisation.

**Abb. 6** Typische herkömmliche Schnittstellen von Speicherschaltkreisen (Beispiele).

*Adreßsignale*

Ein SRAM oder ein ROM, der n Speicherworte zu jeweils b Bits speichern kann (n · m-Organisation), hat ld n Adreßeingänge, die typischerweise von 0 an durchnummeriert werden. Beispiel: ein Speicher in 128k · 8-Organisation hat ld 128k = 17 Adreßeingänge (A16...A0).

*Datensignale*

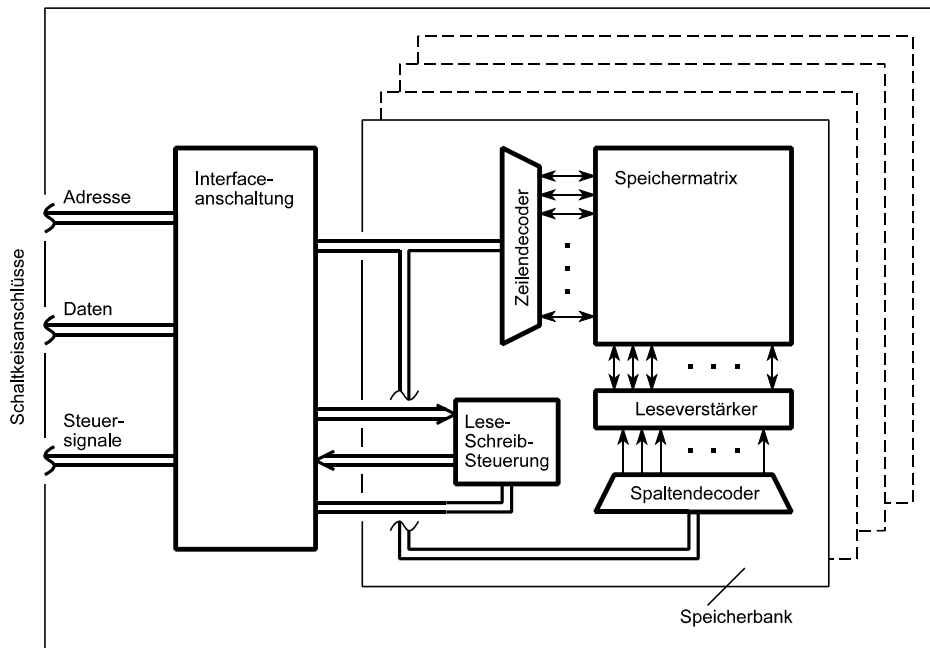
Wir unterscheiden Schaltkreise mit getrennten Ein- und Ausgängen und mit bidirektionalen Datenanschlüssen. Typische Bezeichnungen: DI - Dateneingang; DO oder O - Datenausgang; DQ oder I/O - bidirektionale Datenanschlüsse.

Bidirektionale Datenanschlüsse dienen sowohl zum Zuführen der Schreibdaten (sie wirken dann als Eingänge) als auch zum Abholen der Lesedaten (sie wirken dann als Ausgänge). Hierbei ergibt sich das Problem, die Betriebsweise der Datenanschlüsse in Abhängigkeit vom jeweiligen Zugriff (Lesen oder Schreiben) umzuschalten (Bus Turnaround).

*Steuersignale*

- CS oder CE: Schaltkreisauswahl, Aktivierung des Schaltkreises (Chip Select, Chip Enable),
- OE: Ausgangsaufschaltung (Output Enable),
- WE oder WP: Schreibzugriff (Write Enable, Write Pulse),
- PGM: Programmiersteuerung (bei manchen EPROMs).

Heutzutage sind die Hersteller in der Lage, jede Speichertechnologie mit jedem gewünschten Interface zu fertigen; der Speicherschaltkreis ist ein Verbund aus Speichermatrix (manchmal aus mehreren Speichermatrizen) und Interface-Hardware (Abbildung 7). Was gefertigt wird, hängt weniger von der Beherrschung der Technologien ab als vielmehr von kommerziellen Erwägungen; die Firmen liefern das, wofür der Kunde zahlt ... Hierbei ist nicht der einzelne Käufer von Belang und auch nicht der Entwickler irgendwelcher hochspezialisierter Sondergeräte, sondern der weltweite PC- und Telekommunikationsmarkt. Alles andere tut gut daran, sich auf diese Massenprodukte zu stützen.



**Abb. 7** Die grundsätzliche Struktur eines modernen Speicherschaltkreises

Die Anordnung aus Speichermatrix, Leseverstärkern, Adreßdecodern usw. entspricht Abbildung 2. Sie ist mit einer Interfaceanschaltung verbunden. Bei asynchronen Speicherschaltkreisen ist diese Anschaltung nicht sonderlich kompliziert; sie besteht – in vereinfachter Sicht – oftmals nur aus Treiber- und Koppelstufen. Die Interfaceanschaltungen der ganz modernen Schaltkreise sind hingegen beinahe schon kleine Prozessoren.

*Die Speicherbank*

Eine Anordnung aus Speichermatrix, Leseverstärkern, Adreßdecodern und den zugehörigen Steuerschaltungen bezeichnet man auch als Speicherbank (Memory Bank). Herkömmliche Speicherschaltkreise enthalten nur eine Speicherbank. In manchen modernen Schaltkreisen sind hingegen mehrere Banks vorgesehen (typischerweise 2 oder 4; in paketorientierten Speichern auch 16 und mehr).

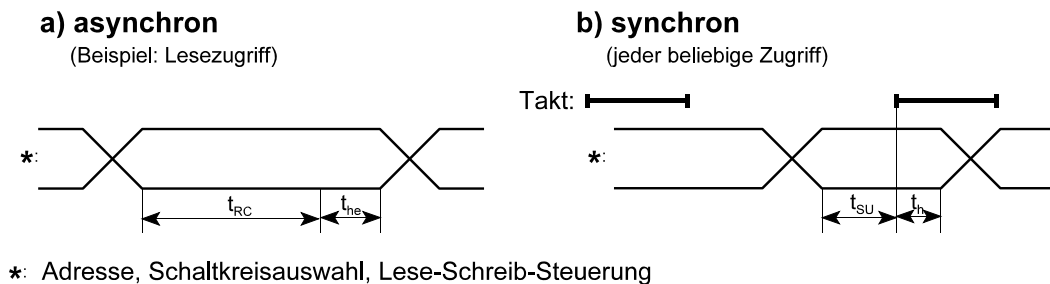
**Asynchrone Speicherschaltkreise**

Hierunter versteht man Speicherschaltkreise mit herkömmlichen Interfaces. Kennzeichnend ist, daß die Steuersignale im Sinne von Strobe-Signalen wirken. Das Zeitverhalten der Steuersignale bestimmt die jeweilige Funktion des Schaltkreises. Die Zeitverhältnisse der Adreß- und Datensignale sind auf die Steuersignale bezogen. Beispielsweise bewirkt ein Impuls am Eingang WE (vgl. Abbildung 6a) einen Schreibvorgang: die Belegung der Dateneingänge wird in jene Speicherzelle übernommen, die durch die aktuelle Belegung der Adreßsignale ausgewählt wird. Der Schreibvorgang dauert so lange, wie WE aktiv gehalten wird.

### Synchrone Speicherschaltkreise

Synchrone Speicherschaltkreise enthalten Register für Adressen, Daten und Steuersignale. Alle Register werden mit einem Taktsignal (CLOCK, CLK) angesteuert. Hierdurch werden alle Übertragungsvorgänge auf ein gemeinsames Zeitraster bezogen. Die Register sind flankengesteuert. Somit kann man auch die Speicher in eine „vollsynchrone“ Taktorganisation einbeziehen. Das bringt folgende Vorteile:

- Der Speicher kann synchron zum Systemtakt betrieben werden.
- Günstigere Zeitverhältnisse der Speicheransteuerung: hierbei sind nur die (vergleichsweise kurzen) Setup- und Haltezeiten mit Bezug auf die Low-High-Taktflanke zu beachten. Mit anderen Worten: die Signalbelegungen sind nur in Bezug auf die Taktflanken von Bedeutung (Prinzip: „wie die Signale in der restlichen Zeit aussehen, ist egal“). Demgegenüber müssen beim asynchronen RAM die Adreß- und Steuersignale mindestens für die Dauer der minimalen Zykluszeit (in der Praxis aber meistens während des gesamten Speicherzyklus) konstant gehalten werden (Abbildung 8).
- In die Speicherschaltkreise können autonome Adressierungsschaltungen (Adreßzähler) eingebaut werden, um zusammenhängende Datenblöcke lückenlos zu lesen bzw. zu speichern (Burst-Betrieb).



**Abb. 8** Speicheransteuerung im Vergleich (am Beispiel statischer RAMs): a) asynchron, b) synchron.

Die Abbildung veranschaulicht, wie lange die Adreß- und Steuersignale im Speicherzyklus stabil anliegen müssen:

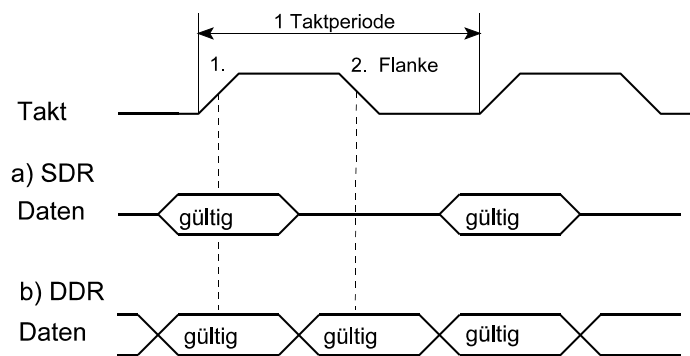
- $t_{RC}$  = minimale Lesezykluszeit (z. B. 12 ns),
- $t_{he}$  = erforderliche Haltezeit für Datenübernahme (diese entspricht z. B. der Summe aus Setup- und Haltezeit der Flipflops, in welche die Daten übernommen werden;  $t_{he}$  wird also durch die Umgebung bestimmt - es ist kein Datenblattwert des RAMs),
- $t_{su}$  = minimale Setup-Zeit (Datenblattwert; z. B. 2,5 ns),
- $t_h$  = minimale Haltezeit (Hold Time, Datenblattwert; z. B. 0,5 ns).

Einen Speicher, der bei Bustakten von 60 bis über 200 MHz mit einem Hochleistungsprozessor nahezu ohne Wartezustände zusammenarbeiten soll, kann man nur noch in synchroner Bauform ausführen. Demzufolge konzentrieren sich die Halbleiterhersteller auf die Entwicklung solcher Schaltkreise, und es liegt nahe, derartige (infolge der Massenfertigung kostengünstige) Bauelemente auch anderweitig einzusetzen (z. B. in Verbindung mit Signalprozessoren, mit ASICs usw., also überall dort, wo extrem schnelle Speicher benötigt werden).

#### Einfache und doppelte Datenrate (SDR/DDR)

Je nachdem, wie die Taktflanken zur Datenübertragung ausgenutzt werden, unterscheidet man zwei Betriebsfälle (Abbildung 9):

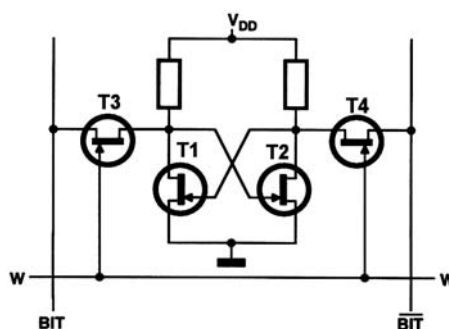
- a) Datenübertragung mit nur einer Taktflanke (Single Data Rate SDR). Die Datenrate (in Übertragungsvorgängen je Sekunde) entspricht der Taktfrequenz. Diese Auslegung ist technisch einfacher beherrschbar: es steht (1) ersichtlicherweise genügend Zeit (nahezu eine volle Taktperiode) zur Verfügung, um die nächste Datenbelegung aufzuschalten, und es kommt (2) nicht so darauf an, wie breit der Taktimpuls ist.
- b) Datenübertragung mit beiden Taktflanken (Double Data Rate DDR). Die Datenrate entspricht dem Doppelten der Taktfrequenz. Diese Auslegung ist aber technisch um einiges anspruchsvoller: (1) um eine Datenbelegung ab- und die nächste aufzuschalten, steht weniger als eine halbe Taktperiode zur Verfügung (das sind heutzutage bestenfalls nur wenige ns!); (2) die Taktimpulse müssen exakt symmetrisch sein (Impulsdauer = Pausendauer =  $\frac{1}{2}$  Taktperiode).



**Abb. 9** Datenübertragung in Bezug auf ein Taktsignal.

**SRAM-Speicherzellen**

Statische RAMs haben Latches als Speicherzellen (Abbildungen 10 bis 12). Die einmal eingeschriebene Information bleibt ohne weitere Maßnahmen so lange erhalten, wie die Versorgungsspannung anliegt.



**Abb. 10** SRAM-Speicherzelle (prinzipieller Aufbau).

Das eigentliche Speicherelement ist ein aus den (Feldeffekt-) Transistoren T1, T2 gebildetes Latch. Die Arbeitswiderstände sind entweder als „richtige“ (integrierte) Widerstände oder als P-Kanal-FETs ausgeführt (CMOS-Technologie). Wird die Wortleitung W erregt, so verbinden die Transistoren T3, T4 die Bitleitungen mit dem Latch. Kennzeichnend für SRAMs ist die differentielle Signalübertragung über die Bitleitungen (höhere Geschwindigkeit, bessere Störsicherheit). Je Spalte ist ein komplementäres Bitleitungspaar (BIT,  $\overline{\text{BIT}}$ ) vorgesehen, worüber das Latch sowohl abgefragt als auch gesetzt werden kann.

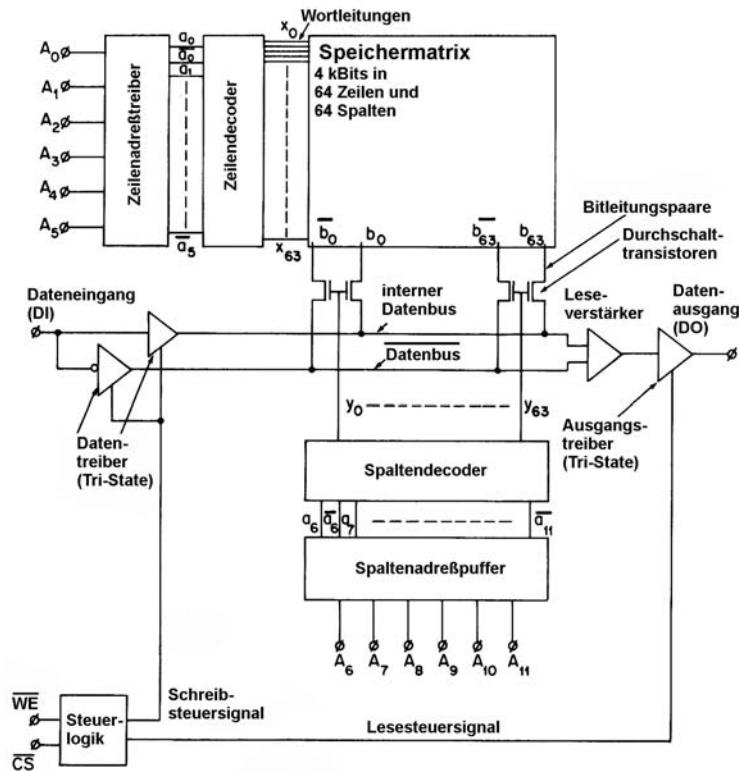


Abb. 11 Prinzip einer SRAM-Speicheranordnung.

Wir verwenden als Beispiel einen noch überschaubaren SRAM-Schaltkreis mit einer Speicherkapazität von 4 kBits in der Organisationsform  $4k \cdot 1$ . Die 4096 Speicherzellen sind in einer Matrix aus 64 Zeilen und 64 Spalten angeordnet. Die Funktionsweise erläutern wir im Anschluß an Abbildung 12.

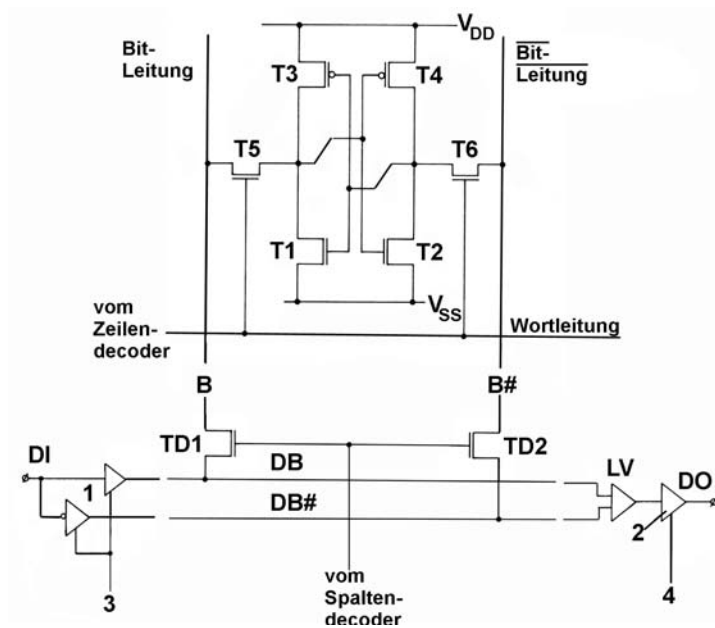


Abb. 12 Einzelheiten: Speicherzelle mit Datenbusanschaltung. 1 - Datentreiber; 2 - Ausgangstreiber; 3 - Schreibsteuersignal; 4 - Lesesteuersignal.

Hier ist eine CMOS-Speicherzelle dargestellt, in der anstelle der Widerstände von Abbildung 10 P-Kanal-FETs vorgesehen sind. Das Speicher-Latch besteht aus den Transistoren T1...T4. Die Transistoren T5, T6, TD1, TD2 wirken als elektronische Schalter (Durchschalttransistoren)<sup>1</sup>.

*Zur Funktionsweise:*

1. Adressierung. (1) Der Zeilendecoder erregt die Wortleitung. Hierdurch werden die Durchschalttransistoren T5, T6 der Speicherzelle aktiviert. (2) Der Spaltenadresedecoder aktiviert die zum Bitleitungspaar B, B# gehörenden Durchschalttransistoren TD1, TD2. Hierdurch wird das Bitleitungspaar mit dem internen Datenbus DB, DB# verbunden. Somit ist die adressierte Speicherzelle ausgewählt.
2. Schreiben. Sind beide Steuereingänge CS, WE aktiv, so aktiviert die Steuerlogik über das Schreibsteuersignal die internen Datentreiber 1. Infolgedessen wird der Datenbus DB, DB# gemäß dem Signalpegel am Dateneingang DI mit einem differentiellen Schreibdatensignalpaar belegt. Über die Durchschalttransistoren TD1, TD2 gelangt diese Belegung auf das Bitleitungspaar B, B#. Das Latch T1...T4 der Speicherzelle schaltet entsprechend. Wird das Schreibsteuersignal 3 inaktiv, so wird der interne Datenbus an sich hochohmig. Da aber die Bitleitungen weiterhin durchgeschaltet sind, bleibt auch die Datenbusbelegung erhalten (vom Latch der Speicherzelle über Bitleitungspaar B, B# und Durchschalttransistoren TD1, TD2). Ändert sich die Adresse, so wird die Speicherzelle nicht mehr ausgewählt. Das Latch verharrt aber in der Lage, in die es beim Schreiben gebracht wurde.
3. Schreiben einer Eins: B = 1, B# = 0 erregt die Transistoren T2, T3.
4. Schreiben einer Null: B = 0, B# = 1 erregt die Transistoren T1, T4.
5. Lesen. Die internen Datentreiber 1 sind inaktiv. Somit wird der Datenweg über Bitleitungspaar B, B# und Durchschalttransistoren TD1, TD2 von der adressierten Speicherzelle aus belegt. Diese differentielle Signalbelegung wird vom Leseverstärker LV in einen auf Masse bezogenen binären Signalpegel umgesetzt. Ist der Speicherschaltkreis zum Lesen ausgewählt (CS aktiv, WE inaktiv) so aktiviert die Steuerlogik über das Lesesteuersignal den Ausgangstreiber 2. Somit erscheint der gelesene Speicherinhalt am Datenausgang DO.

### **Asynchrone SRAMs**

Asynchrone SRAMs gehören dem Prinzip nach zu den ältesten Speicherschaltkreisen. Sie haben aber nach wie vor ihre Vorzüge:

- Geringe Stromaufnahme, wenn keine Zugriffe erfolgen (die gesamte Speicheranordnung befindet sich dann in Ruhe; es gibt keine Taktimpulse oder Refresh-Zyklen).
- Schnelle wahlfreie Lese- und Schreibzugriffe. Typen mit geringer Leistungsaufnahme (Low Power) werden mit Zugriffszeiten um 20 ns angeboten. Verglichen damit sind Flash-ROMs langsamer (schnelle Typen haben beim Lesen Zugriffszeiten von rund 50 ns). Zudem kann man den Inhalt eines Flash-ROM nur durch Programmieren ändern, nicht aber wahlfreie Schreibzugriffe ausführen.

Asynchrone SRAMs eignen sich deshalb besonders für Anwendungen, in denen folgende Anforderungen zu erfüllen sind:

- es wird eine „mittlere“ Speicherkapazität benötigt (wenige kBytes... wenige MBytes),
- es sind wahlfreie Lese- und Schreibzugriffe auszuführen,
- die Stromaufnahme soll so gering wie möglich sein (Stichwort: Batteriebetrieb).

---

1: Eine positive Spannung am Gate bewirkt, daß die Source-Drain-Strecke leitend wird. Der Transistor entspricht dann einem geschlossenen Kontakt.

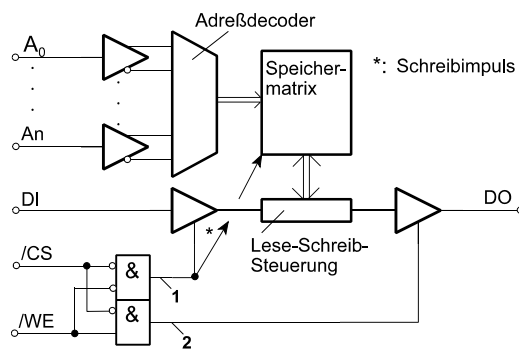
Dies betrifft eine Vielzahl von Embedded Systems. Die größten Stückzahlen an SRAMs fließen in die Fertigung von Telekommunikationsgeräten (Mobiltelefone, Faxgeräte usw.).

**Organisationsformen im Überblick**

SRAMs werden mit Speicherkapazitäten zwischen (Richtwerte) 8 kBits und 16 MBits gefertigt. Einige Organisationsformen sind zu Industriestandards geworden. Typische Organisationsformen am Massenmarkt sind 8k • 8, 32k • 8, 128k • 8, 128k • 16, 256k • 16, 512k • 16, 1M • 16.

*Die • 1-Organisation*

SRAMs in • 1-Organisation haben unabhängige Anschlüsse für Schreib- und Lesedaten (Abbildung 13). Diese Organisationsform ist am Massenmarkt nicht mehr erhältlich. Sie eignet sich aber gut zum Einarbeiten.

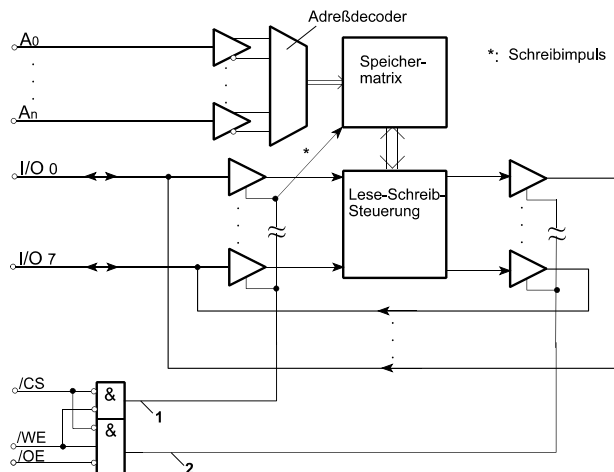


**Abb. 13** SRAM in • 1-Organisation. /CS = Schaltkreisauswahl (Chip Select); /WE - Schreiberlaubnis (Write Enable). Ist /CS inaktiv, so befindet sich der Schaltkreis im Ruhezustand.

- 1 - Schreibzugriff: sind /CS und /WE beide aktiv, so wird die Belegung des Dateneingangs DI in die Speichermatrix übernommen.
- 2 - Lesezugriff: ist /CS aktiv und /WE inaktiv, so wird der Datenausgang aktiviert (ansonsten verbleibt DO im hochohmigen Zustand).

*Die • n-Organisation (Industriestandard-Auslegung)*

Heutzutage ist = 8 oder = 16. Die Schaltkreise haben bidirektionale Datenanschlüsse (Abbildung 14).



**Abb. 14** SRAM in • n-Organisation.

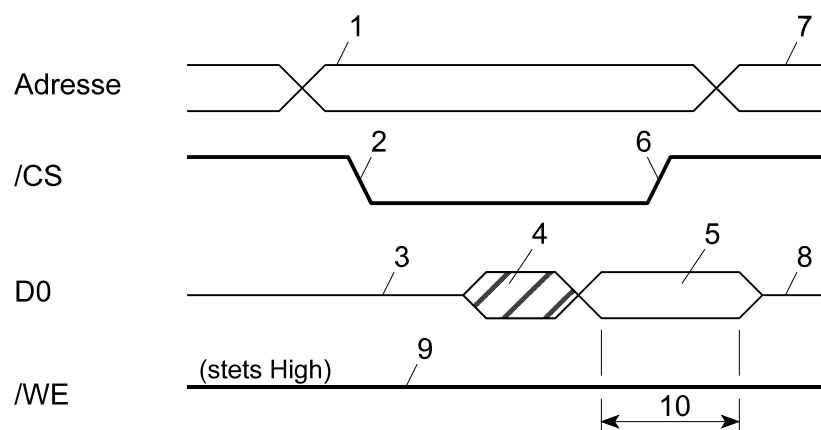
Ein zusätzliches Steuersignal (Output Enable /OE) ermöglicht es, den bidirektionalen Datenbus auch dann freizuschalten, wenn der Speicherschaltkreis aktiviert ist (das heißt, bei aktivem /CS). Dies ermöglicht es, Buskonflikte beim Wechseln zwischen Lesen und Schreiben (Bus Turnaround) auf einfache Weise zu vermeiden.

- 1 - Schreibzugriff, wenn /CS und /WE beide aktiv sind (das entspricht Abbildung 15).
- 2 - Lesezugriff: bei inaktivem /WE müssen /CS und /OE beide aktiv sein, um die Datenausgänge zu aktivieren.

### Speicherzyklen und deren Kennwerte

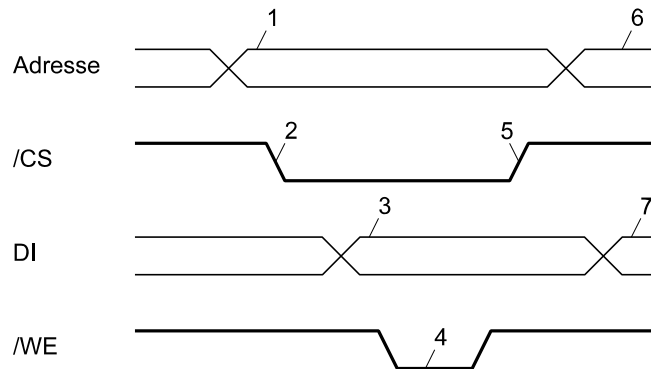
#### *Einfachste Lese- und Schreibzugriffe*

Die Signalspiele am Interface eines Speicherschaltkreises sind typischerweise nicht vollkommen starr festgelegt. Der Entwickler eines Speichersubsystems hat also eine gewisse Narrenfreiheit, was die Ansteuerung der Speicherschaltkreise betrifft. Um die Grenzen dieser Freiheit aufzuzeigen, enthalten die Datenblätter der Schaltkreise kompliziert aussehende Taktdiagramme, ergänzt durch eine Vielzahl von Zeitangaben. Hier gilt es, mit den einfachsten Fällen beginnend, nach und nach einzusteigen. Wir wollen zunächst mit einigen gleichsam bilderbuchmäßigen Zugriffsabläufen anfangen (Abbildungen 15 bis 18).



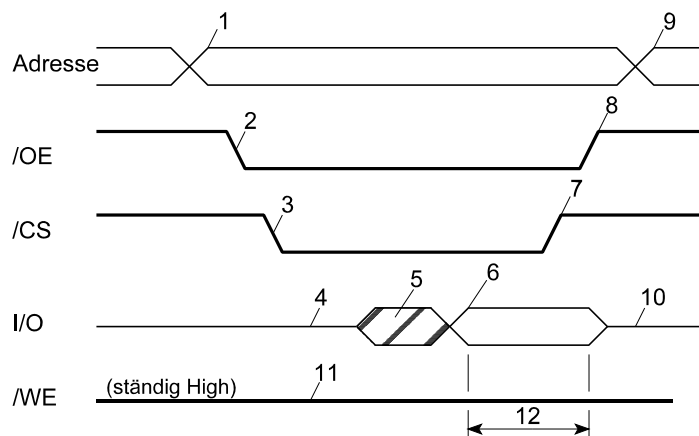
**Abb. 15** Speicherschaltkreis mit unabhängigem Dateneingang und Datenausgang: Lesen.

- 1 - die Adresse wird angelegt.
- 2 - der Schaltkreis wird aktiviert.
- 3 - der Datenausgang ist zunächst hochohmig.
- 4 - der Datenausgang wird aktiv.
- 5 - der Inhalt der adressierten Speicherzelle erscheint auf dem Datenausgang (Datenausgang mit gültigen Lesedaten belegt).
- 6 - der Schaltkreis wird deaktiviert.
- 7 - die Adresse verschwindet (Belegung der Adreßeingänge wird geändert).
- 8 - der Datenausgang wird wieder inaktiv (hochohmig).
- 9 - der Schreibsteuereingang bleibt während des Lesens inaktiv.
- 10 - in dieser Zeit müssen die gelesenen Daten vom Datenausgang abgeholt werden.



**Abb. 16** Speicherschaltkreis mit unabhängigem Dateneingang und Datenausgang: Schreiben.

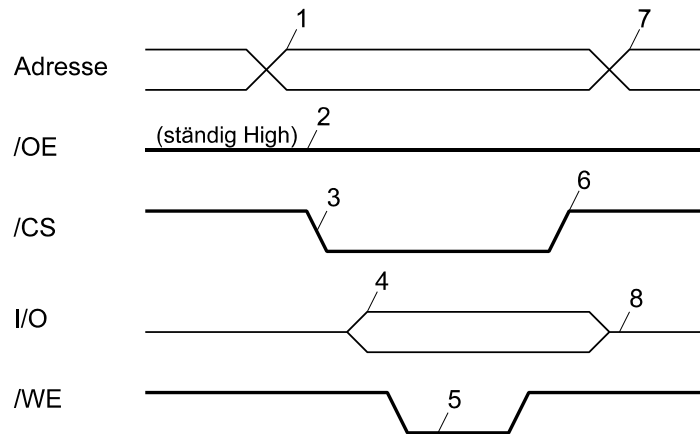
- 1 - die Adresse wird angelegt.
- 2 - der Schaltkreis wird aktiviert.
- 3 - der Dateneingang wird mit den Schreibdaten belegt.
- 4 - ein Schreibimpuls bewirkt das Einschreiben der Daten.
- 5 - der Schaltkreis wird deaktiviert.
- 6, 7 - Adresse und Schreibdaten verschwinden.



**Abb. 17** Speicherschaltkreis mit bidirektionalen Datenanschlüssen: Lesen.

- 1 - die Adresse wird angelegt.
- 2 - /OE wird aktiviert, um zu signalisieren, daß ein Lesezugriff stattfindet.
- 3 - der Schaltkreis wird aktiviert.
- 4 - der Datenausgang ist zunächst hochohmig.
- 5 - der Datenausgang wird aktiv.
- 6 - der Inhalt der adressierten Speicherzelle erscheint auf dem Datenausgang (Datenausgang mit gültigen Lesedaten belegt).
- 7 - der Schaltkreis wird deaktiviert.
- 8 - /OE wird deaktiviert.
- 9 - die Adresse verschwindet (Belegung der Adreßeingänge wird geändert).
- 10 - der Datenausgang wird wieder inaktiv (hochohmig).

- 11 - der Schreibsteuereingang bleibt während des Lesens inaktiv.
- 12 - in dieser Zeit müssen die gelesenen Daten vom Datenausgang abgeholt werden.



**Abb. 18** Speicherschaltkreis mit bidirektionalen Datenanschlüssen: Schreiben.

- 1 - die Adresse wird angelegt.
- 2 - /OE bleibt inaktiv (somit werden die Datenausgänge nicht aktiviert; die Datenanschlüsse bleiben also hochohmig und können von außen belegt werden).
- 3 - der Schaltkreis wird aktiviert.
- 4 - die Datenanschlüsse werden mit den Schreibdaten belegt.
- 5 - ein Schreibimpuls bewirkt das Einschreiben der Daten.
- 6 - der Schaltkreis wird deaktiviert.
- 7, 8 - Adresse und Schreibdaten verschwinden (die Schreibdatenbelegung wird abgeschaltet, somit wird der Datenweg wieder hochohmig).

*Zur Wirkungsweise der Steuersignale*

Die Tabellen 1 und 2 geben an, wie die einzelnen Steuersignale wirken. Was als Industriestandard festliegt, ist diese Wirkungsweise und nicht etwa ein Ablaufschema ähnlich Abbildung 15 bis 18. Wer ein Speichersubsystem zu entwickeln hat, kann sich, gestützt auf die Signalwirkungen und auf die Zeitangaben des Datenblatts, eine Vielfalt von Signalfolgen einfallen lassen.

Funktion	/CS	/WE	DO	Stromaufnahme (I <sub>CC</sub> )
Ruhezustand (Daten halten)	High	X	hochohmig	Standby-Strom
Lesen	Low	High	gelesenes Bit (Low oder High)	Betriebsstrom
Schreiben	Low	Low	hochohmig	Betriebsstrom

X = beliebige Belegung

**Tabelle 1** Zur Wirkungsweise der Steuersignale (1): bei unabhängigem Dateneingang und Datenausgang.

Funktion	/CS	/OE	/WE	I/O	Stromaufnahme (I <sub>CC</sub> )
Ruhezustand (Daten halten)	High	X	X	hochohmig	Standby-Strom
Lesen	Low	Low	High	gelesene Bits (Low oder High)	Betriebsstrom
Datenbus freigeschaltet	Low	High	High	hochohmig (kann von außen mit Schreibdaten belegt werden)	Betriebsstrom
Schreiben	Low	X	Low	von außen mit Schreibdaten belegt	Betriebsstrom

X = beliebige Belegung

**Tabelle 2** Zur Wirkungsweise der Steuersignale (2): bei bidirektionalen Datenanschlüssen.

*Grundsätze:*

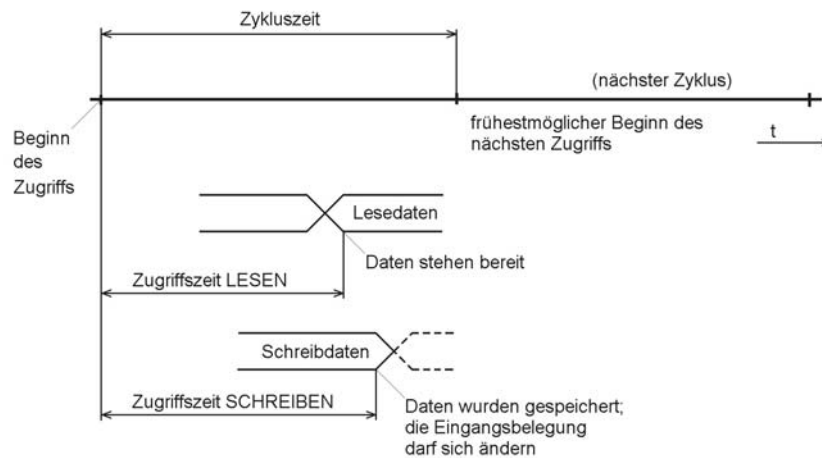
- /CS (andere Bezeichnung: /CE) aktiviert bzw. deaktiviert den gesamten Schaltkreis. Bei inaktivem /CS ist der gesamte Schaltkreis gleichsam abgeschaltet. Alle Tri-State-Ausgänge sind hochohmig, alle anderen Steuersignale sind wirkungslos. Der Schaltkreis tut nichts anderes, als die gespeicherten Daten zu halten. Moderne Typen sparen dabei Strom. Bei aktivem /CS nimmt der Schaltkreis den vollen Betriebsstrom auf und tut gleichsam das, was ihm die anderen Steuersignale sagen.
- /WE bewirkt den Schreibvorgang und deaktiviert gleichzeitig die Datenausgänge (bei aktivem /WE werden die Ausgangstreiber hochohmig, so daß bidirektionale Anschlüsse von außen belegt werden können).
- /OE steuert die Datenausgänge. Ist /OE inaktiv, so sind die Datenausgänge hochohmig\*. Ist /OE (bei aktivem /CS und inaktivem /WE) aktiv, werden die Datenausgänge ebenfalls aktiv; die Lesedaten erscheinen an den Datenanschlüssen.

*Weshalb sind die Steuersignale typischerweise aktiv-Low?*

- Um es dem Entwickler zu erleichtern, bestimmte Signale ständig aktiv zu halten (Anschließen an Masse genügt).
- Störsicherheit. Vor allem in TTL-Umgebungen sind Low-Signale weniger empfindlich gegen Störungen als High-Signale.

**Speicherzyklen**

Speicherzugriffe spielen sich in Speicherzyklen ab. Jeder einzelne Zugriff auf einen Speicherschaltkreis (jedes Schreiben oder Lesen) erfordert einen Speicherzyklus. Dessen Dauer heißt *Zykluszeit* (Cycle Time). Zyklen können lückenlos aneinandergereiht werden. Demgegenüber gibt die *Zugriffszeit* (Access Time) an, nach wievielen ns die Daten bereitstehen (beim Lesen) bzw. sicher gespeichert sind (beim Schreiben). Abbildung 19 veranschaulicht die Verhältnisse. Oftmals ist die Zykluszeit größer als die Zugriffszeit. (Bei modernen SRAMs sind die Datenblattwerte von Zyklus- und Zugriffszeit gleich, wie aus den folgenden Beispielen ersichtlich.)



**Abb. 19** Zyklus- und Zugriffszeiten.

In Datenblättern ist für die Zykluszeit stets ein Minimalwert angegeben, manchmal auch noch ein Maximalwert. Eine Maximalwertangabe zwingt den Entwickler des Speichersubsystems, mit dem Speicherzugriff in der geforderten Zeit zu Ende zu kommen; mit anderen Worten, es muß ausgeschlossen werden, daß beliebig lange Wartezustände auftreten. Fehlt der Maximalwert, so handelt es sich um einen „voll statisch“ arbeitenden Speicher (der einzelne Zyklus darf notfalls Stunden dauern). Zugriffszeitangaben sind stets Maximalwerte. So hat die „schnellste“ Ausführung des folgenden Beispiels 1 eine Zykluszeit von 15 ns, und die Zugriffszeit entspricht der Zykluszeit. Damit will der Hersteller folgendes sagen (volkstümlich ausgedrückt): „du darfst meinen Speicher nicht schneller ansteuern als im Rhythmus von 15 ns (Minimalwert der Zykluszeit), ich garantiere aber, daß mein Speicher innerhalb von allerhöchstens 15 ns die zu lesenden Daten geliefert bzw. die Schreibdaten sicher verwahrt haben wird (Maximalwert der Zugriffszeit)“.

*Hinweis:*

Das Speichersubsystem kann typischerweise nicht mit der Zykluszeit aus dem Datenblatt des Speicherschaltkreises betrieben werden. Was vor allem „bremsend“ wirkt:

- die kapazitive Belastung,
- ggf. zwischenzuschaltende Treiberstufen,
- die Busumschaltung zwischen Schreiben und Lesen (Bus Turnaround),
- das Anliefern der Adresse,
- die Adreßdecodierung und Schaltkreisauswahl,
- das Aufschalten der Schreibdaten,
- das Abnehmen der gelesenen Daten,
- der Zeitversatz (Skew) zwischen einzelnen Adreß- und Datensignalen.

**Zugriffsabläufe im Datenblatt**

Die Impulsdiagramme und die Bezeichnungen der Zeitkennwerte sind heutzutage Industriestandards (wer ein Datenblatt kennt, kennt praktisch alle<sup>2</sup>). Wir wollen dies anhand von zwei Beispielen erläutern.

---

2: Zum Lernen soll diese Floskel genügen. Dem Praktiker jedoch sei unbedingt empfohlen, wirklich genau nachzulesen – es gibt subtile Unterschiede (hinsichtlich Strombedarf, Prüfbedingungen, Gehäusebauformen usw.). Und man kann sich nicht nur beim Entwickeln so richtig in den Fuß schießen, sondern schon beim Bestellen von Ersatzteilen ....

**Beispiel 1: SRAM 16k • 1 mit Dateneingang und Datenausgang<sup>3</sup>**

Abbildung 20 zeigt die entsprechende Kennwerttabelle aus dem Datenblatt.

*Hinweise:*

1. Zu den Kennwerten gehören auch die Prüfbedingungen, unter denen sie gemessen wurden.
2. Aus der Spalte „Parameter“ ist ersichtlich, was die Kurzzeichen der einzelnen Zeitangaben bedeuten (z. B.  $t_{RC}$  = Read Cycle Time).

**AC ELECTRICAL CHARACTERISTICS** (V<sub>CC</sub> = 5.0V ± 10%, All Temperature Ranges)

Symbol	Parameter	6167SA15 6167LA15		6167SA20/25 6167LA20/25		6167SA35/45 <sup>(1)</sup> 6167LA35/45 <sup>(1)</sup>		6167SA55 <sup>(1)</sup> /70 <sup>(1)</sup> 6167LA55 <sup>(1)</sup> /70 <sup>(1)</sup>		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	Min.	Max.	
<b>Read Cycle</b>										
t <sub>RC</sub>	Read Cycle Time	15	—	20/25	—	35/45	—	55/70	—	ns
t <sub>AA</sub>	Address Access Time	—	15	—	20/25	—	35/45	—	55/70	ns
t <sub>ACS</sub>	Chip Select Access Time	—	15	—	20/25	—	35/45	—	55/70	ns
t <sub>CLZ</sub> <sup>(2)</sup>	Chip Deselect to Output in Low-Z	3	—	5/5	—	5/5	—	5/5	—	ns
t <sub>CHZ</sub> <sup>(2)</sup>	Chip Select to Output in High-Z	—	10	—	10/10	—	15/30	—	40/40	ns
t <sub>OH</sub>	Output Hold from Address Change	3	—	5/5	—	5/5	—	5/5	—	ns
t <sub>PU</sub> <sup>(2)</sup>	Chip Select to Power-Up Time	0	—	0/0	—	0/0	—	0/0	—	ns
t <sub>PD</sub> <sup>(2)</sup>	Chip Deselect to Power-Down Time	—	15	—	20/25	—	35/45	—	55/70	ns
<b>Write Cycle</b>										
t <sub>WC</sub>	Write Cycle Time	15	—	20/20	—	30/45	—	55/70	—	ns
t <sub>CW</sub>	Chip Select to End-of-Write	15	—	15/20	—	30/40	—	45/55	—	ns
t <sub>AW</sub>	Address Valid to End-of-Write	15	—	15/20	—	30/40	—	45/55	—	ns
t <sub>AS</sub>	Address Set-up Time	0	—	0/0	—	0/0	—	0/0	—	ns
t <sub>WP</sub>	Write Pulse Width	13	—	15/20	—	30/30	—	35/40	—	ns
t <sub>WR</sub>	Write Recovery Time	0	—	0/0	—	0/0	—	0/0	—	ns
t <sub>DW</sub>	Data Valid to End-of-Write	10	—	12/15	—	17/20	—	25/30	—	ns
t <sub>DH</sub>	Data Hold Time	0	—	0/0	—	0/0	—	0/0	—	ns
t <sub>WHZ</sub> <sup>(2)</sup>	Write Enable to Output in High-Z	—	7	—	8/8	—	15/30	—	40/40	ns
t <sub>OW</sub> <sup>(2)</sup>	Output Active from End-of-Write	0	—	0/0	—	0/0	—	0/0	—	ns

**NOTES:**  
 1. -55°C to +125°C temperature range only. Also available: 85ns and 100ns Military devices.  
 2. This parameter is guaranteed with AC Load (Figure 2) by device characterization, but is not production tested.

**Abb. 20** Zeitkennwerte des Beispiels 1 (IDT). Der Pfeil zeigt auf den Schaltkreistyp, auf den wir uns im folgenden beziehen.

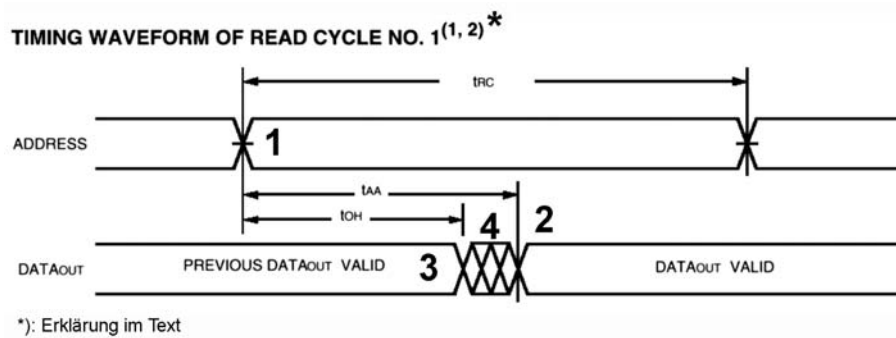
*Lesen*

Ein Lesezugriff besteht darin, die vollständige Adresse an den Speicherschaltkreis anzulegen und dessen Datenausgänge zu aktivieren. Kennzeichnender Parameter ist die *Zugriffszeit* (Access Time). Diese wird stets vom letzten eintreffenden Signal an gemessen. Dementsprechend ist grundsätzlich zwischen zwei Zugriffsfällen zu unterscheiden:

1. Die Steuersignale sind bereits aktiv, und es wird eine neue Adresse angelegt (Abbildung 21).
2. Die Adresse liegt bereits an, und die Steuersignale werden aktiv (Abbildung 22).

---

3: Veraltet, aber zum Lernen gut geeignet.



**Abb. 21** Lesezugriff aus Sicht der Adressierung - der Lesezyklus Nr. 1 (IDT).

Dieser Ablauf kennzeichnet fortlaufende Lesezugriffe auf den bereits ausgewählten (aktivierten) Schaltkreis.

- 1 - die Steuersignale sind alle entsprechend eingestellt, nur die Adresse wird geändert.
- 2 - nach Ablauf der Zugriffszeit  $t_{AA}$  stehen die adressierten Daten bereit.
- 3 - nach dem Ändern der Adresse bleiben die Datenausgänge noch eine gewisse Zeit mit den zuvor gelesenen Werten belegt (Ausgangs-Haltezeit  $t_{OH}$ ).
- 4 - von da an bis zum Ablauf der Zugriffszeit ist die Belegung der Datenausgänge unbestimmt; sie ergibt sich aus den Umschaltvorgängen, die im Speicherschaltkreis ablaufen.

*Erklärung der Anmerkungen in Abbildung 21:*

- 1) WE ist während des gesamten Zyklus inaktiv (High).
- 2) Der Schaltkreis ist ständig ausgewählt (CS = Low).

*Anmerkung zur Haltezeit*

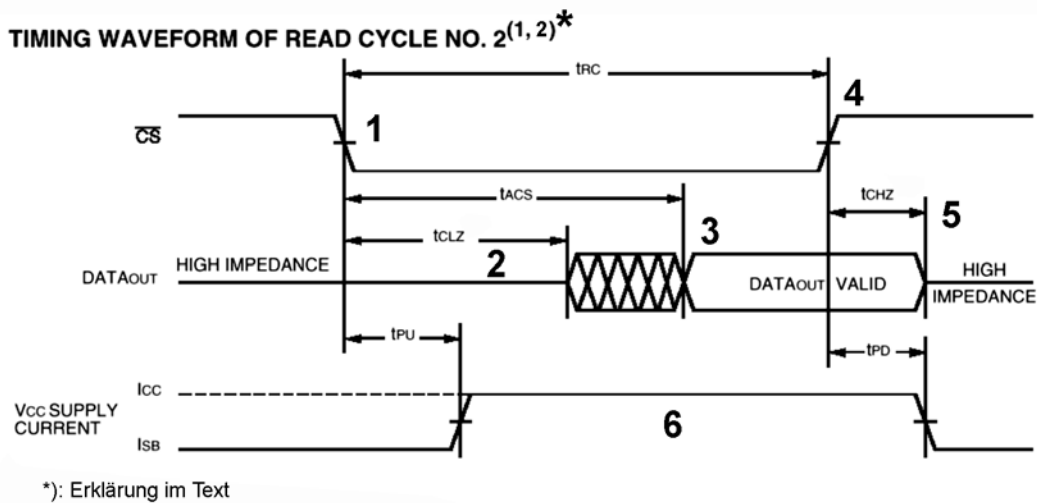
Daß nach einer Änderung der Eingangsbelegung die bisherige Ausgangsbelegung noch für kurze Zeit (die Haltezeit) bestehen bleibt, ist aus physikalischen Gründen unvermeidlich (es gibt keine unendlich schnellen Umschaltvorgänge). Diese Tatsache ist aber dem Systementwickler oftmals willkommen. Er gewinnt nämlich hierdurch ein paar ns, um die Daten vom Bus abzunehmen (manche Einrichtungen, die mit Speichern zusammenarbeiten (z. B. Prozessoren) fordern ihrerseits eine gewisse Mindest-Haltezeit der ankommenden Daten). Es ist eine Art Service des Speicherherstellers, daß er dafür Mindestwerte garantiert (hier sind es (Abbildung 20) wenigstens 3 ns).

Gemäß Abbildung 20 gilt:  $t_{RC} = t_{AA}$ , also Zykluszeit = Zugriffszeit. Würde man den Speicher im Rhythmus der minimalen Zykluszeit betreiben, so würden die gelesenen Daten genau dann am Schaltkreisausgang erscheinen, wenn der nächste Zyklus beginnt. Strenggenommen würden in dieser Betriebsweise die gelesenen Daten gerade mal für 3 ns (der Haltezeit) am Datenausgang anliegen – es ginge also offensichtlich sehr knapp zu.

*Hinweise:*

1. Das belegt die Aussage, daß es nahezu unmöglich ist, ein Speichersubsystem im Rhythmus der minimalen Zykluszeit der Speicherschaltkreise zu betreiben.

2. Sehen Sie sich Abbildung 20 ganz genau an. Zu unserer Haltezeit gehört eine Fußnote (2), die besagt, daß die Einhaltung des Wertes unter den – im Datenblatt angegebenen – Prüfbedingungen meßtechnisch nachgewiesen wurde (by device characterization), aber in der Fertigung nicht überwacht wird. Nun sehen die Prüfbedingungen eine kapazitive Last von 30 pF vor. Ist im Speichersubsystem die kapazitive Belastung geringer, so kann es sein, daß die tatsächliche Haltezeit kürzer ist als 3 ns.
3. Im Extremfall – wenn es wirklich um die letzten ns geht – kann man einfach nicht mehr mit Datenblattwerten milchmädchenmäßig rechnen. Vielmehr gehört es zum Stand der Technik, das gesamte Subsystem durch Analogsimulation unter Einschluß der parasitären Kapazitäten, der Ausgangsstufen in den Schaltkreisen usw. genau zu untersuchen.



**Abb. 22** Lesezugriff aus Sicht des Steuersignals CS - der Lesezyklus Nr. 2 (IDT).

Dieser Ablauf kennzeichnet einen Lesezugriff auf einen Schaltkreis, der bisher inaktiv war und nun durch Aktivieren von CS ausgewählt wird.

- 1 - der Schaltkreis wird ausgewählt.
- 2 - da der Schaltkreis bisher nicht ausgewählt war, ist der Datenausgang zunächst hochohmig. Nach Ablauf der Aufschaltzeit  $t_{CLZ}$  wird er aktiv.
- 3 - nach Ablauf der Zugriffszeit  $t_{ACS}$  stehen die gelesenen Daten bereit.
- 4 - der Schaltkreis wird wieder inaktiv.
- 5 - die Datenbelegung bleibt noch kurzzeitig bestehen (Abschaltzeit  $t_{CHZ}$ ), danach wird der Datenausgang wieder hochohmig.
- 6 - solange CS aktiv ist, nimmt der Schaltkreis den vollen Betriebsstrom ( $I_{CC}$  auf), bei inaktivem CS hingegen nur den (deutlich geringeren) Standby-Strom  $I_{SB}$ . Richtwerte: (a) Schaltkreise in Standardausführung:  $I_{CC} = 90 \text{ mA}$ ,  $I_{SB} = 5 \text{ mA}$ ; (b) Schaltkreise in Low-Power-Ausführung:  $I_{CC} = 55 \text{ mA}$ ,  $I_{SB} = 0,9 \text{ mA}$ .

*Erklärung der Anmerkungen in Abbildung 22:*

- 1) WE ist während des gesamten Zyklus inaktiv (High).
- 2) Es liegt bereits die gültige Adresse an (die Adresse muß spätestens gleichzeitig mit dem Aktivieren von CS gültig geworden sein). Die Adresse darf sich während des Zyklus (während CS aktiv ist) nicht ändern. Jede Adreßänderung hätte zur Folge, daß der Zugriff von neuem beginnt.

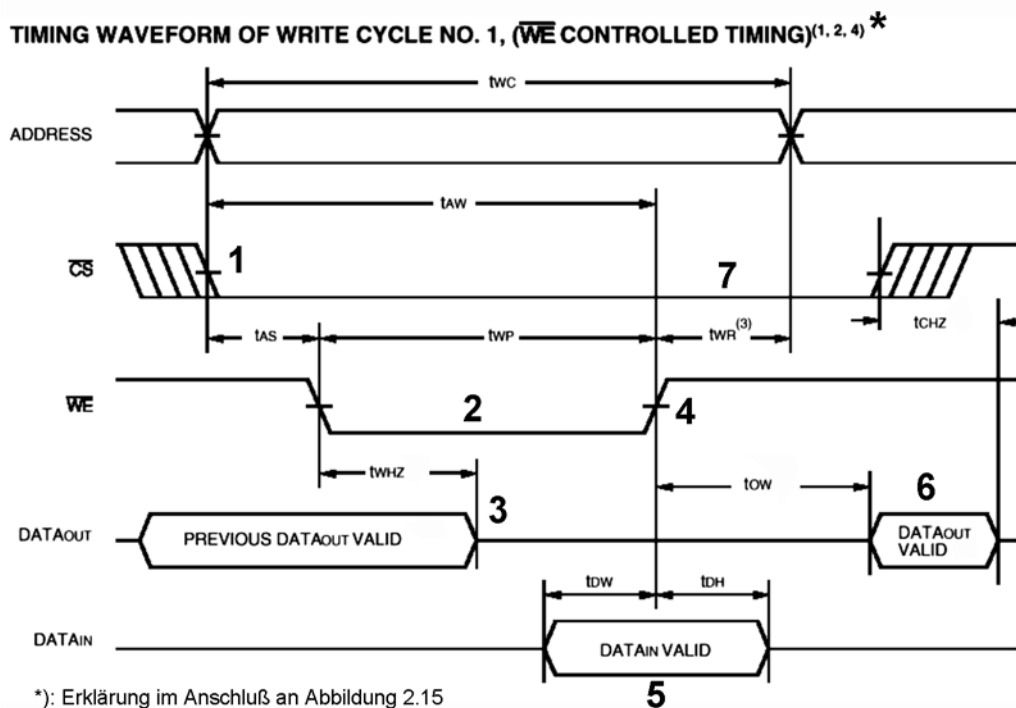
*Hinweis:*

Die Auf- und Abschaltzeiten (hier:  $t_{CLZ}$  und  $t_{CHZ}$ ) sind wichtig, wenn es darum geht, Buskonflikte bei der Schaltkreisauswahl (Überschneidungen) zu erkennen. Gemäß Abbildung 20 ist  $t_{CLZ} \geq 3$  ns (Minimalwert) und  $t_{CHZ} \leq 10$  ns (Maximalwert). Wenn wir also einen Schaltkreis mit  $t_{CHZ} = 10$  ns deaktivieren und gleichzeitig einen Schaltkreis mit  $t_{CLZ} = 3$  ns aktivieren, so belegt der zweite Schaltkreis schon den Datenbus, bevor der erste diesen endgültig freigegeben hat (Überschneidung um  $10 - 3 = 7$  ns). Ob das wirklich schadet? – Es kommt halt darauf an ... Zudem kann es in der Praxis gar nicht so schlimm werden (das wird weiter unten genauer erläutert).

*Schreiben*

Ein Schreibzugriff besteht darin, die vollständige Adresse und die zu schreibenden Daten an den Speicherschaltkreis anzulegen sowie die Steuersignale CS und WE zu aktivieren. Kennzeichnender Parameter ist die *Schreibzykluszeit* (Write Cycle Time). Diese wird stets vom letzten eintreffenden Signal an gemessen. Dementsprechend ist grundsätzlich zwischen zwei Zugriffsfällen zu unterscheiden:

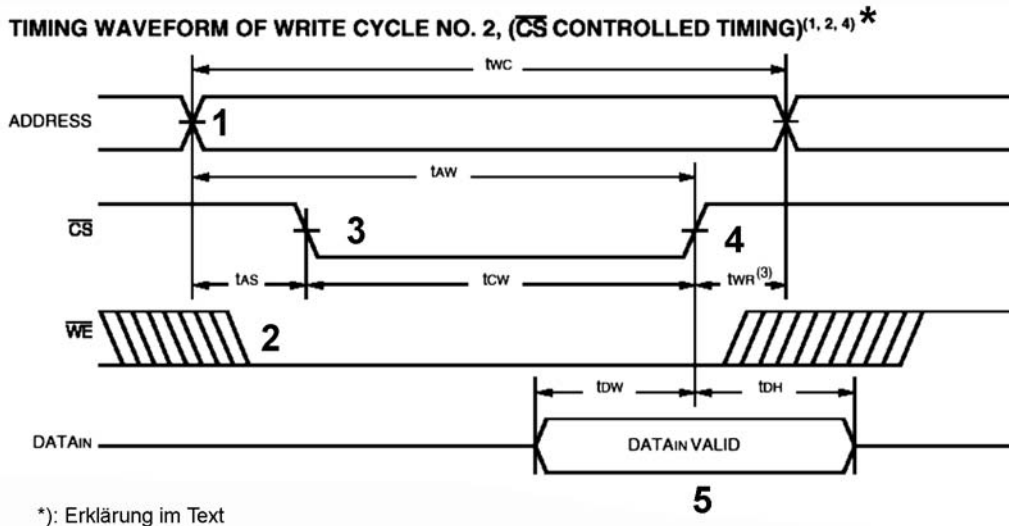
1. CS ist bereits aktiv, ein Impuls auf der Schreibsteuerleitung (WE) bewirkt das eigentliche Schreiben (Abbildung 23).
2. CS und WE werden zusammen aktiv bzw. WE ist schon aktiv, und erst die Aktivierung des Schaltkreises (durch CS) bewirkt den Schreibvorgang (Abbildung 24).



**Abb. 23** Schreibzugriff durch Schreibimpuls (WE) gesteuert - der Schreibzyklus Nr. 1 (IDT).

- 1 - der Schaltkreis ist ausgewählt und die Adresse ist gültig.
- 2 - nach Ablauf einer Vorhaltezeit  $t_{AS}$  folgt der Schreibimpuls.
- 3 - WE bewirkt, daß der Datenausgang hochohmig wird.
- 4 - mit der Low-High-Flanke von WE werden die Schreibdaten übernommen.
- 5 - die Schreibdaten müssen mit einer gewissen Vorhaltezeit  $t_{DW}$  bereitgestellt werden und sind nach der WE-Flanke noch kurzzeitig zu halten (Haltezeit  $t_{DH}$ ).

- 6 - nachdem WE inaktiv geworden ist, erscheinen die geschriebenen Daten – sofern CS noch aktiv ist – am Datenausgang (dieser ist jetzt nicht mehr hochohmig und darf nicht anderweitig belegt werden).
- 7 - nach Inaktivwerden von WE dürfen der Schaltkreis deaktiviert bzw. die Adresse geändert werden (hierzu ist die Schreiberholzeit  $t_{RW}$  abzuwarten).



**Abb. 24** Schreibzugriff durch Schaltkreisauswahl (CS) gesteuert - der Schreibzyklus Nr. 2 (IDT)

- 1 - die gültige Adresse liegt an, der Schaltkreis ist aber noch nicht ausgewählt.
- 2 - WE wird aktiv, kommt aber noch nicht zur Wirkung.
- 3 - jetzt kommt ein CS-Impuls, der das eigentliche Schreiben bewirkt.
- 4 - CS wird eher inaktiv als WE.
- 5 - der CS-Impuls ist hier kürzer als der WE-Impuls, deshalb bezieht sich die Bereitstellung der Schreibdaten auf die Low-High-Flanke von CS. Die sonstigen Zeitverhältnisse entsprechen Abbildung 25.

*Erklärung der Anmerkungen in den Abbildungen 23 und 24:*

- 1) Immer dann, wenn sich die Adresse ändert, müssen WE und CS beide inaktiv sein.
- 2) Das eigentliche Schreiben findet immer dann statt, wenn WE und CS beide aktiv sind.
- 3) Die Bereitstellung der Schreibdaten und die Schreiberholzeit  $t_{WR}$  beziehen sich auf die jeweils früheste Low-High-Flanke von WE oder von CS.
- 4) Wird CS gleichzeitig mit WE oder später als WE aktiv, so bleibt der Datenausgang hochohmig (dies ist ein Grund dafür, die Signalfolge von Abbildung 26 anzuwenden).

*Hinweis:*

Manche Zeiten (z. B.  $t_{AS}$ ,  $t_{DH}$  und  $t_{WR}$ ) sind in Abbildung 20 mit 0 ns spezifiziert. Das bedeutet, daß die betreffenden Signaländerungen gleichzeitig stattfinden dürfen. Aber Achtung: das gilt keinesfalls für *alle* Schaltkreistypen.

**Beispiel 2: SRAM 128k • 8, bidirektionale Datenanschlüsse**

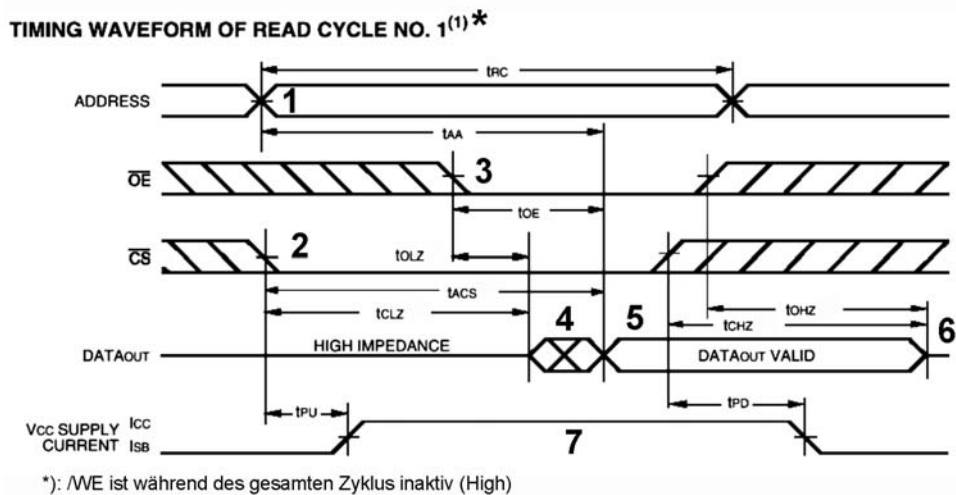
Auch die Datenblätter derartiger Schaltkreise enthalten Impulssdiagramme für je zwei Lese- und Schreibabläufe (Abbildungen 25 bis 29).

**AC ELECTRICAL CHARACTERISTICS** ( $V_{CC} = 5.0V \pm 10\%$ , Commercial Range)

Symbol	Parameter	71124S12 <sup>(3)</sup>		71124S15		71124S20		Unit
		Min.	Max.	Min.	Max.	Min.	Max.	
<b>Read Cycle</b>								
t <sub>RC</sub>	Read Cycle Time	12	—	15	—	20	—	ns
t <sub>AA</sub>	Address Access Time	—	12	—	15	—	20	ns
t <sub>ACS</sub>	Chip Select Access Time	—	12	—	15	—	20	ns
t <sub>CLZ</sub> <sup>(2)</sup>	Chip Select to Output in Low-Z	3	—	3	—	3	—	ns
t <sub>CHZ</sub> <sup>(2)</sup>	Chip Deselect to Output in High-Z	0	6	0	7	0	8	ns
t <sub>OE</sub>	Output Enable to Output Valid	—	6	—	7	—	8	ns
t <sub>OLZ</sub> <sup>(2)</sup>	Output Enable to Output in Low-Z	0	—	0	—	0	—	ns
t <sub>OHZ</sub> <sup>(2)</sup>	Output Disable to Output in High-Z	0	5	0	5	0	7	ns
t <sub>OH</sub>	Output Hold from Address Change	4	—	4	—	4	—	ns
t <sub>PU</sub> <sup>(2)</sup>	Chip Select to Power-Up Time	0	—	0	—	0	—	ns
t <sub>PD</sub> <sup>(2)</sup>	Chip Deselect to Power-Down Time	—	12	—	15	—	20	ns
<b>Write Cycle</b>								
t <sub>WC</sub>	Write Cycle Time	12	—	15	—	20	—	ns
t <sub>AW</sub>	Address Valid to End-of-Write	10	—	12	—	15	—	ns
t <sub>CW</sub>	Chip Select to End-of-Write	10	—	12	—	15	—	ns
t <sub>AS</sub>	Address Set-up Time	0	—	0	—	0	—	ns
t <sub>WP</sub>	Write Pulse Width	10	—	12	—	15	—	ns
t <sub>WR</sub>	Write Recovery Time	0	—	0	—	0	—	ns
t <sub>DW</sub>	Data Valid to End-of-Write	7	—	8	—	9	—	ns
t <sub>DH</sub>	Data Hold Time	0	—	0	—	0	—	ns
t <sub>OW</sub> <sup>(2)</sup>	Output Active from End-of-Write	3	—	3	—	4	—	ns
t <sub>WHZ</sub> <sup>(2)</sup>	Write Enable to Output in High-Z	0	5	0	5	0	8	ns

- NOTES:**  
 1. 0°C to +70°C temperature range only.  
 2. This parameter guaranteed with the AC load (Figure 2) by device characterization, but is not production tested.  
 3. 12ns specification is preliminary.

**Abb. 25** Zeitkennwerte des Beispiels 2 (IDT). Der Pfeil zeigt auf den Schaltkreistyp, auf den wir uns im folgenden beziehen.



**Abb. 26** Der Lesezyklus Nr. 1 (IDT).

Der Ablauf entspricht dem Lesezyklus Nr. 2 des ersten Beispiels. Der Lesezugriff betrifft einen Schaltkreis, der bisher inaktiv war und nun durch Aktivieren von CS ausgewählt wird.

- 1 - die gültige Adresse liegt an.
- 2 - der Schaltkreis wird ausgewählt.
- 3 - OE wird aktiv.
- 4 - solange CS und OE beide aktiv sind, werden die Datenausgänge aktiviert und auf die Datenanschlüsse geschaltet.
- 5 - nach Ablauf der Zugriffszeit  $t_{ACS}$  liegen die gültigen Daten an.
- 6 - nachdem CS oder OE inaktiv geworden ist, werden die Datenanschlüsse wieder hochohmig.
- 7 - solange CS aktiv ist, nimmt der Schaltkreis den vollen Betriebsstrom ( $I_{CC}$  auf), bei inaktivem CS hingegen nur den (deutlich geringeren) Standby-Strom  $I_{SB}$ .

*CS und OE*

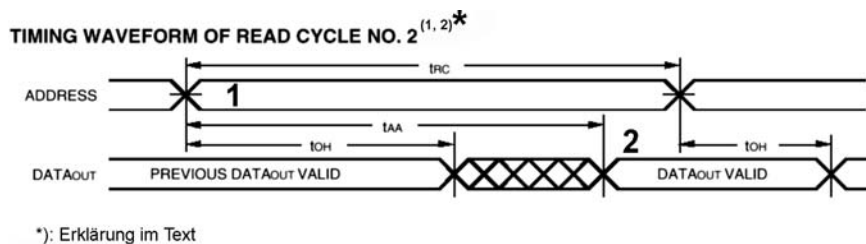
CS steuert den Aktivierungs- und Stromsparmazustand des Schaltkreises, OE steuert in konjunktiver Verknüpfung mit CS die Datenausgänge. Die Zugriffszeit wird auf CS bzw. auf die Adreßänderung bezogen ( $t_{ACS}$ ,  $t_{AA}$ ). Der Zugriff wird gestartet, sobald der Schaltkreis aktiviert wird oder sobald sich an einem aktivierten Schaltkreis die Adresse ändert – und zwar gleichgültig, ob OE aktiv ist oder nicht. Um aber die Daten an den Anschlüssen zu sehen, müssen CS und OE beide aktiv sein. Entscheidend für das Belegen der Datenanschlüsse ist, welches dieser Signale als letztes aktiv wird (Aufschaltzeiten  $t_{CLZ}$ ,  $t_{OLZ}$ ).

*Zugriffszeiten:  $t_{AA}$  und  $t_{ACS}$*

Es muß eine gültige Adresse anliegen, und der Schaltkreis muß aktiviert sein. Von da an zählt die Zugriffszeit. Welche der beiden Kennwerte gilt, hängt davon ab, welche der beiden Bedingungen als letzte erfüllt ist (ist zuerst die Adresse gültig und wird dann CS aktiv, so sind die Daten  $t_{ACS}$  ns nach der Aktivierung von CS verfügbar, im umgekehrten Fall sind sie es  $t_{AA}$  ns nach dem Eintreffen der gültigen Adresse).

*Der Zeitkennwert  $t_{OE}$*

Er wird auch gelegentlich als die auf OE bezogene Zugriffszeit bezeichnet und ist folgendermaßen zu verstehen: wenn der Zugriff im Schaltkreis stattgefunden hat (die Daten also innen bereitstehen), so vergehen nach der Aktivierung von OE  $t_{OE}$  ns, bis die Daten an den Anschlüssen erscheinen. Wenn wir in unserem Beispiel die Daten tatsächlich  $t_{ACS}$  ns nach dem Aktivieren von CS sehen wollen, so muß OE spätestens  $t_{ACS} - t_{OE}$  ns nach CS wirksam werden (im Beispiel:  $t_{ACS} = 12$  ns,  $t_{OE} = 6$  ns; also wäre OE spätestens  $12 - 6 = 6$  ns später als CS zu aktivieren). Wenn wir andererseits – in einer Betriebsweise ähnlich Abbildung 27 – CS ständig aktiv halten, würden 6 ns nach dem Aktivieren von OE die Daten an den Anschlüssen anliegen. Diese Tatsache (daß  $t_{OE} < t_{ACS}$  (und auch  $< t_{AA}$ ) ist), wird in manchen Speichersubsystemen ausgenutzt: man hält alle Speicherschaltkreise ständig aktiv und wählt den jeweils adressierten Schaltkreis über OE aus. Das verkürzt in bestimmten Zugriffsfällen die Zugriffszeit des Speichersubsystems um einige ns. (Allerdings auf Kosten der Stromaufnahme, denn die Speicherschaltkreise gelangen dann nie in den Stromsparmabetrieb. Auch wird die Busumschaltung beim Schreiben komplizierter. Man müßte dann alle OEs auf einmal deaktivieren oder den Bus mit WE hochohmig schalten.)



**Abb. 27** Der Lesezyklus Nr. 2 (IDT).

Der Ablauf entspricht dem Lesezyklus 1 des ersten Beispiels. Es werden aufeinanderfolgende Lesezugriffe auf den bereits ausgewählten (aktivierten) Schaltkreis ausgeführt. Belegung der Steuersignale: CS und OE = Low, WE = High.

- 1 - die gültige Adresse liegt an.
- 2 - nach Ablauf der Zugriffszeit  $t_{AA}$  stehen die adressierten Daten bereit.

Erklärung der Anmerkungen in Abbildung 27:

- 1) /WE ist während des gesamten Zyklus inaktiv (High).
- 2) /CS und OE sind während des gesamten Zyklus aktiv (Low).

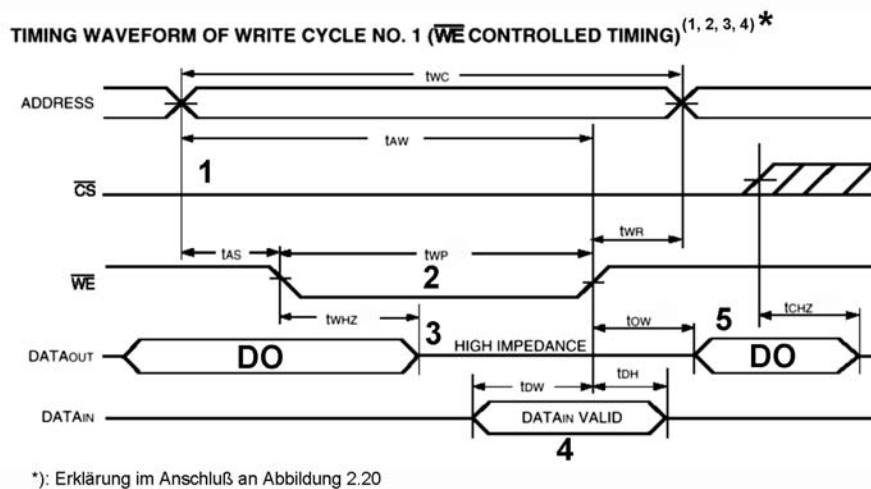


Abb. 28 Der Schreibzyklus Nr. 1 (IDT).

Der Ablauf entspricht dem Schreibzyklus 1 des ersten Beispiels (Schreibsteuerung mittels WE bei aktivem CS).

- 1 - der Schaltkreis ist ausgewählt und die Adresse ist gültig.
- 2 - nach Ablauf einer Vorhaltezeit  $t_{AS}$  folgt der Schreibimpuls.
- 3 - WE bewirkt, daß der Datenausgang hochohmig wird.
- 4 - jetzt werden die Schreibdaten auf die Datenanschlüsse gelegt und mit der Low-High-Flanke von WE übernommen.
- 5 - nachdem WE inaktiv geworden ist, erscheinen die geschriebenen Daten – sofern CS und OE noch aktiv sind – am Datenausgang. DO - Datenausgänge sind aktiv. Ist OE ständig inaktiv, so sind die Datenanschlüsse in diesen Zeitabschnitten hochohmig.

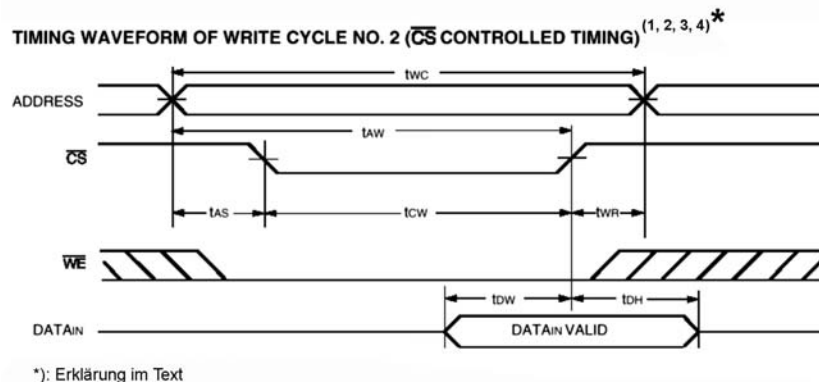
#### WE und OE

Abbildung 28 gilt dann, wenn OE ständig aktiv ist oder wenn der Schaltkreis gar keinen OE-Eingang hat. In diesem Falle müssen die Datenanschlüsse mit WE hochohmig geschaltet werden. Das hat aber Einfluß auf die minimale Schreibimpulsbreite:

- a) Wenn die Datenanschlüsse von vornherein hochohmig sind (über OE = High): Schreibimpulsbreite  $\geq t_{WP}$  (Datenblattwert),
- b) Wenn die Datenanschlüsse mittels WE hochohmig geschaltet werden müssen: Schreibimpulsbreite  $\geq t_{WHZ} + t_{DW} + \text{Daten-Aufschaltzeit}$  (die vom Speichersubsystem abhängig ist).

*Busumschaltung (Bus Turnaround) mittels OE:*

- Vom Lesen zum Schreiben: erst Freischalten der Datenanschlüsse (OE => High), dann Belegen mit Schreibdaten.
- Vom Schreiben zum Lesen: erst Schreibdaten vom Bus nehmen, dann Datenausgänge aufschalten (OE => Low).



**Abb. 29** Der Schreibzyklus Nr. 2 (IDT).

Der Ablauf entspricht dem Schreibzyklus 2 des ersten Beispiels (Schreibsteuerung mittels CS bei aktivem WE).

- 1 - die gültige Adresse liegt an, der Schaltkreis ist aber noch nicht ausgewählt.
- 2 - WE wird aktiv, kommt aber noch nicht zur Wirkung.
- 3 - jetzt kommt ein CS-Impuls, der das eigentliche Schreiben bewirkt.
- 4 - CS wird eher inaktiv als WE.
- 5 - der CS-Impuls ist hier kürzer als der WE-Impuls, deshalb bezieht sich die Bereitstellung der Schreibdaten auf die Low-High-Flanke von CS. OE ist in dieser Betriebsweise ohne Bedeutung, da WE die Datenanschlüsse freischaltet und CS als Schreibimpuls wirkt.

*Erklärung der Anmerkungen in den Abbildungen 28 und 29:*

- 1) Immer dann, wenn sich die Adresse ändert, müssen WE und CS beide inaktiv sein.
- 2) Das eigentliche Schreiben findet immer dann statt, wenn WE und CS beide aktiv sind.
- 3) Die Bereitstellung der Schreibdaten und die Schreiberholzeit  $t_{WR}$  beziehen sich auf die jeweils früheste Low-High-Flanke von WE oder von CS.
- 4) Wird CS gleichzeitig mit WE oder später als WE aktiv, so bleibt der Datenausgang hochohmig. (Dies ermöglicht es, die Datenanschlüsse zum Schreiben auch dann freizuschalten, wenn der Schaltkreis keinen OE-Eingang hat. Hierbei dient WE zum Freischalten, und CE wirkt als Schreibimpuls.)

**Ausgewählte Einzelheiten im Überblick**

*Voll statischer Betrieb (Fully Static Operation)*

Ein statischer RAM-Schaltkreis ist dadurch gekennzeichnet, daß seine Speicherzellen Latches sind. In der ersten Zeit der Speicherschaltkreisentwicklung gab es RAMs, die zwar Latches als Speicherzellen hatten (wo es also nicht nötig war, den Speicherinhalt periodisch aufzufrischen), die aber dynamisch arbeitende Adressierungsschaltungen enthielten. Bezüglich der Adressierung bzw. der Steuersignale

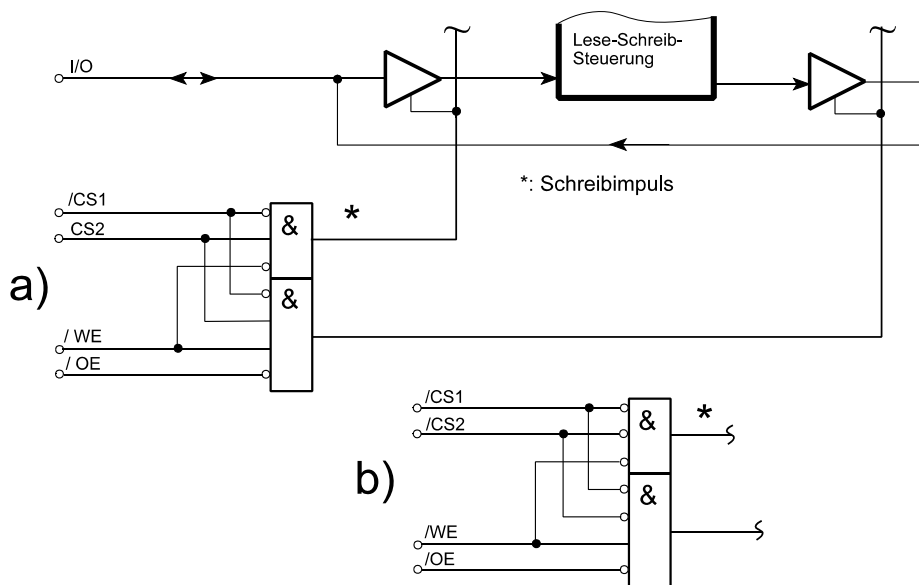
waren also gewisse Zeitbedingungen einzuhalten. Das Überschreiten von Maximalzeiten führte zu Fehlern. Im Gegensatz dazu finden wir im Datenblatt eines voll statischen RAMs keine Spezifikationen höchstzulässiger (maximaler) Aktivierungszeiten bzw. Impulsbreiten der Eingangssignale; man könnte ihn durchaus mit Kippschaltern von Hand ansteuern.

*Moderne asynchrone SRAMs arbeiten mit internen Takten*

Will man größere Speicherkapazitäten realisieren und mit kleineren Halbleiterstrukturen auskommen, so sind vielfältige Probleme der gegenseitigen Störbeeinflussung, der Verstärkung von Lesesignalen usw. zu lösen. Zu den einschlägigen Tricks gehört der Übergang auf eine synchrone (getaktete) Arbeitsweise im Innern des Schaltkreises. Trotzdem kann man einen solchen SRAM voll statisch betreiben, also beispielsweise bei ständig aktiv gehaltenem CE die Adresse wechseln und verschiedene Speicherzellen auslesen. Das Prinzip: die Steuerhardware im Schaltkreis erkennt Änderungen der Eingangsbelegung und veranlaßt, daß beispielsweise bei einer Änderung der Adresse ein interner Impulsgenerator anläuft, der die benötigten Taktsignale liefert.

*Zwei Chip Selects*

Zwei Schaltkreisauswahlsignale (Chip Selects), die konjunktiv verknüpft sind (es müssen beide Signale aktiv sein, damit der gesamte Schaltkreis aktiviert wird) ermöglichen gelegentlich eine einfachere Außenbeschaltung (Vereinfachung der Adreßdecodierung). Abbildung 30 zeigt zwei typische Auslegungen.

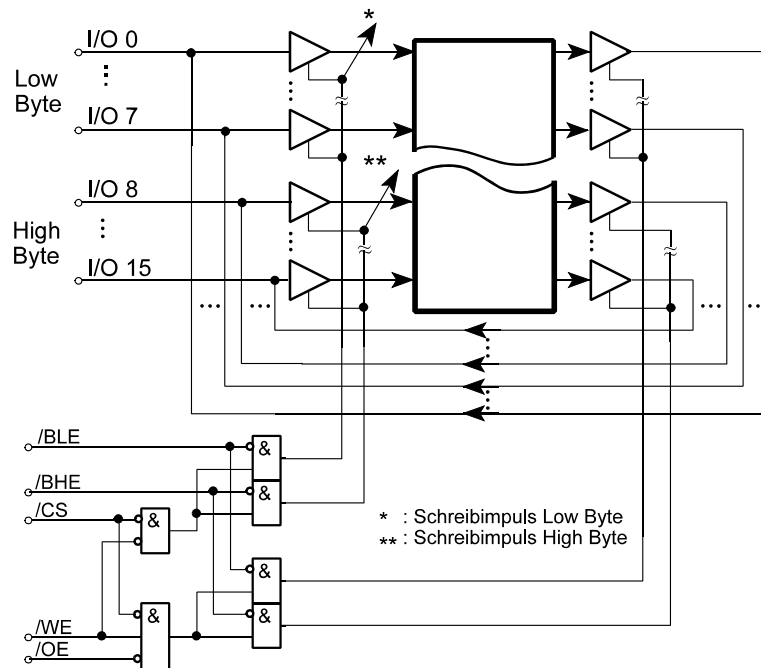


**Abb. 30** SRAM-Steuerung mit zwei Auswahlsignalen (CS1, CS2).

- a) Das eine Signal ist aktiv Low (/CS1), das andere aktiv High (CS2). Dies ist die moderne Auslegung aller SRAMs mit 2 · CS (von der Organisationsform 8k · 8 an aufwärts). Der einfachste Nutzungsfall: besteht das Speichersubsystem aus zwei derartigen Schaltkreisen, so wird das niedrigstwertige Adreßsignal an /CS1 des ersten und an CS2 des zweiten Schaltkreises angeschlossen. Die verbleibenden Signale werden mit Festwerten beschaltet (CS2 = High, /CS1 = Low).
- b) Beide Signale /CS1, /CS2 sind aktiv Low. Diese Auslegung ist lediglich bei der (veralteten) Organisationsform 16k · 4 üblich.

*Breite SRAMs: die • 16-Organisation*

SRAMs in • 16-Organisation sind so ausgelegt, daß sich die beiden Bytes, aus denen das 16-Bit-Wort besteht, einzeln lesen und schreiben lassen (byteselektive Zugriffe). Hierfür sind zusätzlich zu den Steuersignalen /CS, /WE und /OE zwei Byteerlaubniseingänge /BHE, /BLE (auch: /HB, /LB) vorgesehen (Byte High Enable, Byte Low Enable). Lese- und Schreibzugriffe zur jeweiligen Byteposition werden nur dann ausgeführt, wenn das betreffende Byteerlaubnissignal aktiv ist (Abbildung 31).



**Abb. 31** Datenweg und Steuerung eines SRAM in • 16-Organisation.

In der eigentlichen Speichermatrix werden jeweils zwei Bytes gleichzeitig adressiert. Aber nur dann, wenn das zugehörige Byteerlaubnissignal aktiv ist, erscheint ein adressiertes Byte auf dem Datenbus (beim Lesen) bzw. wird ein Byte auf den adressierten Speicherplatz geschrieben (beim Schreiben nur eines Bytes bleibt das gleichzeitig adressierte zweite Byte unverändert erhalten).

*Exotische Typen*

In den 80er und 90er Jahren wurde eine Vielfalt von Bauelementen angeboten. Beispiele:

- • 1-Organisation mit zusätzlichem OE zur Steuerung des Datenausgangs,
- • 4- Organisation mit bidirektionalen Datenanschlüssen, aber ohne OE,
- • 4-Organisation mit unabhängigen Lese- und Schreibdatenanschlüssen,
- • 9-Organisation,
- • 18-Organisation.

Die • 9- und • 18-Typen waren vor allem dazu gedacht, zu jedem Byte ein zusätzliches Prüfbit (Paritätsbit) zu speichern.

*Entwicklungstendenzen*

SRAMs sind vergleichsweise konservative Bauelemente. Einmal eingeführte Typen verbleiben längere Zeit am Markt, und es ist auch nicht mit einer schnellen Folge innovativer Produkte zu rechnen (die Halbleiterhersteller treiben die Entwicklung praktisch kaum noch von sich aus voran, sondern richten sich nach den Anforderungen der Großabnehmer). Wesentliche Forderungen seitens dieser Anwender sind:

- verringerte Speisespannungen (bis zu 1,5 V und weniger),
- extrem geringer Strombedarf,
- komplette Lösungen mit „eingebautem“ Datenerhalt,
- kostengünstige Bauelemente mit Speicherkapazitäten zwischen 64 kBits und 16 MBits (bei überwiegender Nachfrage nach Typen in • 8- und • 16-Organisation),
- Anschluß an gängige Mikrocontroller möglichst ohne Restlogik.

*Hinweis:*

Moderne SRAMs können in einen Betriebszustand versetzt werden, indem sie bei verminderter Speisespannung und sehr geringer Stromaufnahme ihre Daten behalten (Data Retention Mode).

*Pseudostatische (mobile) SRAMs*

Die weitaus meisten SRAM-Schaltkreise sind für mobile Telekommunikationsgeräte bestimmt. Moderne Mobiltelefone u. dergl. kommen aber mit vergleichsweise bescheidenen Speicherkapazitäten (z. B. 128 kBytes) längst nicht mehr aus. Deshalb werden Schaltkreise gefertigt, die typische SRAM-Schnittstellen aufweisen, aber Speicherkapazitäten von mehreren MBytes haben (Beispiele: 2M • 16 (32 MBits), 4M • 16 (64 MBits), 8M • 16 (128 MBits), 16M • 16 (256 MBits)). Diese Schaltkreise enthalten DRAM-Speicherzellen, können aber wie SRAMs betrieben werden (die für DRAMs typischen Refresh-Abläufe werden intern erledigt). Sie werden auch als Mobile Specified RAM o. dergl. bezeichnet. Die Spitzfindigkeiten (Page Mode, Standby-Betriebsarten usw.) sind aus dem Datenmaterial ersichtlich.

**Grundlagen der Speichersubsysteme**

Einfachste Speichersubsysteme bestehen nur aus Speicherschaltkreisen, die an entsprechende Interfaces eines Prozessors oder Steuerschaltkreises angeschlossen werden. Ist der Direktanschluß nicht möglich, so muß das Speichersubsystem zwei vorgegebene Schnittstellen aneinander anpassen: das der Speicherschaltkreise und das jener Einrichtungen, die auf die Speicher zugreifen wollen (üblicherweise über einen Prozessor- oder Systembus). Hierbei sind sowohl die Signale in elektrischer Hinsicht als auch die Signalspiele in Hinsicht auf die funktionellen Abhängigkeiten und auf das zeitliche Verhalten zu berücksichtigen.

Alle komplizierteren Funktionen (Adreßdecodierung, Steuerung der Signalspiele usw.) werden typischerweise in hochintegrierten Schaltkreisen untergebracht. Dabei gibt man sich viel Mühe, ohne aufwendige Zusatzhardware (im Englischen bildhaft als Glue Logic bezeichnet) auszukommen. Oftmals geht es aber doch nicht ganz ohne ab.

*Zugriffszeit und Impulsdauer*

Einfache Speicherschnittstellen kennen keine Wartezustände. Die Dauer der Strobe-Impulse (CS, OE, WE) muß der Zugriffszeit des Speichersubsystems entsprechen. Die Schaltkreise müssen so ausgewählt werden, dass diese Forderung erfüllt ist. Manche Anschlußsteuerungen (z. B. in Mikrocontrollern) können programmseitig auf verschiedene Zugriffszeiten eingestellt werden. Einzelheiten ergeben sich aus dem Datenmaterial, Anregungen zum Tricksen aus den Anwendungsschriften (Application Notes). Im Feinentwurf sind ggf. zusätzliche Verzögerungen einzurechnen (kapazitive Belastung, Pufferstufen, Decoder usw.).

### *Haltezeit auf dem Datenbus*

Die empfangende Einrichtung muss die Daten übernehmen, bevor sie vom Bus verschwunden sind, die sendende Einrichtung muss die Daten so lange halten, bis die empfangende Einrichtung sie abgenommen hat. Die Haltezeitangabe der empfangenden Einrichtung ist ein Mindestwert, mit dem es noch funktioniert. Bei Haltezeit Null funktioniert es auch dann, wenn die Daten sofort vom Bus verschwinden. Die Haltezeitangabe der sendenden Einrichtung ist eine zugesicherte Eigenschaft. Haltezeit Null bedeutet, dass man diesen Kennwert nicht prüft und dass es knapp zugehen kann. Eine– als Mindestwert – zugesicherte Haltezeit von beispielsweise 12 ns bedeutet, dass die Daten wenigstens noch 12 ns auf dem Bus gehalten werden. Viele Einrichtungen funktionieren als Empfänger mit Haltezeit Null und halten als Sender die Daten noch eine Zeit lang auf dem Bus (Richtwert: 10...30 ns). Praxistip: Die Haltezeitspezifikationen genau beachten. Die Datenübernahme vom Bus so entwerfen, daß es auch noch mit Haltezeit Null funktioniert, die Datenaufschaltung so, daß die Daten für eine gewisse Zeit auf dem Bus bleiben<sup>4</sup>. Zur Größenordnung der Haltezeit orientiere man sich an den Daten von Schaltkreisen oder Funktionseinheiten, die für das gleiche Bussystem vorgesehen sind.

### *Der Tri-State-Bus in Ruhe*

Tri-State-Signalwege dürfen nicht längere Zeit hochohmig sein, also unbestimmte (schwimmende) Signalpegel führen (siehe auch Band 2). Die Abhilfe besteht in Pull-up- oder Pull-down-Widerständen, in Bushalteschaltungen oder im Parken des Bus. Beim Parken wird der Bus aktiv getrieben. Die Treiberstufen der programmierbaren Schaltkreise und der Mikrocontroller enthalten derartige Vorkehrungen.

### *Kapazitive Belastung*

Moderne Speicherschaltkreise beruhen vorwiegend auf CMOS-Technologien. Die Eingänge derartiger Schaltkreise brauchen – bei statischer Ansteuerung – praktisch kaum Eingangsstrom. Das ändert sich aber dann, wenn die Signale schalten. Die Schaltgeschwindigkeit wird maßgeblich von der kapazitiven Belastung mitbestimmt.

### *Hinweise:*

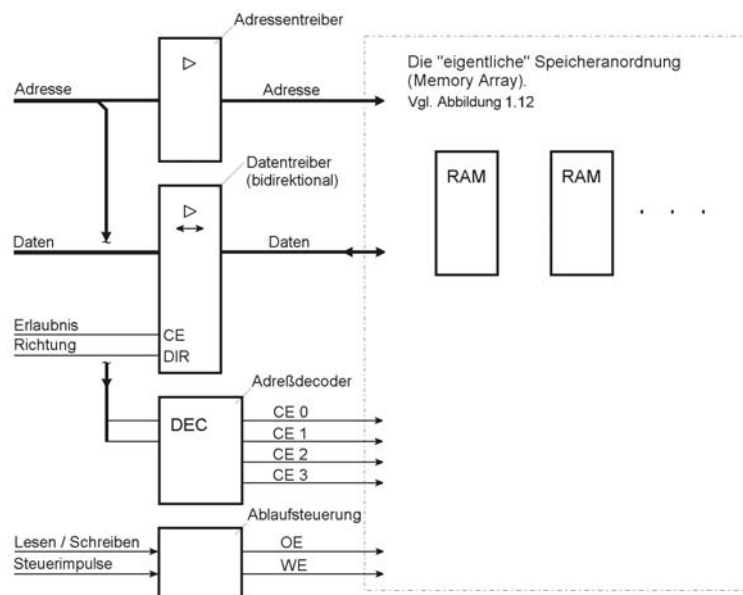
1. Jeder Schaltkreisanschluß stellt eine bestimmte kapazitive Belastung dar. Hinzu kommen die Leiterzüge. Faustregel: je Anschluß pauschal 5...8 pF, bei bidirektionalen Anschlüssen 10 pF.
2. Zu den Zeitangaben im Datenblatt gehört auch die maximale kapazitive Belastung, unter der die Angaben noch gültig sind. Die Kennwerte moderner Speicherschaltkreise sind typischerweise für eine kapazitive Belastung von 30 pF spezifiziert.
3. Ist die kapazitive Belastung höher als die Angabe im Datenblatt, so kann man den Schaltkreis trotzdem einsetzen. Man kann ihn aber nicht mehr mit der maximal zulässigen Geschwindigkeit betreiben. Um wieviel sich die Zeitwerte verlängern, wird durch sog. Derating-Angaben in Form von Kurven, Tabellen oder Formeln beschrieben.
4. Das komplette Speichersubsystem ist stets langsamer als der Einzelschaltkreis. Beispiel: eine SRAM-Anordnung hat – im System – eine Zugriffszeit von 20 ns. Ein für 20 ns spezifizierter Schaltkreis wäre aber entschieden zu langsam. Vielmehr wäre beispielsweise ein 12-ns-Typ einzusetzen.

---

4: Die Tri-State-Treiber der modernen programmierbaren Schaltkreise nehmen die Daten sofort vom Bus (Richtwert: nach zwei bis drei Nanosekunden). Deshalb muss, um eine angemessene Haltezeit darzustellen, ggf. eine zusätzliche Verzögerung vorgesehen werden.

*Grundsätzliches zur Abhilfe:*

- Viel Strom. Das ist das einzige, was hilft, um Kapazitäten schnell umzuladen. Die herkömmliche Lösung: Speichersubsysteme, die mehrere Speicherschaltkreise umfassen und schnell sein sollen (im Sinne geringster Zugriffs- und Zykluszeiten), werden über Bustreiber angesteuert (Abbildung 32). Das lohnt sich dann, wenn die Durchlaufverzögerung der Bustreiber kürzer als die Verlangsamung infolge der ursprünglichen kapazitiven Belastung (Derating).
- Überflüssige kapazitive Lasten abschalten. Eine Lösung auf Grundlage moderner Busschalter-Bauelemente. Die Speicherschaltkreise (bzw. Speichermodule), auf die jeweils nicht zugegriffen wird, werden gleichsam vom Bus abgetrennt, so daß sich deren kapazitive Belastung nicht auswirkt.

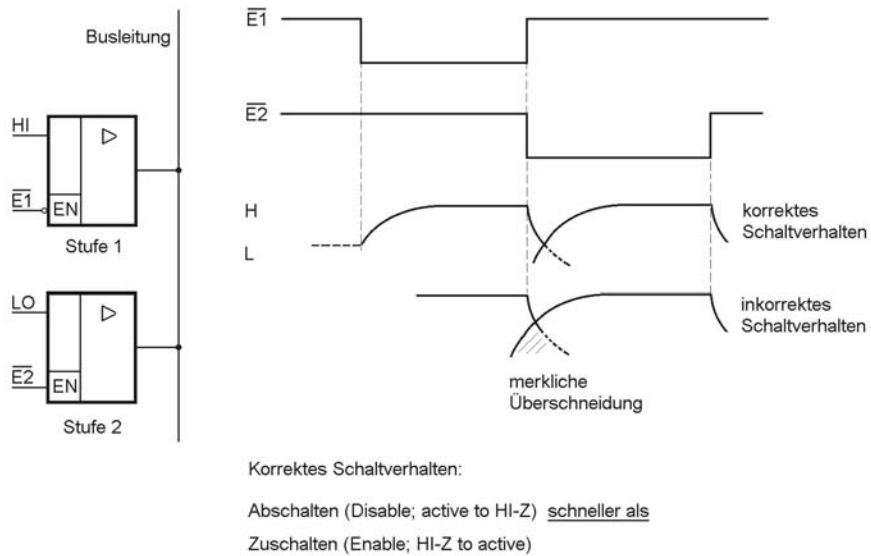


**Abb. 32** Ein typisches (herkömmliches) Speichersubsystem.

*Buskonflikte (Bus Contention)*

Die Datenwege der typischen Speichersubsysteme sind bidirektionale Busstrukturen. Die einzelnen Schaltkreise haben Tri-State-Ausgangsstufen. In einer solchen Anordnung darf jeweils nur ein Schaltkreis Daten auf den Bus legen. mehrere Treiber dürfen nie gleichzeitig aktiv sein. Auch dürfen sich die Aktivierungen mehrerer Treiber am Bus nicht überschneiden (es darf nicht sein, daß ein Treiber aufschaltet, während ein anderer noch nicht in den hochohmigen Zustand zurückgeschaltet hat; Abbildung 33). Ist diese Bedingung nicht erfüllt – versuchen also zwei oder mehr Schaltkreise gleichzeitig, den Bus zu treiben – , so ergibt sich ein Buskonflikt. Ein offensichtliches Problem liegt vor, wenn der eine Ausgang eine Null aufschalten will und der andere eine Eins, denn dann würden die Treiberstufen einen Kurzschußstromweg von der Betriebsspannung nach Masse schalten.

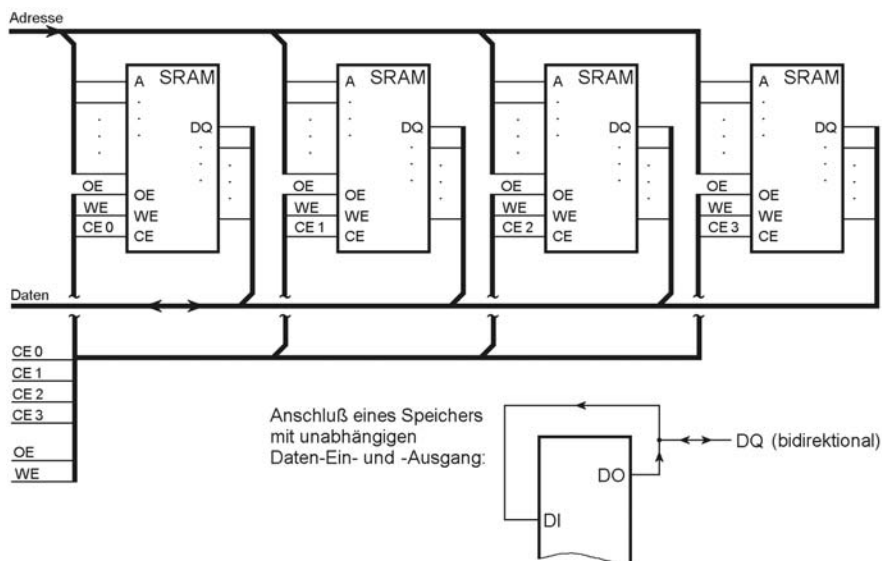
Wirklich harte (länger andauernde) Buskonflikte wollen wir ausschließen (obwohl sie durchaus vorkommen können (Entwurfsfehler, Ausfälle). Es gibt aber zwei Betriebsfälle, in denen mit zeitweiligen Buskonflikten (Überschneidungen) zu rechnen ist: (1) beim Deaktivieren des einen und Aktivieren eines anderen Schaltkreises (Schaltkreisauswahl) und (2) beim Umsteuern zwischen Lesen und Schreiben (Bus Turnaround).



**Abb. 33** Überschneidung beim Umschalten zwischen zwei Busbelegungen. HI, LO - aufzuschaltende Signalbelegungen; E1, E2 - Aufschalterlaubnissignale (Enable-Signale). Ist ein Aufschalterlaubnissignal aktiv (hier: Low), so wird der betreffende Bustreiber gleichsam scharf und schaltet die jeweilige Signalbelegung zur Busbelegung durch.

*Überschneidung bei der Schaltkreisauswahl*

Abbildung 34 veranschaulicht ein einfaches Speichersubsystem mit bidirektionalem Datenbus. Nehmen wir an, wir lesen zunächst Daten aus dem ersten Schaltkreis und adressieren beim darauffolgenden Zugriff den zweiten Schaltkreis. Dabei bleibt OE aktiv (Low), während beispielsweise CE0 inaktiv wird und CE1 aktiv (CE0 => High, CE1=> Low). Die Datenausgänge des ersten Schaltkreises werden nach dem Deaktivieren zunächst noch einige ns lang den Bus belegen. Wenn während dieser Zeit die Ausgangsstufen des zweiten Schaltkreises aktiv werden, kommt es kurzzeitig zu einem Buskonflikt.



**Abb. 34** Einfaches Speichersubsystem mit bidirektionalem Datenbus.

*Umsteuerung zwischen Lesen und Schreiben (Bus Turnaround)*

Beim Lesen liefert der Speicherschaltkreis die Daten, beim Schreiben der Prozessor bzw. der Steuerschaltkreis. Beim Umschalten zum Schreiben sind die Ausgangsstufen des Speicherschaltkreises zu deaktivieren und jene des Prozessors bzw. Steuerschaltkreises zu aktivieren. Auch hierbei kann es – wenn beides gleichzeitig geschieht – zu Überschneidungen kommen.

*Grundsätzliches zur Abhilfe*

Der Konfliktfall ergibt sich, wenn der eine Schaltkreis noch aufgeschaltet hat, der andere Schaltkreis aber schon aufschaltet (Abschalten langsamer als Zuschalten; Abschaltzeit > Aufschaltzeit). Die Dauer des Konfliktfalls entspricht der Differenz von Abschaltzeit und Aufschaltzeit (Konfliktdauer = Abschaltzeit – Aufschaltzeit). Beispiel: Abschaltzeit: 10 ns, Aufschaltzeit: 4 ns, Konfliktdauer = 10 – 4 = 6 ns.

Es treten dann *keine* Buskonflikte im Sinne von Überschneidungen auf, wenn das Abschalten (Deaktivieren) schneller abläuft als das Aufschalten (Aktivieren). Die perfekte Lösung besteht also darin, diese Betriebsweise zu verwirklichen (Fachbegriffe: Disable Time < Enable Time, Break before Make). Das wird oft getan<sup>5</sup>, kostet aber Zeit und Schaltungsaufwand. Deshalb entscheidet man sich gelegentlich dafür, keine einschlägigen Vorkehrungen (Schaltungsmaßnahmen, Gestaltung der Signalspiele) zu treffen, sondern sich darauf zu verlassen, daß in der Praxis schlimmstenfalls gelegentliche Überschneidungen im Bereich weniger ns auftreten werden, die auf die Funktion des Speichersubsystems keinen Einfluß haben.

*Wann können solche Konflikte vorkommen?*

Sehen wir von groben Fehlern aller Art ab: genau dann, wenn es schnell gehen soll. Beispiel: es wird eine neue Speicheradresse geliefert. Die betrifft aber einen anderen Schaltkreis. Also muß der zur Zeit ausgewählte Speicherschaltkreis deaktiviert und der andere aktiviert werden. Wird das auf die einfachste und schnellste Weise erledigt, so kann es zu Überschneidungen kommen.

*Sind Buskonflikte auszuhalten?*

Es kommt darauf an. Genauer: es hängt von der Auslegung der Schaltkreise, von den fließenden Strömen und von der Dauer des Konfliktes ab.

Herkömmliche (weniger vornehm: altmodische) Tri-State-Schaltkreise (DIL-Gehäuse, höchstens 8 Ausgänge, Treibfähigkeit um die 20 mA) halten auch einen Dauerkurzschluß aus (die integrierten Widerstände wirken strombegrenzend, und die Erwärmung infolge des starken Stromflusses wirkt widerstandserhöhend, so daß der Strom wiederum begrenzt wird). *Das ist aber reine Vorsorge für den Notfall* (wenn, beispielsweise durch einen Fehler an anderer Stelle, tatsächlich zwei Bustreiber gleichzeitig aktiv werden, gehen die Schaltkreise nicht gleich kaputt). Eine solche „ausfallsichere“ Auslegung ist aber nicht dazu vorgesehen, Bus Contention als sozusagen offiziellen Betriebszustand einzuführen (Stromfluß und übermäßige Erwärmung über längere Zeit verkürzen die Lebensdauer).

Moderne Bustreiber haben hingegen viele Ausgänge (16...36 sind typisch) und eine geradezu extreme Treibfähigkeit (je Ausgang bis zu 60 mA und mehr). Zudem sind sie in kleinen Gehäusen untergebracht. Und hier können sich Überschneidungen wirklich verheerend auswirken – solche Schaltkreise können buchstäblich „den Deckel abheben“.

*Wie rechnen die Hersteller?*

Der Schaltkreis darf nicht zu warm werden; die Kristalltemperatur sollte auf jeden Fall unter 150° C bleiben. Im Konfliktfall ergibt sich ein Temperaturanstieg um 200° je µs, der sich mit 1 mm je µs

---

5: Beispielsweise sind die Bussysteme der meisten Mikroprozessoren so ausgelegt, daß, wenn man die Speicherschaltkreise „nach Kochbuch“ anschließt, keine Buskonflikte auftreten.

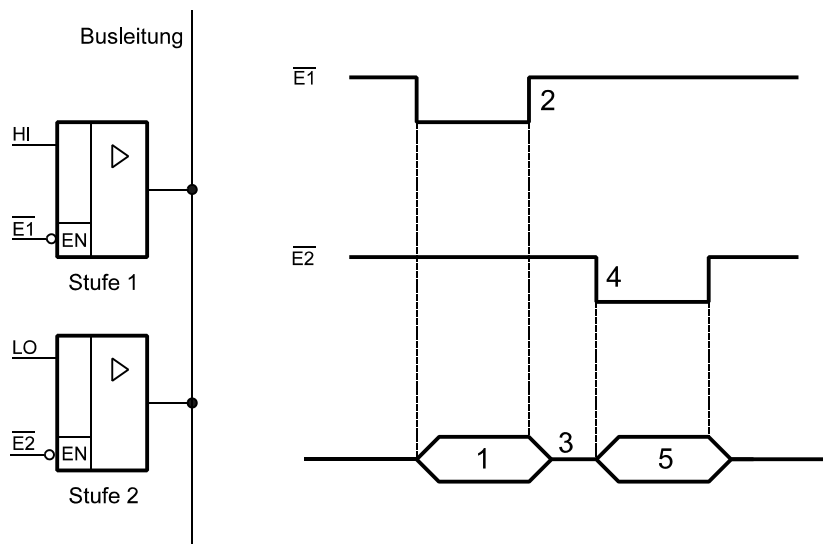
ausbreitet. Die Transistorstrukturen haben aber Abmessungen im Bereich weniger  $\mu\text{m}$  ( $1 \mu\text{m} = 1/1000 \text{ mm}$ ). Daraus ergibt sich, daß Konflikte gerade noch geduldet werden können, sofern sie wesentlich kürzer sind als  $1 \mu\text{s}$  und vergleichsweise selten auftreten. Richtwert: Überschneidungen von ein paar ns (bis hin zu ca. 10...30 ns) schaden nicht, sofern Periodendauer : Konfliktdauer  $> 10 : 1$ . Beispiel: Periodendauer = 100 ns, zulässige Konfliktdauer höchstens 10 ns. Beachten Sie aber, daß bei sehr kurzer Periodendauer (= schnellem Bustakt) auch an sich kurzzeitige Konflikte unzulässig sind (da sie zu oft vorkommen). So dürfte bei einer Periodendauer von 10 ns (also 100 MHz) der Konflikt nicht länger als 1 ns dauern.

*Kann man solche (kurzzeitigen) Konflikte in Kauf nehmen?*

Auch hier kommt es darauf an. Der Schaltkreishersteller sagt nur, daß bei dieser Betriebsweise sein Schaltkreis nicht kaputtgeht; was sonst noch passiert, ist ihm gleichgültig. Konflikte sind aber stets mit Spitzen im Strombedarf verbunden (Kurzschlußströme). Und die wirken sich als Störungen aus (auch wenn sie nur ns dauern ...). Falls diese Störungen innerhalb des Systems nicht schaden und falls die EMV-Anforderungen ohnehin durch andere Maßnahmen erfüllt werden, könnte man mit solchen kurzzeitigen Überschneidungen leben. Andernfalls muß sich der Entwickler schon Mühe geben, auch den kürzesten Konflikt gar nicht erst entstehen zu lassen.

*Konfliktvermeidung*

Das Prinzip: erst abschalten, dann aufschalten (Abbildung 35). Im Fach-Englisch: Break before Make. Dies kann sowohl durch Schaltungsmaßnahmen als auch durch entsprechende Auslegung der Signalfolgen am Bus (der Busprotokolle) erreicht werden. Manche – auf den ersten Blick womöglich seltsam anmutende – Schaltfolgen sind nur eingeführt worden, um Buskonflikte zu vermeiden (indem man z. B. einem Schaltkreis fast einen ganzen Taktzyklus lang Gelegenheit gibt, sich vom Bus zu verabschieden).



**Abb. 35** So sollte ein Tri-State-Bus angesteuert werden.


- 1 - Stufe 1 ist aufgeschaltet.
- 2 - Stufe 1 wird deaktiviert.
- 3 - es wird gewartet, bis Stufe 1 den Bus wirklich freigegeben hat (bis also die Busleitung wieder hochohmig geworden ist).
- 4 - Stufe 2 wird aktiviert.
- 5 - Busleitung mit Datenbelegung gemäß Stufe 2.

*Konfliktvermeidung im Schaltkreis*

Manche Schaltkreise gewährleisten von Hause aus, daß es zu keiner Überschneidung kommen kann. Die Voraussetzung dafür: die Ausschaltzeit (Disable Time; Zustandswechsel von aktiv zu hochohmig) muß stets kleiner sein als die Einschaltzeit (Enable Time; von hochohmig zu aktiv). Maßgebliche Kennwerte:

- Abschaltzeit: Turn-off bzw. Disable Time, „Output to High Z“.
- Aufschaltzeit: Turn-on bzw. Enable Time, „Output to Low Z“.

Meist ist aber nicht zu erkennen, daß derartige Vorkehrungen getroffen wurden (Abbildung 36).

Symbol	Parameter	71024S12	
		Min.	Max.
<b>Read Cycle</b> 			
tRC	Read Cycle Time	12	—
tAA	Address Access Time	—	12
tACS	Chip Select Access Time	—	12
tCLZ	Chip Select to Output in Low-Z <b>2</b>	3	—
tCHZ	Chip Deselect to Output in High-Z <b>1</b>	0	6
tOE	Output Enable to Output Valid	—	6
tOLZ	Output Enable to Output in Low-Z <b>4</b>	0	—
tOHZ	Output Disable to Output in High-Z <b>3</b>	0	5

**Abb. 36** Ein Datenblattauszug (IDT).

Es handelt sich um einen SRAM-Schaltkreis. Uns interessiert das Verhalten des Tri-State-Datenbus. 1 und 3 - Deaktivieren; 2 und 4 - Aktivieren. Schalten wir den Bus über den Chip-Select-Eingang (CS) hochohmig (3), so kann dies bis zu 6 ns dauern (soll heißen: spätestens nach 6 ns ist der Bus frei). Wenn wir aber den Schaltkreis durch Aktivieren von Chip Select auswählen, so belegt er den Bus spätestens nach 3 ns (2). Steuern wir die Datenaufschaltung über Output Enable (OE), so sieht es noch schlimmer aus: beim Deaktivieren (3) kann es bis zu 5 ns dauern, bis der Bus endlich frei wird, beim Aktivieren ist hingegen der Bus sofort (0 ns)<sup>6</sup> belegt. Also dauert das Abschalten sogar länger als das Aufschalten? – Dem ersten Anschein nach ja. Sehen wir aber genauer hin (Pfeil in Abbildung 36):

- Die Abschaltzeiten 1, 3 (High-Z) sind Maximalwerte (soll heißen: es dauert höchstens so lange - kann aber kürzer sein). Maximalwerte gelten für den ungünstigsten Betriebsfall: höchste zulässige Betriebstemperatur und geringste zulässige Betriebsspannung („schlimmer kann es nicht werden“).
- Die Aufschaltzeiten 2, 4 (Low-Z) sind Minimalwerte (soll heißen: es dauert mindestens so lange, kann aber länger sein). Minimalwerte gelten für den günstigsten Betriebsfall: geringste zulässige Betriebstemperatur und höchste zulässige Betriebsspannung („auch unter besten Bedingungen dauert es garantiert so lange“).

Nun werden die gegeneinander kämpfenden Schaltkreise in der Praxis typischerweise unter gleichen Bedingungen betrieben (gleiche Betriebstemperatur, gleiche Versorgungsspannung). Eventuelle Konflikte sind deshalb so kurz (1...2 ns oder weniger), daß sie nicht schaden. *Aber Achtung:* das gilt nur, wenn es sich um Schaltkreise gleichen Typs handelt. Ist vorgesehen, an einem solchen Bus Steckkarten, Speichermodule usw. an sich x-beliebiger Herkunft zu betreiben, so ist Vorsicht geboten. Manchmal geht es nicht ohne trickreiche Signalfolgen (ein Beispiel sind die sog. SCD-PBSRAMs).

---

6: 0 ns sind eine physikalische Unmöglichkeit. Eine solche Angabe besagt einfach, daß der Hersteller den Wert nicht nachprüft.