

Elementare ATA-E-A-Schnittstellen

Überblick über die Wirkprinzipien

Stand: 1.2 vom 18. 9. 06

Verwendungszweck:

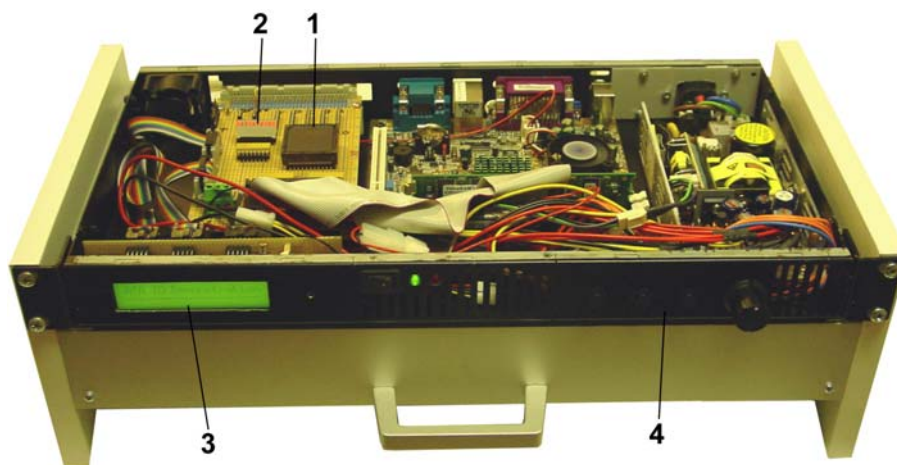
Nutzung der parallelen ATA-Schnittstelle (PATA) als elementares, universelles E-A-Interface.

Vorteile:

- parallele ATA-Schnittstellen sind auf den meisten modernen Motherboards vorhanden (das betrifft vor allem die kleineren Formfaktoren der Massenfertigung, wie beispielsweise Mini-ITX und Nano-ITX),
- die modernen Erweiterungsschnittstellen (z. B. PCI-Slots) bleiben für PC-typische Erweiterungen frei (Video, Audio, Vernetzung usw.),
- auf Grund der eigentlichen Nutzung (Laufwerksschnittstelle) dürfte die Zukunftssicherheit in den nächsten Jahren weiterhin gegeben sein,
- die steuernde Software ist einfach (ATA-Zugriffe sind im Grunde nur E-A-Zugriffe auf einen Registersatz),
- die Latenzzeiten sind gering (Mikrosekunden; USB- und Netzwerkschnittstellen haben hingegen typische Latenzzeiten von mehreren Millisekunden),
- einfache Schaltungstechnik (typische E-A-Adapter passen in kleinere CPLDs).

Betriebsweise der ATA-Schnittstelle:

- nur 8-Bit-Betrieb,
- nur Zugriffe auf Register, die standardgemäß für Schreib- und Lesezugriffe zugänglich sind,
- nur programmseitige E-A-Zugriffe (PIO-Betrieb),
- der ATA-Interfaceadapter erscheint dem BIOS und dem System gegenüber als nicht vorhanden (kann also nicht irrtümlicherweise als Laufwerk angesprochen werden).



Ein Industrie-PC auf Grundlage eines Mini-ITX-Motherboards. Formfaktor: 19", 1 U, 230 mm tief. 1 - ATA-Adapter; 2 - diagnostische Anzeigen; LCD-Anzeige; 4 - Bedienfeld

Der ATA-Registersatz:

Registerblock	CS		Registeradresse DA				Register	
	1-	0-	2	1	0	Hex	Lesezugriff	Schreibzugriff
Kommando- registerblock	1	0	0	0	0	0	Datenregister	
	1	0	0	0	1	1	Fehlerregister	Funktionsmerkmale
	1	0	0	1	0	2	Sektoranzahl	
	1	0	0	1	1	3	Sektornummer oder LBA niedrig (7...0)	
	1	0	1	0	0	4	Zylinder-Nr. niedrig oder LBA mittel (15...8)	
	1	0	1	0	1	5	Zylinder-Nr. hoch oder LBA hoch (23...16)	
	1	0	1	1	0	6	Geräte- und Kopfauswahl oder LBA 27...24	
	1	0	1	1	1	7	Zustandsregister	Kommandoregister
Steuerregister block	0	1	1	1	0	6	Zustandsregister 2	Gerätesteuerregister

Die herkömmliche Registerbelegung im Überblick:

Register	Bitposition								Zugriffs- beschrän- kungen
	7	6	5	4	3	2	1	0	
Kommandoregisterblock									
Datenregister	Datenwort (16 Bits)								R/W, 1
Fehlerregister	ICRC	UNC	MC	IDNF	MCR	ABRT	NM	va	R, 3
Funktionsmerkmale	Steuercode								W, 2
Sektoranzahl	Sektoranzahl								R/W, 2
Sektornummer	1. Sektor oder LBA 7...0								R/W, 2
Zylinder-Nr. niedrig	Zylinder, Bits 7...0 oder LBA 15...8								R/W, 2
Zylinder-Nr. hoch	Zylinder, bits 15...8 oder LBA 23...16								R/W, 2
Geräte- u. Kopfauswahl	va	LBA/va	va	DEV	HEAD SEL 3...0 oder LBA27...24				R/W, 2
Zustandsregister	BSY	DRDY	DF	#	DRQ	va	va	ERR	R, 4
Kommandoregister	Kommandocode								W, 2
Steuerregisterblock									
Zustandsregister 2	BSY	DRDY	DF	#	DRQ	va	va	ERR	R, 4
Gerätesteuerregister	HOB	res	res	res	res	SRST	nIEN	0	W, 5

Herkömmliche Adressierung der ATA-Schnittstellen in PCs:

IDE/ATA-Kanal	Geräteadressen (Hex)		Interrupt- leitung	alternative Interrupt- leitung
	Kommandoregisterblock	Steuerregisterblock		
1. (Primary)	1F0...1F7	3F6	14	-
2. (Secondary)	170...177	376	15	-
3. (Ternary)	1E8...1EF	3EE	11	12 oder 9
4. (Quaternary)	168...16F	36E	10	

Übersicht über die E-A-Adressen:

Register	ATA-Kanal im PC			
	1.	2.	3.	4.
Datenregister	1F0	170	1E8	168
Fehlerregister/Funktionsmerkmale	1F1	171	1E9	169
Sektoranzahl	1F2	172	1EA	16A
Sektornummer/LBA niedrig	1F3	173	1EB	16B
Zylinder-Nr./LBA mittel	1F4	174	1EC	16C
Zylinder-Nr./LBA hoch	1F5	175	1ED	16D
Geräteauswahl	1F6	176	1EE	16E
Zustandsregister/Kommandoregister	1F7	177	1EF	16F
Zustandsregister 2/Gerätesteuerregister	3F6	376	3EE	36E

In den E-A-Adaptern verwendete Register:

CS		Registeradresse DA				Register	herkömml. ATA-Ports im PC			
1-	0-	2	1	0	Hex		1.	2.	3.	4.
1	0	0	1	0	2	REG 2 (Sektoranzahl)	1F2	172	1EA	16A
1	0	0	1	1	3	REG 3 (Sektornummer)	1F3	173	1EB	16B
1	0	1	0	0	4	REG 4 (Zylinder-Nr. niedrig)	1F4	174	1EC	16C
1	0	1	0	1	5	REG 5 (Zylinder-Nr. hoch)	1F5	175	1ED	16D
1	0	1	1	0	6	DH (Geräte- und Kopfauswahl)	1F6	176	1EE	16E

Belegung des DH-Registers:

7	6	5	4	3	2	1	0
-	-	-	DEVICE	Portauswahl			

Nutzung des DH-Registers:

1. Das DH-Register dient zur Auswahl des Adapters, der am ATA-Interface als Master (Device 0) oder Slave (Device 1) konfiguriert sein kann. Um den Adapter auszuwählen, muß Bit 4 des DH-Registers wie folgt geladen werden:
 - Mit 0, wenn der Adapter als Master konfiguriert ist,
 - mit 1, wenn der Adapter als Slave konfiguriert ist.
2. Die Bits 3...0 des DH-Registers dienen zur Portauswahl. Zulässige Belegungen 1H...FH.

Besonderheiten des DH-Registers:

- Schreibzugriffe zum DH-Register werden stets ausgeführt, unabhängig von der Geräteauswahl. Zweck: Unterstützung der Geräteauswahl.
- Lesezugriffe zum DH-Register werden nie ausgeführt. Das Programm muß stets (über den Hostadapter) ein Datenbyte FFH lesen. Zweck: Der Adapter soll nicht irrtümlich als Laufwerk erkannt werden.
- Die Belegung der Bits 3...0 mit 0H ist wirkungslos. Zweck: Probeweise Zugriffe des BIOS (um zu erkennen, ob Laufwerke installiert sind) sollen keine Nebenwirkungen haben.

Hinweis:

Um angeschlossene Laufwerke zu erkennen, schreibt das BIOS üblicherweise den Wert 0H in die Bits 3...0 des DH-Registers und versucht, diesen Wert zurückzulesen.

Der nutzbare Registeradreßraum

Von den Registern der ATA-Schnittstelle sind standardgemäß – vom DH-Register abgesehen – nur die Register 2...5 für wahlfreie Schreib- und Lesezugriffe vorgesehen. Somit steht ein Adreßraum von lediglich 4 Bytes zur Verfügung. Um mehr Bytes adressieren zu können, werden die Bits 3..0 des DH-Registers als eine Art Bankregister verwendet:

- Inhalt = 1H: Zugriff auf die ersten 4 Bytes,
- Inhalt = 2H: Zugriff auf die zweiten 4 Bytes usw.

Da die Belegung 0H wirkungslos bleiben muß (s. oben), kann ein Adreßraum von insgesamt $15 \cdot 4 = 60$ Bytes unterstützt werden werden.

Erweiterungsmöglichkeiten:

1. Nutzung der mit ATA-6 eingeführten 48-Bit-Adressierung (jede Registerposition kann zwei Bytes aufnehmen, die nacheinander eingetragen oder ausgelesen werden).
2. Im gegebenen Adreßraum (60 Bytes) werden einige Register als Adreßregister eingerichtet.
Hinweis: Diese Lösung bingt Schwierigkeiten beim Übergang auf SATA. Sie kann deshalb nicht empfohlen werden.
3. Übergang zur Kommandosteuerung. Datenübertragung durch Kommandoausführung, Adressierung ähnlich LBA-Adressierung (wobei 24 oder 48 Adreßbits unterstützt werden können). Aufwendig.

Mehrere Adapter an einem Interfacekabel (1) – Master und Slave:

Es werden zwei Adapter angeschlossen. Der eine wird als Master konfiguriert, der andere als Slave.

Mehrere Adapter an einem Interfacekabel (2) – selektive Aktivierung:

Die Adapter sind gleichartig (als Master oder Slave) konfiguriert. Die Auswahl erfolgt über die Bits 3...0 im DH-Register.

Damit dies funktioniert, sind folgende Voraussetzungen zu erfüllen:

- die Portauswahl über die Bits 3...0 wird tatsächlich unterstützt,
- jeder der angeschlossenen Adapter ist auf einen anderen Bereich der Portauswahladresse eingestellt,
- bei Schreibzugriffen: jeder der angeschlossenen Adapter übernimmt nur dann Datenbytes, wenn die Portadresse im DH-Register zu seinem Adreßbereich gehört,
- bei Lesezugriffen: jeder der angeschlossenen Adapter belegt nur dann den Datenbus, wenn die Portadresse im DH-Register zu seinem Adreßbereich gehört.

Hinweis:

Manche Adapter unterstützen die selektive Aktivierung gar nicht, manche nur innerhalb grober Bereichsgrenzen (Aufwandsfrage). Die gemeinsame Anschließbarkeit bestimmter Adapter an ein gemeinsames Interfacekabel ist stets fallweise zu klären (Innenschaltung). Ggf. Portadreßdecoder passend abwandeln.

Grundlagen der Schaltungstechnik

Ein ATA-E-A-Adapter besteht aus einer ATA-Schnittstellenanschaltung (ATA Frontend) und nachgeordneten anwendungsspezifischen Registern.

Die ATA-Schnittstellenanschaltung (ATA Frontend) enthält:

- Buskoppel- und Treiberstufen,
- das DH-Register,
- Adreßdecodierschaltungen für Zugriffe zum DH-Register und zu den Registern der jeweiligen Anwendungsschaltung,
- ein Synchronisationsregister für die Lesedaten.

Bussysteme für Schreib- und Lesezugriffe:

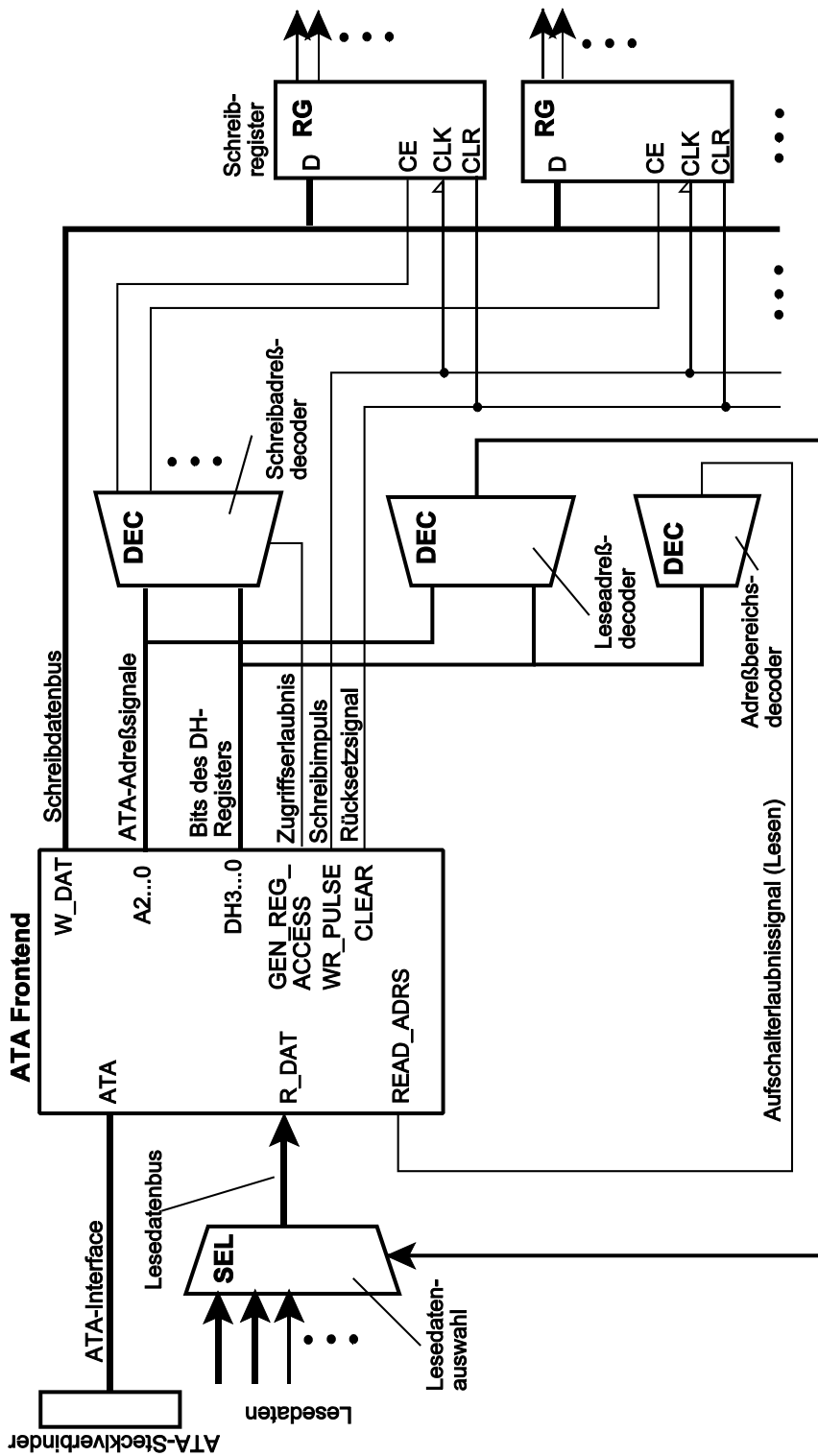
Da in CPLDs keine bidirektionalen Busstrukturen realisierbar sind, werden zwei getrennte Signalwege vorgesehen (Schreibdatenbus, Lesedatenbus).

Schreibzugriffe:

- der ATA-Datenbus wird zum Schreibdatenbus durchgeschaltet,
- die Ziele der Schreibzugriffe sind grundsätzlich D-Flipflop-Register mit Übernahmeerlaubniseingang (CE),
- die Adreßdecodierung wirkt auf die Übernahmeerlaubniseingänge der Register,
- das Schreibsteuersignal (DIOW-) der ATA-Schnittstelle dient als Taktsignal,
- die Informationsübernahme erfolgt mit der Low-High-Flanke des Schreibsteuersignals (DIOW-),
- Register, die beim Rücksetzen zu löschen sind, müssen einen asynchronen Rücksetzeingang (CLR) haben.

Lesezugriffe:

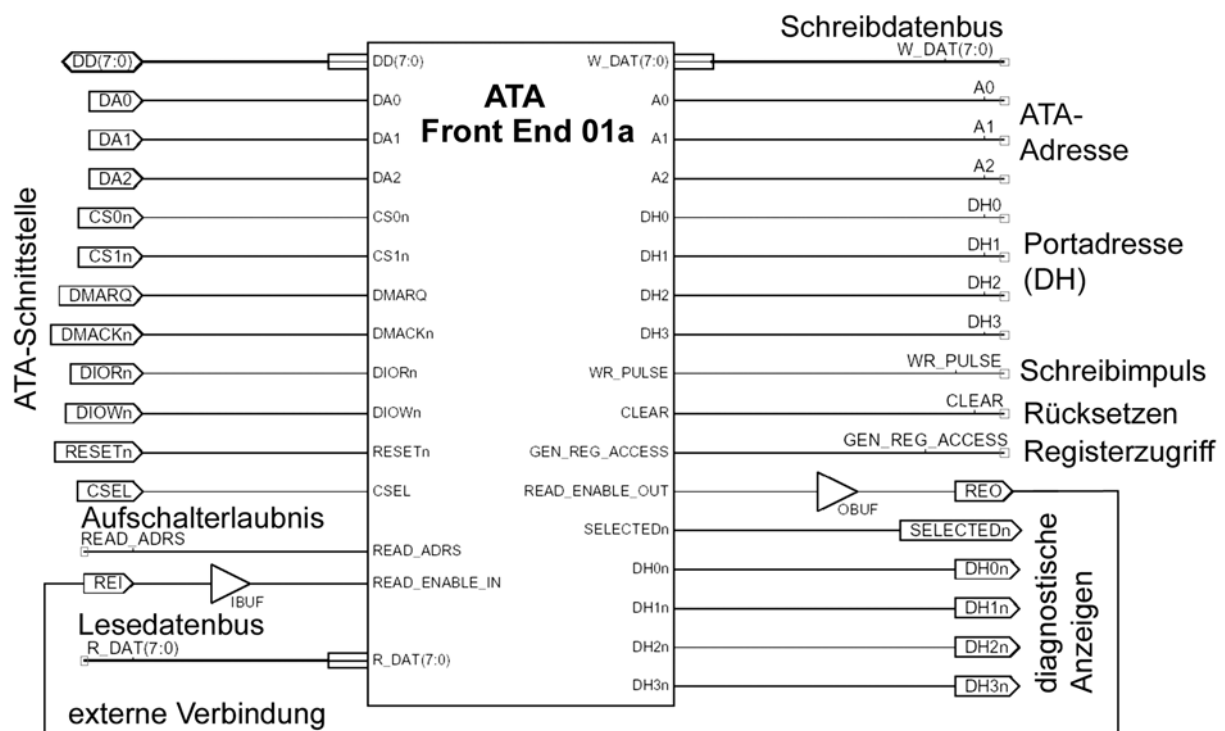
- die zu lesenden Informationsquellen (z. B. E-A-Ports) werden über Auswahlschaltungen (Datenselektoren, Multiplexer) zum Lesedatenbus durchgeschaltet,
- mit der Vorderflanke (High-Low) des Lesesteuersignals (DIOR-) der ATA-Schnittstelle wird die ausgewählte Lesedatenbelegung in ein Synchronisationsregister übernommen,
- für die Dauer der Erregung des Lesesteuersignals (DIOR-) wird das Synchronisationsregister zum ATA-Datenbus durchgeschaltet (vorausgesetzt, die Portadresse in den Bits 3...0 des DH-Registers gehört zum Adreßbereich des betreffenden Adapters (selektive Aktivierung)).



Prinzipschaltung eines ATA-E-A-Adapters

Ausführungen:

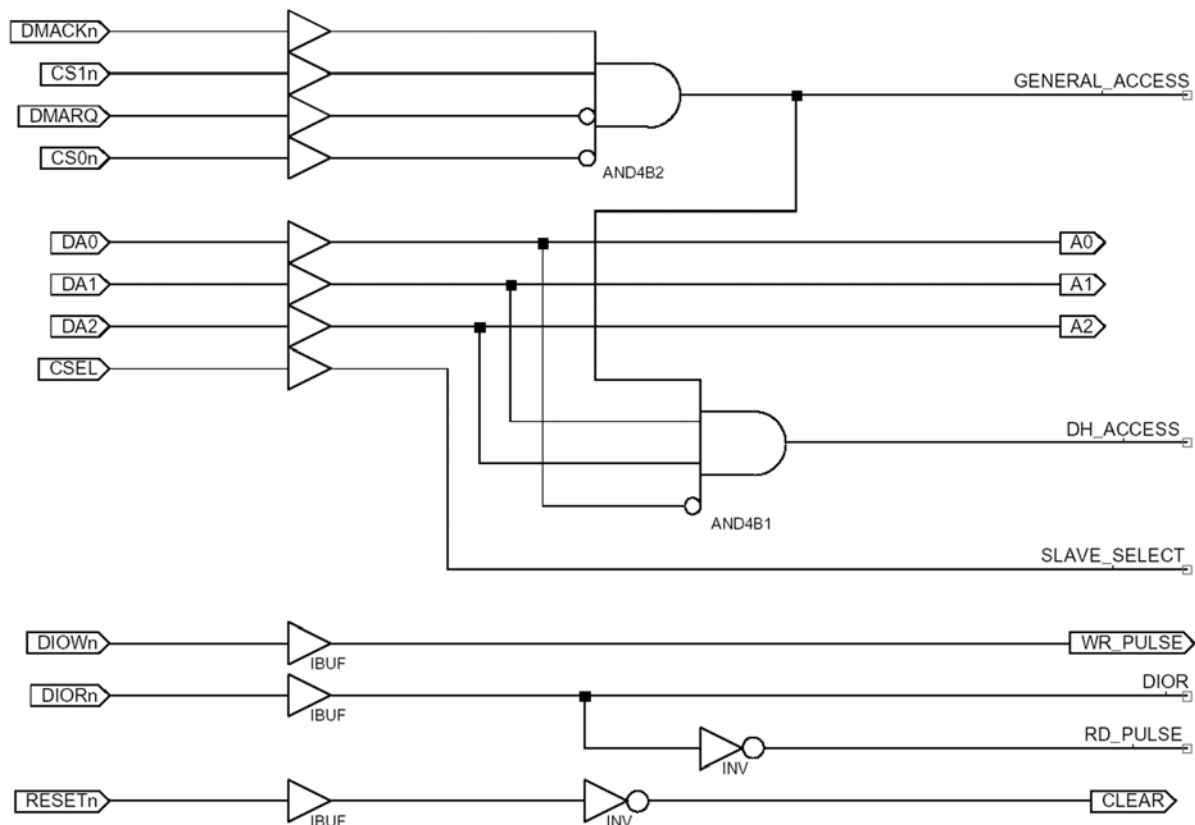
Ausführung	Gerätekonfiguration	Besonderheiten	diagnost. Anzeigen
ATA-Frontend 01a	externer Anschluß (CSEL)		Auswahl + DH3...0
ATA-Frontend 01b	externer Anschluß (CSEL)	Leseimpuls herausgeführt	nur Auswahl
ATA-Frontend 01b	externer Anschluß (CSEL)	Leseimpuls herausgeführt, kein Synchronisationsregister	nur Auswahl
ATA-Frontend 02	fest auf Slave (Device 1) konfiguriert		nein



ATA-Frontend 01a (für CPLDs Xilinx 95xx). Links ATA-Schnittstelle, rechts Anwendungsschaltungen

Anmerkungen:

1. CSEL. Gerätekonfiguration durch Festbeschaltung: 0 = Master, 1 = Slave. Alternative: Anlegen des ATA-Signals CABLE SELECT.
2. READ_ENABLE_OUT/READ_ENABLE_IN (REO/REI). Aufschalterlaubnis für ATA-Datenbus. Signal über zwei Pins geführt, die extern zu verbinden sind. Grund: Nutzung der generellen Tri-State-Steuerung in den Xilinx 9500-CPLDs.
3. READ_ADRS. Auschalterlaubnis beim Lesen. Ist von den Anwendungsschaltungen zu bilden. Aktivierung, wenn Inhalt der Bits 3...0 des DH-Registers zum Portadreibereich des Adapters gehört. Wird die selektive Adressierung nicht unterstützt, ist READ_ADRS fest mit High zu belegen.



ATA-Frontend 01a. ATA-Steuer- und Adreßsignale, grundsätzliche Zugriffsdecodierung

Allgemeine Zugriffserlaubnis (für PIO-Zugriffe gemäß ATA-Standard):

$$\text{GENERAL_ACCESS} = \text{/DMARQ} \ \& \ \text{DMACK-} \ \& \ \text{CS1-} \ \& \ \text{/CS0-}$$

(Kein DMA und CS1- = 1 und CS0- = 0.)

Zugriff zum DH-Register:

$$\text{DH_ACCESS} = \text{GENERAL_ACCESS} \ \& \ \text{DA2} \ \& \ \text{DA1} \ \& \ \text{/DA0}$$

Wichtig:

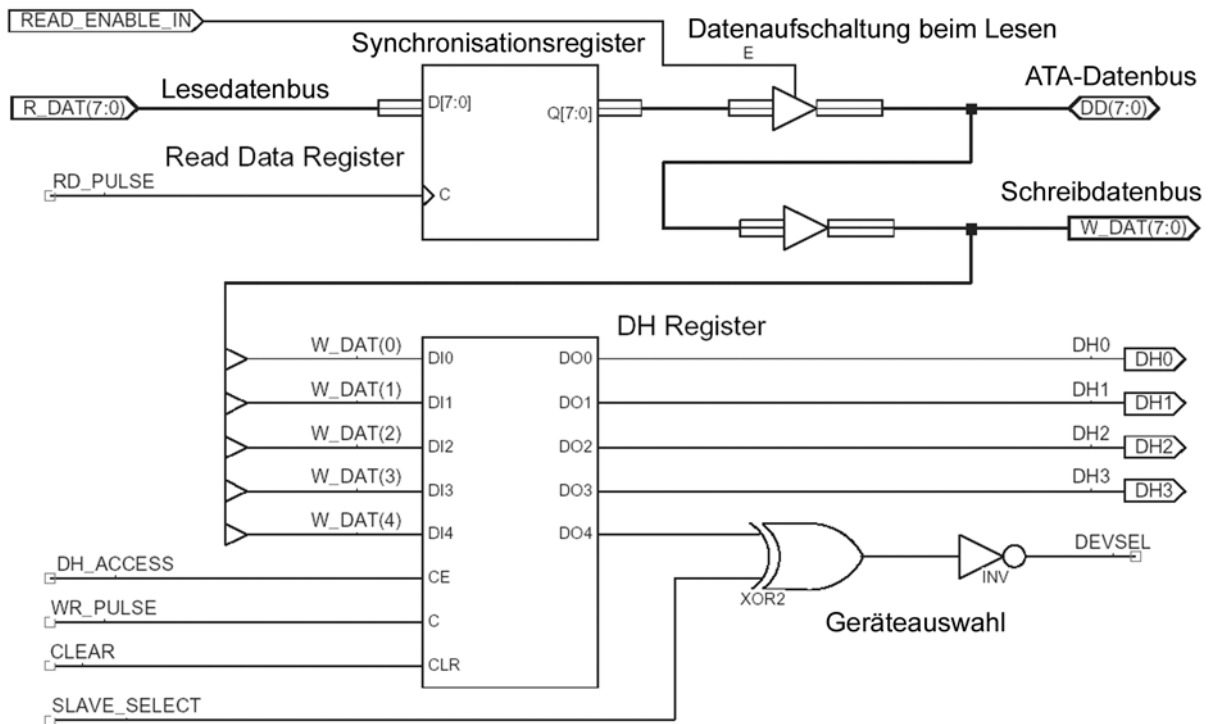
Im Gegensatz zum ATA-Standard werden zum DH-Register nur Schreibzugriffe ausgeführt. Lesezugriffe müssen wirkungslos bleiben (um zu verhindern, daß das BIOS die Anwesenheit eines solchen Adapters erkennt (wonach es beginnen würde, ihn wie ein Laufwerk zu behandeln)). Schreibzugriffe zum DH-Register müssen von Geräteauswahl (Device 0/1 bzw. Master/Slave) unabhängig sein.

Datenbusstruktur:

Der ATA-Datenbus wird zum internen Schreibdatenbus weitergeleitet. Die Lesedaten werden über ein Synchronisationsregister auf den ATA-Datenbus aufgeschaltet. Übernahme der Lesedaten (Synchronisation): mit der Vorderflanke (High-Low) des ATA-Lesesignals (DIOR-).

Hinweis:

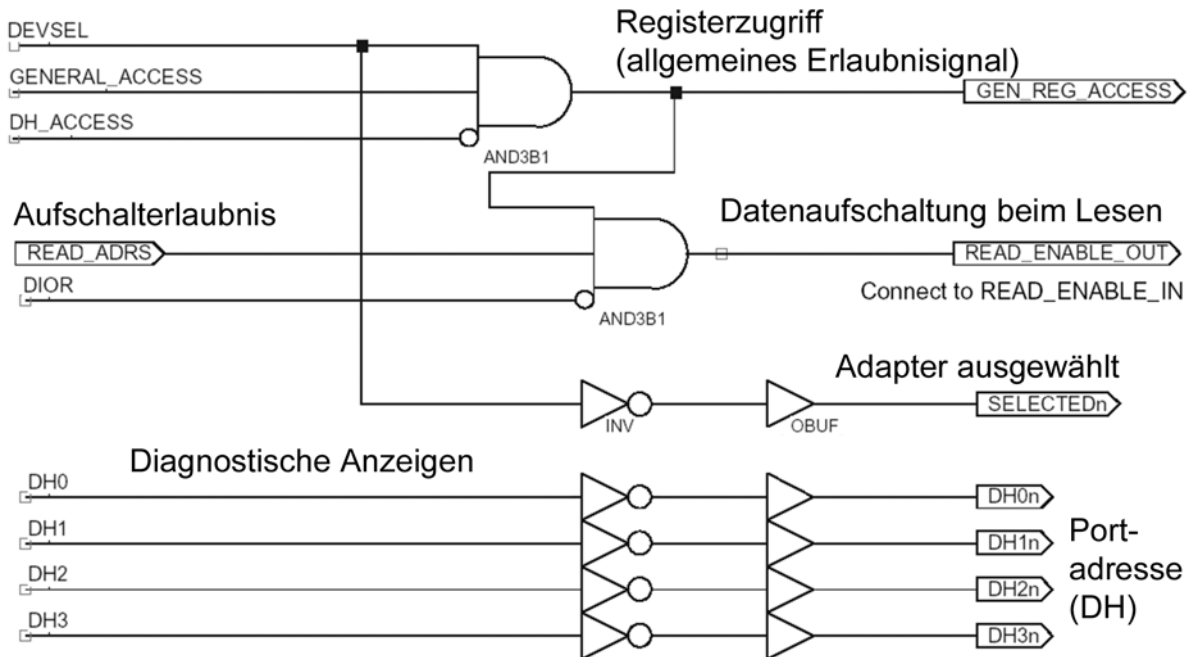
Der Lesedatenweg ist abzuändern, wenn die Lesedaten der Anwendungsschaltung erst später im Zyklus bereitstehen (geänderter Übernahmezeitpunkt oder gar kein Synchronisationsregister).



ATA-Frontend 01a. ATA-Datenbus, Lesedatenweg mit Synchronisationsregister, DH-Register, Erkennung der Geräteauswahl

Auswahlsteuerung über Geräteauswahlbit (DH_4):

$$DEVSEL = DH4 \& SLAVE_SELECT \vee \neg DH4 \& \neg SLAVE_SELECT = DEVICE \text{ xnor } SLAVE$$



ATA-Frontend 01a. Zugriffserlaubnis für die anderen ATA-Register, Aufschaltung auf Datenbus beim Lesen, diagnostische Anzeigen

Allgemeine Zugriffserlaubnis für die anderen ATA-Register:

$$\text{GEN_REG_ACCESS} = \text{GENERAL_ACCESS} \& \text{DEVSEL} \& \text{/DH_ACCESS}$$

(Zugriff, wenn allgemeine Zugriffserlaubnis und Gerät ausgewählt und kein Zugriff zum DH-Register.)

Hinweis:

Diese elementare Auslegung unterstützt vier weitere ATA-Register (Register 2 bis 5). Die entsprechenden Zugriffssteuersignale können (in der Anwendungsschaltung) wie folgt gebildet werden:

$$\text{REG_2_ACCESS} = \text{GEN_REG_ACCESS} \& \text{/DA2} \& \text{DA1} \& \text{/DA0} \& \text{DH_DECODE_2}$$
$$\text{REG_3_ACCESS} = \text{GEN_REG_ACCESS} \& \text{/DA2} \& \text{DA1} \& \text{DA0} \& \text{DH_DECODE_3}$$
$$\text{REG_4_ACCESS} = \text{GEN_REG_ACCESS} \& \text{DA2} \& \text{/DA1} \& \text{/DA0} \& \text{DH_DECODE_4}$$
$$\text{REG_5_ACCESS} = \text{GEN_REG_ACCESS} \& \text{DA2} \& \text{DA1} \& \text{/DA0} \& \text{DH_DECODE_5}$$

Ein Registerzugriff wird nur dann ausgeführt, wenn im DH-Register eine entsprechende (anwendungsspezifische) Portadresse steht (DH_DECODE_x).

Wichtig:

Sind die Bits 3..0 des DH-Registers mit Null belegt, darf keine Funktion ausgeführt werden (weil typischerweise das BIOS Nullen in diese Positionen lädt (und zurückzulesen versucht), um zu erkennen, ob ein Laufwerk installiert ist).

Aufschaltung auf Datenbus beim Lesen:

$$\text{READ_ENABLE} = \text{GEN_REG_ACCESS} \& \text{READ_ARS} \& \text{/DIOR}$$

Aufschaltung, wenn Zugriffserlaubnis und Portadresse im entsprechenden Bereich und Lesezugriff (selektive Aktivierung).

Hinweis:

READ_ADRS ist typischerweise das Ausgangssignal des Portadressedecoders der Anwendungsschaltung. Werden die Portadressen einzeln decodiert, könnte READ_ADRS als disjunktive Verknüpfung gebildet werden. Beispiel (vgl. oben):

$$\text{READ_ARDS} = \text{DH_DECODE_2} \vee \text{DH_DECODE_3} \vee \text{DH_DECODE_4} \vee \text{DH_DECODE_5}$$

Diagnostische Anzeigen:

Die Signale sind vorzugsweise zum Anschließen von LEDs vorgesehen. Sie sind aktiv Low (LED von + 5 V über Vorwiderstand zum jeweiligen Anschluß). Es werden unterstützt:

- die Geräteauswahlanzeige (DEVSEL wird zu SELECTEDn),
- die Adreßbits im DH-Register (DH3n...0n).