

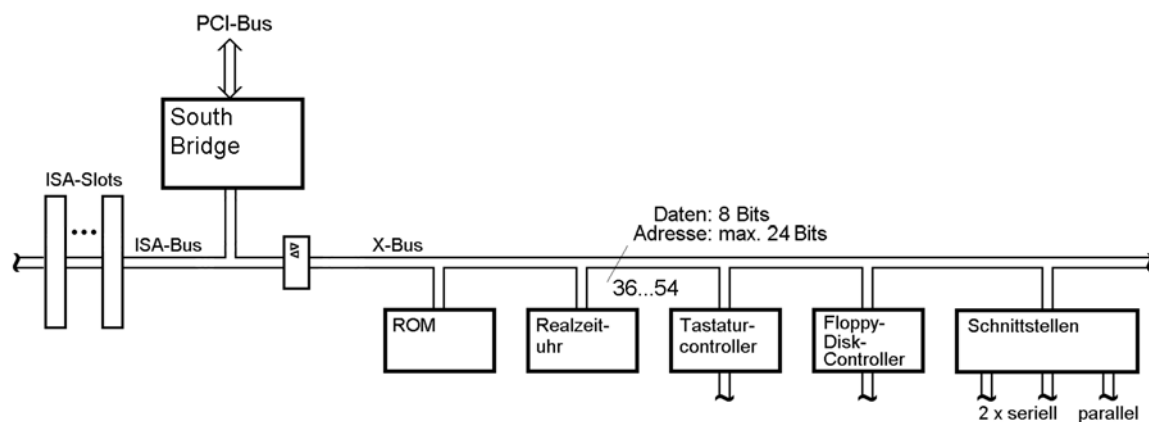
# Das LPC-Interface

## 1. Grundlagen

### 1.1 Einsatzgebiet

LPC = Low Pin Count Interface Specification (= "Interface mit geringer Anschlußzahl"). Das LPC-Interface ist ein synchroner Zeitmultiplex-Bus, an den vorzugsweise PC-typische Standard- und Klein-Peripherie angeschlossen werden soll. Das betrifft Floppy-Disk-Controller, Tastatur-Controller, Realzeituhr, Schnittstellen-Controller, Audio-Hardware, ROM-Speicheranordnungen, Systemverwaltungseinrichtungen usw. LPC ist ein Interface zwischen Schaltkreisen auf jeweils einer einzigen Leiterplatte (vorzugsweise auf einem PC-Motherboard); Steckplätze (Slots) sind nicht vorgesehen. LPC soll den bisher als Schaltkreis-Interface verwendeten ISA- bzw. X-Bus ablösen (Abb. 1.1 bis 1.3). Die LPC-Spezifikation wurde von Intel entwickelt und 1997 erstmals veröffentlicht (sie ist im Internet zugänglich). Die Entwicklungsziele:

- etwas Moderneres als der ISA- oder X-Bus,
- beträchtliche Verringerung der Leitungs- und Anschlußzahlen (Kostensenkung),
- funktionelle Abwärtskompatibilität zum ISA- bzw. X-Bus (LPC soll dieselben Zugriffe ausführen können: Speicherzugriffe, E-A-Zugriffe, DMA-Betrieb, Busmasterbetrieb, Unterstützung von Wartezuständen, Interruptsignalisierung),
- Unterstützung des gesamten linearen Speicheradreßraums (4 GBytes),
- Unterstützung von Sonderfunktionen und -betriebsarten (Stromsparsteuerung, Systemverwaltung),
- synchrone Arbeitsweise,
- Datenraten und Latenzzeiten in derselben Größenordnung wie beim ISA- bzw. X-Bus (LPC muß nicht "schneller" sein; eine Datenrate von 1...2 MBytes/s genügt vollkommen),
- die Unterstützung weiterer (moderner) Bussysteme (z. B. USB) ist nicht erforderlich; an ein LPC-Interface werden grundsätzlich keine USB-Controller o. dergl. angeschlossen.



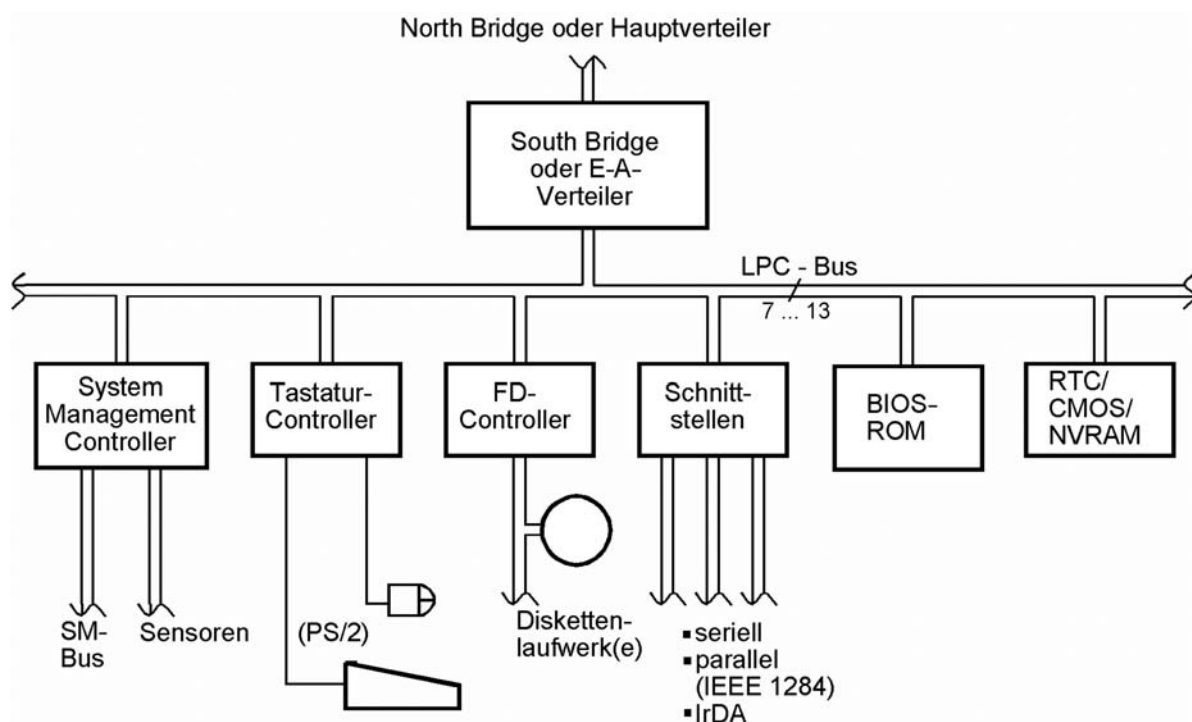
**Abb. 1.1** Herkömmliches Motherboard mit X-Bus (nach Intel).

Die in Abb. 1.1 dargestellten Speicher- und E-A-Schaltkreise werden herkömmlicherweise direkt an den ISA-Bus oder an den X-Bus angeschlossen. Der X-Bus ist praktisch ein abgezwigter ISA-Bus mit folgenden Merkmalen:

- Datenwegbreite: 8 Bits,
- Adresse: bis zu 24 Bits (16-MByte-Speicheradreßraum),
- Funktionsweise: wie ISA (bei Beschränkung auf 8-Bit-Zugriffe),
- maximale Datenrate: knapp über 1 MBytes/s,
- keine Steckkarten-Slots; alle am X-Bus angeschlossenene Einrichtungen sind fest auf dem Motherboard angeordnet.

In einer typischen Ausführung umfaßt der X-Bus folgende – vom ISA-Bus her bekannten – Signale:

- Daten: D7...0,
- Adresse: SA15...0 (Beschränkung auf den E-A-Adreßraum),
- Steuersignale: IOR# (Lesen), IOW# (Schreiben), IOCHRDY (Wartezustand),
- DMA: DREQ3...0, DACK3#...0#, TC.



**Abb. 1.2** Motherboard mit LPC-Interface (Ausschnitt).

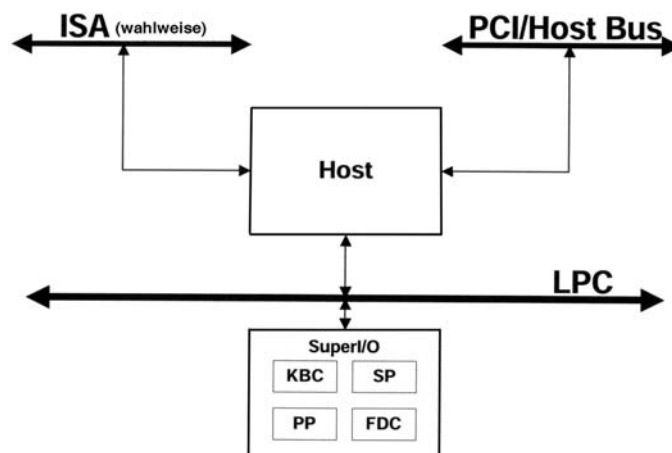
LPC ersetzt den X-Bus durch ein mehr serielles synchrones Interface. Hierdurch wird eine beträchtliche Anzahl von Signalleitungen eingespart (Tabelle 1.1). Die Vorteile:

- es wird weniger Platz auf dem Motherboard belegt,
- es ist möglich, E-A-Schaltkreise in kleinere Gehäuse einzubauen.

Interface	Anzahl der Signalleitungen
einfacher X-Bus (nur E-A-Zugriffe)*)	36
voll ausgebauter ISA-Bus, 8 Bits	54
voll ausgebauter ISA-Bus, 16 Bits	88
LPC, einfachste Auslegung	7 (6 + Bustakt)
LPC mit allen wahlfreien Signalen	13 (12 + Bustakt)

\*) gemäß obigem Implementierungsbeispiel.

**Tabelle 1.1** Signalleitungen verschiedener Motherboard-Interfaces.



**Abb. 1.3** Das LPC-Interface im System (nach Intel).

Abb. 1.3 veranschaulicht anhand eines sehr allgemeinen Blockschaltbildes, wie LPC in das System eingeordnet ist:

- *Host* ist hier die Gesamtheit der Steuerschaltkreise (Zusammenfassung der Host-to-PCI- und der PCI-to-LPC Bridges). Das LPC-Interface wird zentral vom Host gesteuert (genauer gesagt: von dem Schaltkreis, der die PCI-to-LPC Bridge enthält).
- *Super I/O* ist das Beispiel eines E-A-Schaltkreises, der an das LPC-Interface angeschlossen ist (KBC = Tastaturcontroller, SP = serielle Schnittstelle, PP = parallele Schnittstelle, FDC = Floppy-Disk-Controller).
- *ISA*: das System kann (wahlweise) nach wie vor einen ISA-Bus enthalten. Dieser wird aber von einer PCI-to-ISA-Bridge angesteuert und ist nicht direkt mit dem LPC-Interface verbunden (beide PCI-Brücken (zu LPC und ISA) sind typischerweise in einem Schaltkreis) zusammengefaßt.

Wie der ISA- bzw. X-Bus ist LPC ein Interface, das vor allem unter zentraler Steuerung zu einfachen Lese- und Schreibzugriffen auf einzelne Bytes im E-A- oder Speicheradreibraum verwendet wird. Die zentralen Steuerschaltungen (PCI-to-LPC Bridge) sind hierbei der Busmaster, die angeschlossenen Einrichtungen die Targets. Darüber hinaus werden aber auch DMA- und Busmaster-Zugriffe unterstützt (und zwar mit Zugriffsbreiten von 1, 2 oder 4 Datenbytes je Buszyklus).

Adressen:

- bei Speicherzugriffen: 32 Bits,
- bei E-A-Zugriffen: 16 Bits.

Tabelle 1.2 gibt einen Überblick über die verschiedenen Einrichtungen, die an ein LPC-Interface angeschlossen werden können.

Einrichtung	Zugriffe			
	E-A-Adreßraum	Speicheradreßraum	DMA-Betrieb	Busmasterbetrieb
Tastaturcontroller <sup>1)</sup>	ja	-	-	-
serielle Schnittstelle <sup>1)</sup>	ja	-	-	-
parallele Schnittstelle <sup>1)</sup>	ja	-	ja <sup>2)</sup>	ja <sup>2), 3)</sup>
IrDA-Schnittstelle <sup>1)</sup>	ja	-	ja <sup>2)</sup>	ja <sup>2)</sup>
Audio-Hardware	ja	-	ja <sup>2)</sup>	ja <sup>2)</sup>
Realzeituhr	ja	-	-	-
Floppy-Disk-Controller <sup>1)</sup>	ja	-	ja	-
Systemverwaltungssteuerung	ja	-	-	ja
Speicher (einschließlich BIOS-ROM)	-	ja	-	-

1): typischerweise in einem Schaltkreis zusammengefaßt (Super bzw. Ultra I/O); 2): DMA- oder Busmasterbetrieb je nach Auslegung des Steuerschaltkreises; 3): in den Betriebsarten ECP oder EPP gemäß IEEE 1284.

**Tabelle 1.2** Anschließbare Einrichtungen (Auswahl)

**Konfigurationssteuerung.** Hierzu ist nichts spezifiziert. Die LPC-Einrichtungen müssen vom BIOS konfiguriert werden. Erforderlichenfalls sind Konfigurationsregister vorzusehen, die über den Plattform-E-A-Adreßbereich (Adressen 00H...FFH) zugänglich sind.

## 1.2 Übersicht über die LPC-Signale

LPC ist ein zentral gesteuertes synchrones Bussystem mit zeitmultiplexer Übertragung von Adressen, Kommandos und Daten über einen 4-Bit-Signalweg. Seine Wirkprinzipien beruhen auf jenen des PCI-Bus. Es arbeitet mit dem gleichen Bustakt (33 MHz). Die Grundausstattung umfaßt nur 7 Signale (einschließlich Bustakt), die bedarfsweise um weitere Signale ergänzt werden können (Abb. 1.4, Tabellen 1.3 und 1.4).

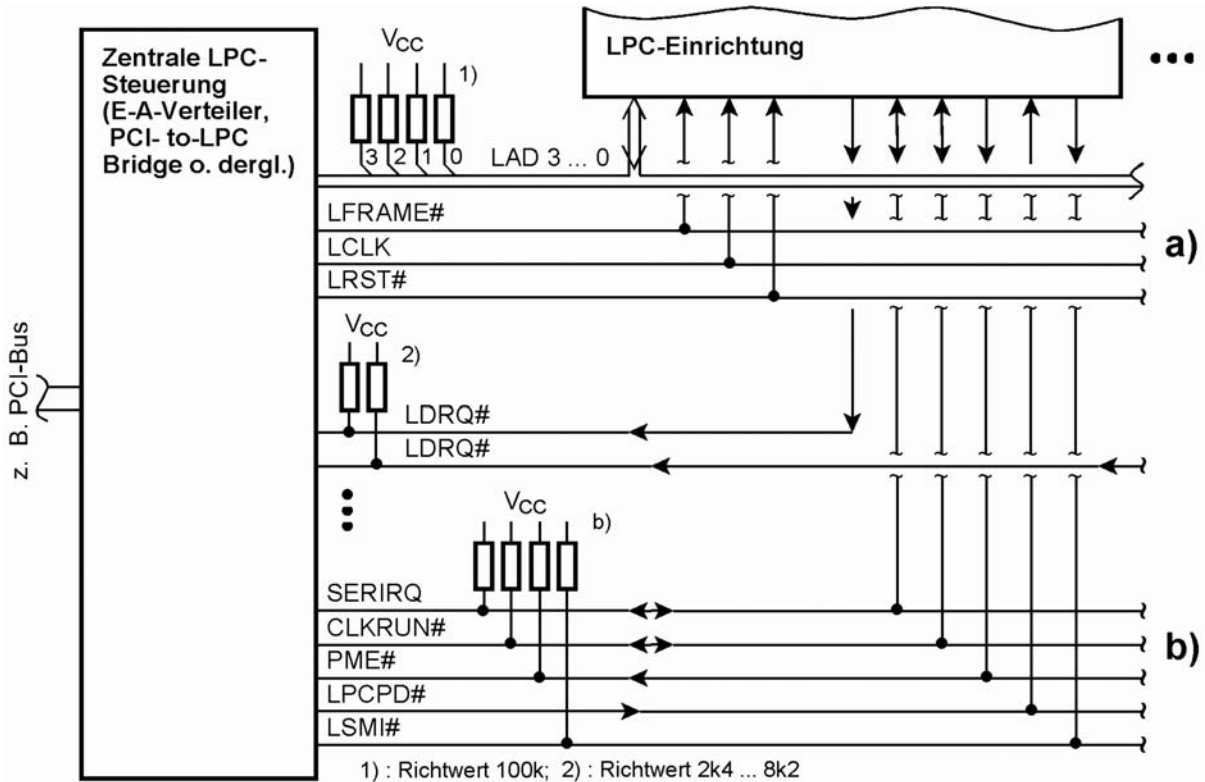


Abb. 1.4 Die LPC-Signale. a) obligatorisch, b) wahlfrei.

Einrichtung	Zugriffe			
	E-A-Adreßraum	Speicheradreßraum	DMA-Betrieb	Busmasterbetrieb
Tastaturcontroller <sup>1)</sup>	ja	-	-	-
serielle Schnittstelle <sup>1)</sup>	ja	-	-	-
parallele Schnittstelle <sup>1)</sup>	ja	-	ja <sup>2)</sup>	ja <sup>2), 3)</sup>
IrDA-Schnittstelle <sup>1)</sup>	ja	-	ja <sup>2)</sup>	ja <sup>2)</sup>
Audio-Hardware	ja	-	ja <sup>2)</sup>	ja <sup>2)</sup>
Realzeituhr	ja	-	-	-
Floppy-Disk-Controller <sup>1)</sup>	ja	-	ja	-
Systemverwaltungssteuerung	ja	-	-	ja
Speicher (einschließlich BIOS-ROM)	-	ja	-	-

1): typischerweise in einem Schaltkreis zusammengefaßt (Super bzw. Ultra I/O); 2): DMA- oder Busmasterbetrieb je nach Auslegung des Steuerschaltkreises; 3): in den Betriebsarten ECP oder EPP gemäß IEEE 1284

Tabelle 1.3 Anschließbare Einrichtungen (Auswahl).

Signal	Signaltyp <sup>2)</sup>	Erklärung
LAD3...0 <sup>1)</sup>	bidirektional (Busleitungen)	<i>Multiplexed Command, Address and Data</i> . 4-Bit-Signalweg zur zeitmultiplexen Übertragung von Kommandos, Adressen und Daten
LFRAME#	Eingang	Zyklussteuersignal. Kennzeichnet Beginn eines Buszyklus (ähnlich FRAME# beim PCI-Bus)
LRST# <sup>3)</sup>	Eingang	Rücksetzen (wie RST# beim PCI-Bus)
LCLK	Eingang	Bustakt (33 MHz; wie CLK beim PCI-Bus)

#: Signal wirkt aktiv Low; 1): Bezeichnung gemäß Intel: LAD[3:0] wie in der PCI-Dokumentation (wir verwenden hier eine vereinfachte Darstellung); 2): aus Sicht der angeschlossenen Einrichtungen; 3): andere Bezeichnung: LRESET#-

**Tabelle 1.4** Obligatorische Signale des LPC-Interfaces.

Signal	Signaltyp <sup>*)</sup>	Erklärung
LDRQ#	Ausgang; Einzelsignal	<i>Encoded DMA/Bus Master Request</i> . Anforderungssignal für DMA- oder Busmaster-Anforderungen
SERIRQ	bidirektional; OD-Busleitung	<i>Serialized IRQ</i> . Dient zur seriellen Übertragung von Interrupt-Anforderungen
CLKRUN#	bidirektional; OD-Busleitung	<i>Clock Run</i> . Wirkt wie das gleichnamige PCI-Signal. Steuert das Anhalten des Bustaktes
PME#	Ausgang; OD-Busleitung	<i>Power Management Event</i> . Wirkt wie das gleichnamige PCI-Signal. Dient zum Signalisieren von Stromsparereignissen
LPCPD#	Eingang	<i>Power Down</i> . Kennzeichnet ein bevorstehendes Ausschalten
LSMI#	Ausgang; OD-Busleitung	<i>System Management Interrupt</i> . Zum Auslösen entsprechender Anforderungen

#: Signal wirkt aktiv Low; OD = Open Drain (wie beim PCI-Bus); \*): aus Sicht der angeschlossenen Einrichtungen.

**Tabelle 1.5** Wahlfreie Signale des LPC-Interfaces (jeweils nur vorzusehen, wenn benötigt).

## 1.3 Elektrische Auslegung

Die elektrische Auslegung entspricht jener des PCI-Bus.

*Hinweise:*

- Vorzugsweise Auslegung: 3,3 V.
- Die Pegel des Takt- und des Rücksetzsignals (LCLK, LRST#) entsprechen typischerweise jenen des im System vorhandenen PCI-Bus (5 V bzw. 3,3 V).
- In einer 5-V-PCI-Umgebung müssen LPC-Einrichtungen bei 3,3-V-Betrieb 5-V-tolerante Eingänge für LCLK und LRST# haben.

## 1.4 Mechanische Auslegung

LPC ist ein reines Schaltkreis- bzw. Motherboard-Interface. Es gibt keine Slots und demzufolge auch keine standardisierten Anschlußbelegungen. Die Anforderungen an Leitungslängen, Leiterzugführung usw. entsprechen jenen des PCI-Bus.

## 2. Einzelbeschreibung der Signale

### 2.1 LCLK: Bustakt

LPC ist ein synchrones Bussystem. Alle anderen Bussignale mit Ausnahme von LRST# werden auf die Low-High-Flanke des Bustaktes LCLK bezogen.

*Signaltyp:* Eingang.

*Taktfrequenz* (Richtwert): 33 MHz.

LCLK wird von einem zentralen Taktgenerator erzeugt. Es entspricht dem Taktsignal CLK des PCI-Bus.

### 2.2 LRST#: Rücksetzen

Über die Leitung LRST# wird allen Einrichtungen am LPC-Interface ein Rücksetzsignal zugeführt.

*Signaltyp:* Eingang.

LRST# wird von den zentralen Steuerschaltungen erregt. Es entspricht dem Rücksetzsignal RST# des PCI-Bus.

*Rücksetzwirkung*

Alle Signale werden in ihren inaktiven Zustand versetzt bzw. nicht ausgewertet (Tabelle 2.1).

<b>Rücksetzwirkung</b>	
<b>in den zentralen Steuerschaltungen</b>	<b>in den Einrichtungen</b>
<ul style="list-style-type: none"> <li>• LFRAME# wird auf High-Pegel getrieben,</li> <li>• LAD3...0 werden hochohmig geschaltet<sup>*)</sup>,</li> <li>• die LDRQ-Signale werden ignoriert</li> </ul>	<ul style="list-style-type: none"> <li>• LFRAME# wird ignoriert,</li> <li>• LAD3...0 werden hochohmig geschaltet<sup>*)</sup>,</li> <li>• die LDRQ-Signale werden auf High-Pegel getrieben</li> </ul>

<sup>\*)</sup>: die Signale werden über ihre Pull-up-Widerstände nach High gezogen.

**Tabelle 2.1** Rücksetzwirkungen am LPC-Interface.

## 2.3 Adressen, Kommandos, Daten: LAD3...0

Diese vier Signale werden zeitmultiplex zum Übertragen von Adressen, Zugriffskommandos, weiteren Steuerangaben und Daten verwendet. In einem laufenden Buszyklus hat in jedem Takt die Belegung von LAD3...0 eine bestimmte Bedeutung. Die verschiedenen Belegungen werden in Abschnitt 3.2 näher erklärt.

*Signaltyp:* Tri-State-Busleitung, bidirektional. Mit hochohmigem Pull-up-Widerstand beschaltet (Richtwert: 100 k $\Omega$ ).

## 2.4 Zyklussteuerung: LFRAME#

Das Signal kennzeichnet den Beginn bzw. den Abbruch eines Buszyklus.

*Signaltyp:* Eingang.

LFRAME# wird von den zentralen Steuerschaltungen erregt.

Die Einrichtungen beobachten LFRAME#, um zu erkennen, wann ein Buszyklus gestartet wird. (Befindet sich der Bus in Ruhe, so können die Einrichtungen intern in einen Stromsparszustand übergehen. Dieser ist zu verlassen, sobald LFRAME# aktiv ist.)

Ist LFRAME# aktiv, so müssen die Einrichtungen LAD3...0 im nächsten Takt hochohmig schalten.

## 2.5 Wahlfreie Signale

### 2.5.1 DMA- oder Busmaster-Anforderungen: LDRQ#

LDRQ# dient zum bitseriellen Übertragen von DMA- und Busmaster-Anforderungen. Jede Einrichtung, die solche Anforderungen stellen kann, erregt ein eigenes LDRQ-Signal. DMA- oder Busmaster-Anforderungen werden mit kennzeichnenden Bitfolgen signalisiert. Die zentralen Steuerschaltungen müssen für jede entsprechende Einrichtung einen LDRQ-Eingang (und die zugehörigen Auswerteschaltungen) haben. Ungenutzte LDRQ-Eingänge sind typischerweise mit einem Pull-up-Widerstand (Richtwert: 100 k $\Omega$ ) beschaltet.

*Signaltyp:* Ausgang.

### 2.5.2 Interruptsignalisierung: SERIRQ

SERIRQ dient zum bitseriellen Übertragen von Interrupt-Anforderungen.

*Signaltyp:*

- für die zentralen Steuerschaltungen: Tri-State-Busleitung mit Pull-up-Widerstand, bidirektional. (Signal läßt sich auf Low, auf High oder hochohmig schalten),
- für die anderen Einrichtungen: Open-Drain-Ausgang + Eingang (Ziehen nach Low, "Zurücklesen" der Belegung).



Weitere Einzelheiten in Abschnitt 3.3.6.

Anstelle der seriellen Interruptsignalisierung können unabhängige Einzelsignale (IRQ-Signale) vorgesehen sein (herkömmliche Interruptsignalisierung).

### **2.5.3 Taktsteuerung: CLKRUN#**

Dieses Signal dient der Taktsteuerung (d. d. dem Anhalten und Starten des Taktes), insbesondere in mobilen Systemen. Es entspricht dem CLKRUN-Signal des PCI-Bus.

*Signaltyp:*

- für die zentralen Steuerschaltungen: Tri-State-Busleitung mit Pull-up-Widerstand, bidirektional (vgl. "Sustained Tri State" (STS) beim PCI-Bus),
- für die anderen Einrichtungen: Open-Drain-Ausgang + Eingang (zum "Zurücklesen" der Belegung).

*Hinweise:*

1. Eine Einrichtung, die über LDRQ# eine DMA- oder Busmaster-Anforderung stellen möchte, benötigt hierzu einen laufenden Takt. Sie muß deshalb ggf. über CLKRUN# das Starten des Taktes veranlassen.
2. Wird gerade über LDRQ# eine DMA- oder Busmaster-Anforderung signalisiert, darf der Takt nicht angehalten werden (die zentralen Steuerschaltungen dürfen also CLKRUN# nicht deaktivieren).

### **2.5.4 Stromspar-Ereignissignalisierung: PME#**

Mit diesem Signal können LPC-Einrichtungen ein Stromsparereignis (Power Management Event) anfordern. Es entspricht dem PME-Signal des PCI-Bus.

*Signaltyp:* Open-Drain-Busleitung mit Pull-up-Widerstand, die von jeder Einrichtung erregt werden kann (Ausgang). Auswertung: durch die zentralen Steuerschaltungen.

### **2.5.5 Ausschaltanzeige: LPCPD#**

Dieses Signal dient dazu, den Einrichtungen anzukündigen, daß ein Übergang zwischen ein- und ausgeschaltetem Zustand bevorsteht.

*Signaltyp:* Eingang. Wird von den zentralen Steuerschaltungen typischerweise mit 3,3-V-Signalpegel belegt.

- LPCPD# = Low: kennzeichnet ein bevorstehendes Ausschalten,
- LPCPD# = High: Einrichtung eingeschaltet.

Weitere Einzelheiten in Abschnitt 3.3.7.

## 2.5.6 Systemverwaltungs-Interrupt: LSMI#

Dieses Signal dient zum Auslösen von Systemverwaltungs-Interrupts. Mehrere Einrichtungen können LSMI# gleichzeitig erregen.

*Signaltyp:* Open-Drain-Busleitung mit Pull-up-Widerstand, die von jeder Einrichtung erregt werden kann (Ausgang). Auswertung: durch die zentralen Steuerschaltungen.

Die Aktivierung von LSMI# bewirkt im Prozessor einen Übergang in den Systemverwaltungszustand (System Management Mode). In dieser Betriebsart werden Programme der Systemverwaltung und Stromsparsteuerung ausgeführt, und zwar vollkommen transparent gegenüber der üblichen System- und Anwendungssoftware.

## 3. Buszyklen und Signalfolgen

### 3.1 Übersicht

Kennzeichnend für LPC ist eine seriell-parallele Übertragung von Adressen, Zugriffskommandos, Steuerangaben und Daten in 4 Bits breiten Abschnitten. Es gibt verschiedene Arten von Buszyklen (Tabelle 3.1).

<b>zentrale Steuerschaltungen<sup>*)</sup> sind Busmaster</b>	
<b>Buszyklus</b>	<b>unterstützte Übertragungsbreiten</b>
Speicher Lesen	1 Byte
Speicher Schreiben	1 Byte
Eingabe (E-A Lesen)	1 Byte
Ausgabe (E-A Schreiben)	1 Byte
DMA Lesen	1, 2 oder 4 Bytes
DMA Schreiben	1, 2 oder 4 Bytes
<b>Einrichtung ist Busmaster</b>	
<b>Buszyklus</b>	<b>unterstützte Übertragungsbreiten</b>
Speicher Lesen	1, 2 oder 4 Bytes
Speicher Schreiben	1, 2 oder 4 Bytes
Eingabe (E-A Lesen)	1, 2 oder 4 Bytes
Ausgabe (E-A Schreiben)	1, 2 oder 4 Bytes

\*) : × "Host" bzw. PCI-to-LPC Bridge

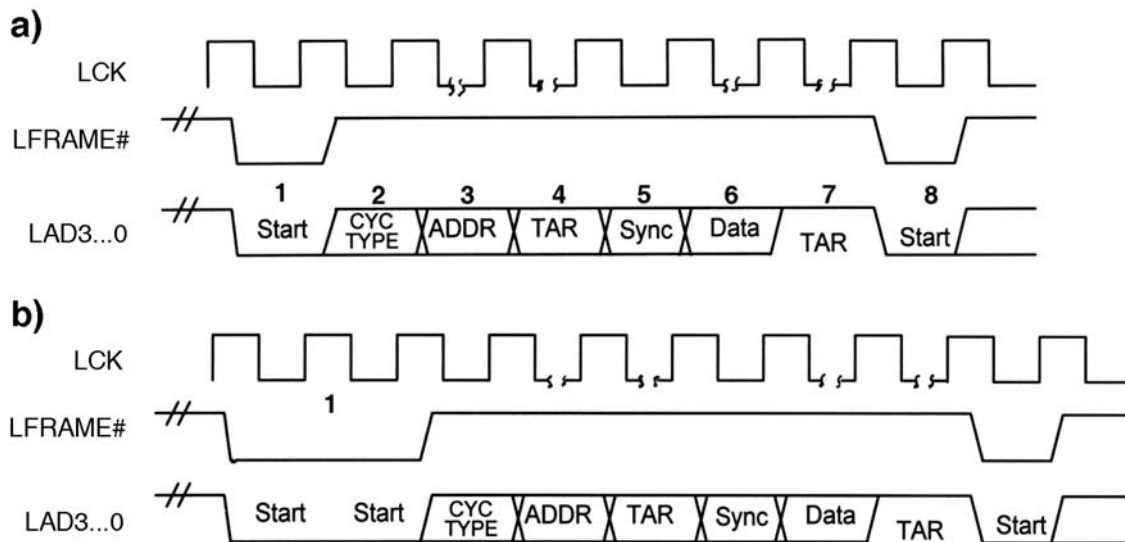
**Tabelle 3.1** Buszyklen des LPC-Interfaces.

*Hinweise:*

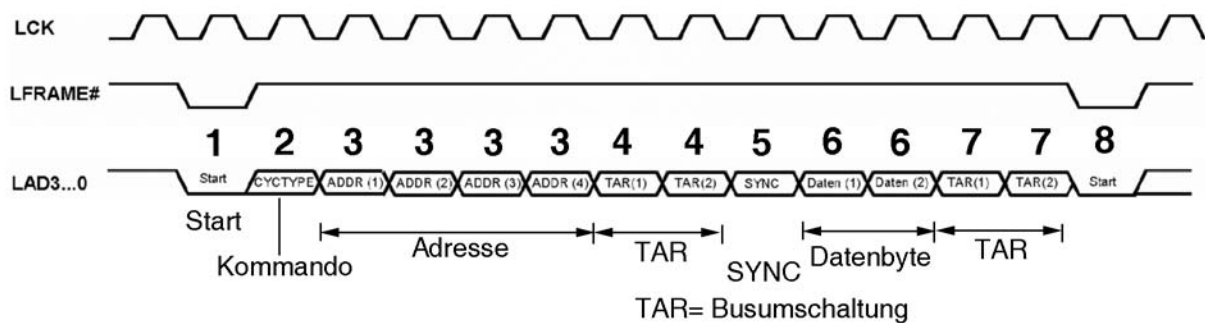
1. Die zentralen Steuerschaltungen unterstützen typischerweise alle Zyklen.
2. Die Auslegung der einzelnen Einrichtungen ist eine Frage der Zweckmäßigkeit (und dem Entwickler freigestellt).
3. Eine Einrichtung sollte nur Busmaster-Zyklen ausführen, die von den zentralen Steuerschaltungen auch unterstützt werden.
4. Wird eine Einrichtung mit einem Buszyklus angesprochen, den sie nicht unterstützt, so muß sie diesen Buszyklus ignorieren.

### 3.2 Der Ablauf eines Buszyklus

Der Beginn eines Buszyklus wird durch Aktivieren von LFRAME# angezeigt. In jedem Takt des Buszyklus hat die jeweilige Belegung der LAD-Leitungen eine bestimmte Bedeutung (Abb. 3.1).



**Abb. 3.1** LPC-Buszyklen (nach Intel). Beispiele für Lesezugriffe. a) mit normaler, b) mit erweiterter LFRAME-Aktivierung (Extended LFRAME# Timing). LFRAME# darf für mehr als einen Taktzyklus aktiv sein. Maßgebend für die Einrichtungen ist die Startbelegung während des jeweils letzten Taktzyklus, in dem LFRAME# aktiv ist.



**Abb. 3.2** Das Lesen eines Bytes. Es ist jeder einzelne Takt dargestellt.

Die Abb. 3.1 und 3.2 zeigen einfache Leseabläufe unter Vernachlässigung von Einzelheiten. Es wird jeweils ein Byte gelesen.

1. Jeder Buszyklus beginnt mit aktivem LFRAME# und einer Start-Belegung.
2. Mit dem darauffolgenden Takt wird das Zugriffskommando übertragen (CYCTYPE = Typ des Buszyklus).
3. Die Adresse wird übertragen. Je nach Länge der Adresse werden hierfür 4 oder 8 Takte benötigt.
4. Busumschaltung (TAR = Turnaround). Beim Lesen muß der Master zunächst den Bus auf das Target umzuschalten, damit dieses die Daten liefern kann. Jede Umschaltung dauert 2 Takte.
5. Synchronisation (SYNC). Dient entweder zum Anzeigen, daß der Buszyklus fortgesetzt werden kann, zum Einfügen von Wartezuständen oder zur Fehlersignalisierung. (Gibt es keinen Wartezustand, wird nur eine einzige SYNC-Belegung übertragen.)
6. Datenübertragung. Um ein Byte zu übertragen, werden 2 Takte benötigt.
7. Abschließende Busumschaltung (2 Takte). Das Target muß den Bus wieder auf den Master umschalten (so daß dieser den nächsten Buszyklus starten kann).
8. Früheste Gelegenheit zum Starten des nächsten Buszyklus.

Jeder Buszyklus läuft als Folge solcher Busbelegungen ab. Es gibt folgende Busbelegungen:

- Startbelegung (START),
- Zugriffskommando (CYCTYPE + DIR),
- Zugriffsbreite (SIZE),
- Adresse (ADDR),
- DMA-Kanal (CHANNEL),
- Busumschaltung (TAR),
- Daten (DATA),
- Synchronisation (SYNC).

Im folgenden erklären wir zunächst die einzelnen Busbelegungen. Die verschiedenen Buszyklen stellen praktisch fest formatierte Aneinanderreihungen solcher Busbelegungen dar. Diese werden in Tabellenform beschrieben (Abschnitt 3.4 und folgende).

*Hinweis:*

Die LPC-Einrichtungen enthalten – ähnlich wie die PCI-Einrichtungen – State Machines, die den Bus beobachten und die Taktzyklen mitzählen. Bei LPC sind aber die State Machines wesentlich einfacher als bei PCI. Man kann deren Funktionsweise mit einem Schrittschaltwerk vergleichen: nach dem Start kommt das Zugriffskommando, daraus folgt, welche Belegung als nächstes zu erwarten ist (z. B. – bei E-A-Zugriffen – eine 16-Bit-Adresse) usw.

**Startbelegung (START)**

Als Startbelegung gilt die Belegung der LAD-Leitungen während des jeweils letzten (bzw. einzigen) Taktzyklus, in dem LFRAME# aktiv ist (Tabelle 3.2).

**Zugriffskommando (CYCTYPE + DIR)**

Die LAD-Belegung beschreibt den Typ des Buszyklus (CYCTYPE) und die Übertragungsrichtung (DIR; Tabellen 3.3 und 3.4).

**Zugriffsbreite (SIZE)**

Diese Belegung ist in Speicher- und DMA-Zyklen vorgesehen, um die Anzahl der zu übertragenden Bytes anzuzeigen (Tabelle 3.5).

LAD3...0	Bedeutung
0H	Start eines Buszyklus für eine (Target-) Einrichtung <sup>1)</sup>
1H	reserviert
2H	Bestätigung für Busmaster Nr. 0 <sup>2)</sup>
3H	Bestätigung für Busmaster Nr. 1 <sup>2)</sup>
4H...EH	reserviert <sup>3)</sup>
FH	Buszyklus anhalten/abbrechen (Stop/Abort) <sup>4)</sup>

- 1) Master ist die PCI-to-LPC Bridge,
- 2) derzeit werden 2 Busmaster-Einrichtungen unterstützt (Abschnitt 3.6),
- 3) mögliche Nutzung: als Bestätigungs-Code für weitere Busmaster-Einrichtungen.
- 4) s. Abschnitt 3.3.

**Tabelle 3.2** Startbelegungen

LAD3...0		
3	2	1 0
Typ des Buszyklus:	Übertragungsrichtung:	reserviert <sup>1)</sup>
<ul style="list-style-type: none"> <li>• 0H: E-A-Zugriff,</li> <li>• 1H: Speicherzugriff,</li> <li>• 2H: DMA-Zugriff,</li> <li>• 3H: reserviert<sup>2)</sup></li> </ul>	<ul style="list-style-type: none"> <li>• 0: Lesen,</li> <li>• 1: Schreiben</li> </ul>	

- 1) Bit ist vom jeweiligen Master auf Low zu treiben und vom jeweiligen Target zu ignorieren.
- 2) Belegung darf nicht verwendet werden. Erkennt eine Einrichtung (als Target) diese Belegung, muß sie den gesamten Buszyklus ignorieren. Legt eine Einrichtung (als Master) diese Belegung auf den Bus, beenden die zentralen Steuerschaltungen den Buszyklus, indem sie LFRAME# aktivieren.

**Tabelle 3.3** Zugriffskommandos (1): Format der LAD-Belegung.

LAD3...0	Bedeutung
0H	Eingabe (E-A Lesen)
2H	Ausgabe (E-A Schreiben)
4H	Speicher Lesen
6H	Speicher Schreiben
8H	DMA Lesen
AH	DMA Schreiben

**Tabelle 3.4** Zugriffskommandos (2): Übersicht

LAD3...0	Bedeutung
0H	1 Byte
1H	2 Bytes
2H	reserviert*)
3H	4 Bytes

\*) : siehe folgenden Hinweis 1.

**Tabelle 3.5** Codierung der Zugriffsbreite

*Hinweise:*

1. Die Belegungen 2H und 4H...FH sind reserviert. Sie dürfen nicht verwendet werden. Erkennt eine Einrichtung (als Target) eine solche Belegung, muß sie den gesamten Buszyklus ignorieren. Legt eine Einrichtung (als Master) eine solche Belegung auf den Bus, beenden die zentralen Steuerschaltungen den Buszyklus, indem sie LFRAME# aktivieren.
2. *E-A-Zugriffe* betreffen stets nur 1 Datenbyte. Deshalb wird die Zugriffsbreite nicht übertragen.

#### Adresse (ADDR)

Die Adresse ist bei Speicherzugriffen 32 Bits und bei E-A-Zugriffen 16 Bits lang. Demzufolge erfordert die Adreßübertragung 8 bzw. 4 Taktzyklen. Es wird der *höchstwertige* 4-Bit-Abschnitt zuerst übertragen (bei Speicherzugriffen: Bits 31...28, bei E-A-Zugriffen: Bits 15...12).

In DMA-Zyklen entfällt die Adreßübertragung.

#### Adreßdecodierung

Alle Einrichtungen beobachten den Bus, verfolgen die Buszustände und decodieren ggf. die Adresse (wie bei den anderen Bussystemen (z. B. PCI) auch müssen jeder Einrichtung bestimmte Adreßbereiche zugeordnet sei). Erkennt eine Einrichtung, daß die angebotene Adresse ihren Bereich (im jeweiligen Adreßraum) betrifft, so beteiligt sie sich als Target am weiteren Verlauf des Buszyklus.

In DMA-Zyklen erkennt sich eine Einrichtung als Target anhand der Nummer des DMA-Kanals.

#### DMA-Kanal (CHANNEL)

In DMA-Zyklen wird diese Belegung (anstelle der Adresse) von den zentralen Steuerschaltungen auf den Bus gelegt (Tabelle 3.6).

LAD3...0	
3	2
TC (Terminal Count)*)	Nummer des DMA-Kanals (7...0)

\*) : Längenzähler im DMA-Kanal auf Zählwert Null (= Ende der DMA-Übertragung).

**Tabelle 3.6** Angabe des DMA-Kanals.

**Busumschaltung (Turnaround; TAR)**

Jede Busumschaltung erfordert zwei Takte: mit dem ersten Takt werden LAD3...0 auf High getrieben, mit dem zweiten hochohmig geschaltet. Sie werden dann ggf. durch die Pull-up-Widerstände weiterhin auf High gehalten (vgl. "Sustained Tri State" (STS) beim PCI-Bus).

**Daten (DATA)**

In einem Buszyklus können 1, 2 oder 4 Datenbytes übertragen werden<sup>1</sup>. Es wird jeweils der *niedrigstwertige* 4-Bit-Abschnitt zuerst übertragen (1. Takt: Bits 3..0, 2. Takt: Bits 4..7). Bei größeren Zugriffsbreiten wird zuerst Byte 0 übertragen (Bits 7..0), dann Byte 1 (Bits 15..8) usw. Hierbei werden zwischen die einzelnen Datenbytes Busumschaltungen und Synchronisationsbelegungen eingefügt

**Synchronisation (SYNC)**

Diese Belegung (SYNC) wird vom jeweiligen Target<sup>2</sup> auf dem Bus gelegt. Hiermit zeigt das Target an, daß der Buszyklus fortgesetzt werden kann, daß Wartezustände einzufügen sind oder daß ein Fehler aufgetreten ist (Tabelle 3.7).

*Buszyklus ohne Wartezustand*

Es wird sofort eine SYNC-Belegung 0H (in DMA-Zyklen ggf. 9H) auf den Bus gelegt.

*Einfügen kurzer Wartezustände*

Dauert der Wartezustand nur wenige (maximal 8) Taktzyklen, so wird zunächst eine SYNC-Belegung 5H auf den Bus gelegt und so lange gehalten, wie der Wartezustand besteht. Aufheben des Wartezustandes: durch eine nachfolgende SYNC-Belegung 0H (in DMA-Zyklen ggf. 9H).

*Einfügen langer Wartezustände*

Dauert der Wartezustand vergleichsweise lange, so wird zunächst eine SYNC-Belegung 6H auf den Bus gelegt und so lange gehalten, wie der Wartezustand besteht. Aufheben des Wartezustandes: durch eine nachfolgende SYNC-Belegung 0H (in DMA-Zyklen ggf. 9H).

*Zeitkontrollen:*

- sehen die zentralen Steuerschaltungen innerhalb von 3 Taktzyklen gar keine gültige SYNC-Belegung, so können sie den Buszyklus abbrechen (Abschnitt 3.3),
- liegt ein kurzer Wartezustand (SYNC-Belegung 5H) für mehr als 8 Taktzyklen an, so können die zentralen Steuerschaltungen den Buszyklus abbrechen,
- die Dauer eines langen Wartezustandes (SYNC-Belegung 6H) wird nicht überwacht.

*Einfügen der SYNC-Belegungen:*

- beim Schreiben: *nach* der Datenübertragung. Hierzu sind 2 Busumschaltungen erforderlich (Folge TAR => SYNC => TAR).
- beim Lesen: *vor* der Datenübertragung. Es ist keine besondere Busumschaltung erforderlich; SYNC hat dieselbe Übertragungsrichtung wie die Lesedaten.

1: 2 oder 4 Bytes nur in Speicher- und DMA-Zyklen. Die Übertragungsbreite wird hierbei gesondert mitgeteilt (vgl. Tabelle 3.5).

2: Im Normalfall: die jeweilige Einrichtung, bei Busmasterbetrieb: die zentralen Steuerschaltungen.

LAD3...0	Bedeutung
0H	Zyklus fortsetzen (Ready). Kein Wartezustand. In DMA-Zyklen auch: keine weitere DMA-Anforderung
1H...4H	reserviert
5H	Wartezustand, kurz (Short Wait)
6H	Wartezustand, kann lange dauern (Long Wait)
7H, 8H	reserviert
9H	nur in DMA-Zyklen: Zyklus fortsetzen. Es stehen aber weitere DMA-Anforderungen an (Ready More)
AH	Fehleranzeige (Error)
BH...FH	reserviert

**Tabelle 3.7** Synchronisation (SYNC).

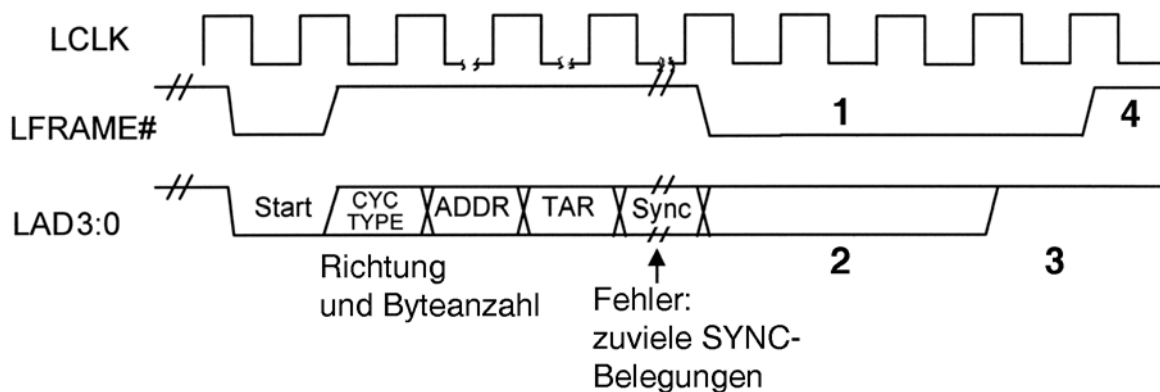
*Fehlersignalisierung*

Hat die Target-Einrichtung einen Fehler festgestellt, so legt sie die SYNC-Belegung AH auf den Bus. Daraufhin wird der Buszyklus abgebrochen. Handelt es sich um einen Lesezugriff, so wird das unmittelbar folgende Datenbyte noch gelesen.

Die weitere Fehlersignalisierung ist dem Systementwickler freigestellt. (Es kann z. B. das ISA-Fehlersignal IOCHK# oder das PCI-Fehlersignal SERR# erregt werden. Beides bewirkt typischerweise einen NMI im Prozessor – also eine recht harte Fehler-Reaktion.

**3.3.2 Abbrechen von Buszyklen**

Um einen laufenden Buszyklus abbrechen, erregen die zentralen Steuerschaltungen LFRAME# (Abb. 3.3).



**Abb. 3.3** Abbrechen eines Buszyklus. Ablaufbeispiel (nach Intel).

Im Ablaufbeispiel von Abb. 3.3 wird ein laufender Lesezugriff wegen Zeitüberschreitung (zuviele SYNC-Belegungen 5H) abgebrochen. Das Abbrechen ist Angelegenheit der zentralen Steuerschaltungen.



1. LFRAME# muß über wenigstens 4 Taktzyklen hinweg aktiv gehalten werden.
2. Daraufhin muß die betroffene Einrichtung ggf. LAD3...0 hochohmig schalten (d. h., die Einrichtung darf diese Signale nicht mehr treiben).
3. Spätestens mit dem 4. Takt müssen die zentralen Steuerschaltungen LAD3...0 auf FH (High) treiben (Abbruchbelegung; vgl. Tabelle 3.2).
4. Nach dem Abbruch muß LFRAME# wenigstens 1 Taktzyklus lang inaktiv sein.

*Hinweise:*

1. Ein Buszyklus kann auch vor dem Eintreffen einer SYNC-Belegung abgebrochen werden.
2. Das Abbrechen beeinflusst nicht die DMA- oder Busmaster-Anforderungen über die LDRQ-Leitungen.

### 3.3.3 Einfache Speicher- und E-A-Zugriffe

In diesen Zugriffen wirken die zentralen Steuerschaltungen (Host) als Busmaster. In jedem Buszyklus wird nur ein einziges Datenbyte übertragen (Tabellen 3.8, 3.9).

Belegung	Bus getrieben von	Takte	
		E-A-Zugriff	Speicherzugriff
Start (0H)	Host	1	1
Zugriffskommando (2H <sup>1</sup> , 6H <sup>2</sup> )		1	1
Adresse (16 oder 32 Bits)		4	8
Datenbyte		2	2
Busumschaltung		2	2
Synchronisation (0H, 5H, 6H)	Target	1 + W <sup>3</sup> )	1 + W <sup>3</sup> )
Busumschaltung		2	2
Taktzyklen je Buszyklus		13 + W <sup>3</sup> )	17 + W <sup>3</sup> )
maximale Datenrate <sup>4)</sup>		2,5 MBytes/s	1,9 MBytes/s

1)...4): siehe Erklärung im Anschluß an Tabelle 3.9.

**Tabelle 3.8** Einfache Schreibzugriffe

Belegung	Bus getrieben von	Takte	
		E-A-Zugriff	Speicherzugriff
Start (0H)	Host	1	1
Zugriffskommando (0H <sup>5)</sup> , 4H <sup>6)</sup> )		1	1
Adresse (16 oder 32 Bits)		4	8
Busumschaltung		2	2
Synchronisation (0H, 5H, 6H)	Target	$1 + W^3$	$5^7 (1 + W^3)$
Datenbyte		2	2
Busumschaltung		2	2
Taktzyklen je Buszyklus		$13 + W^3, 8)$	$21^9)$
maximale Datenrate <sup>4)</sup>		2,5 MBytes/s	1,5 MBytes/s <sup>9)</sup>

Anmerkungen in den Tabellen 3.8 und 3.9:

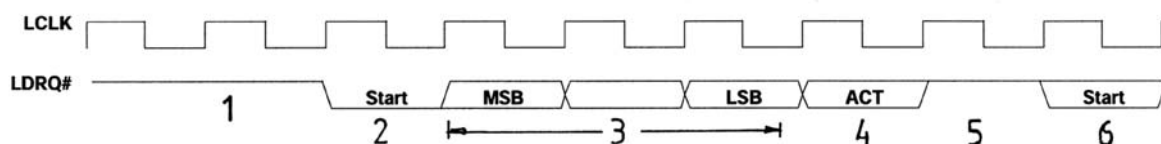
- 1) E-A-Zugriff (Ausgabe),
- 2) Speicherzugriff,
- 3) Wartezustände werden, wenn erforderlich, "nach Bedarf" eingefügt (SYNC-Belegung 5H oder 6H),
- 4) bei fortlaufender Aneinanderreihung der jeweiligen Zyklen (Werte abgerundet; vgl. Zeitverhältnisse am ISA-Bus),
- 5) E-A-Zugriff (Eingabe),
- 6) Speicherzugriff,
- 7) allgemein gilt "1 + W". Praktische Annahme: 4 Wartezustände = 120 ns (als typische Zugriffszeit auf herkömmliche EPROMs).
- 8) bei E-A-Zugriffen wurden keine Wartezustände eingerechnet, da solche Lesezugriffe typischerweise FIFO-Anordnungen in den E-A-Schaltkreisen betreffen,
- 9) Wert bei 4 Wartezuständen.

**Tabelle 3.9** Einfache Lesezugriffe

### 3.3.4 DMA-Betrieb

#### DMA-Anforderungen

Einrichtungen signalisieren ihre DMA-Anforderungen über ihre LDRQ-Leitung (Abbildung 3.4, Tabellen 3.10, 3.11).



**Abb. 3.4** Signalisieren von DMA-Anforderungen über LDRQ# (nach Intel).

Die Anforderungen werden bitseriell übertragen. Jede Einrichtung, die den DMA- bzw. Busmasterbetrieb benötigt, ist über eine eigene LDRQ-Leitung mit den zentralen Steuerschaltungen verbunden (und diese

müssen für jeden LDRQ-Anschluß eine State Machine enthalten, die die beschriebenen Bitfolgen auswerten kann).

1. Ruhezustand; LDRQ# ist inaktiv (keine Anforderung),
2. Beginn der Signalisierung durch Aktivieren von LDRQ# während eines Taktzyklus (Startbit),
3. in den folgenden 3 Takten wird die Nummer des gewünschten DMA-Kanals bitseriell übertragen (das höchstwertige Bit (MSB =  $2^2$ ) zuerst),
4. dieses Bit kennzeichnet den Zweck der Übertragung (Aktivieren/Deaktivieren),
5. LDRQ# muß wenigstens während eines Taktzyklus inaktiv sein,
6. frühestmöglicher Beginn einer neuen Signalisierung.

serielle Bitposition (Taktzyklus); Zeitverlauf: 6					
1.	2.	3.	4.	5.	6.
0 (Startbit)	Nummer des DMA-Kanals			0: inaktiv, 1: aktiv	1 (Pause)
	$2^2$	$2^1$	$2^0$		

**Tabelle 3.10** Format der bitseriellen DMA-Anforderungen

Nummer des DMA-Kanals	Anforderung	Nummer des DMA-Kanals	Anforderung
0	DMA-Kanal 0	4	Busmaster <sup>*)</sup>
1	DMA-Kanal 1	5	DMA-Kanal 5
2	DMA-Kanal 2	6	DMA-Kanal 6
3	DMA-Kanal 3	7	DMA-Kanal 7

\*) Einzelheiten in Abschnitt 3.3.5.

**Tabelle 3.11** Codierung der DMA-Kanäle

#### *Hinweis:*

DMA-Kanal 4 ist beim herkömmlichen PC zur Kaskadierung der beiden DMA-Steuerschaltkreise vorgesehen. Somit ist die Kanalnummer frei. Sie wird hier verwendet, um Busmaster-Anforderungen zu codieren (Näheres in Abschnitt 3.3.5.).

#### *Stellen der Anforderung*

Die Einrichtung überträgt auf beschriebene Weise die gewünschte Kanalnummer, wobei die 5. Bitposition mit 1 belegt ist (Aktivieren).

#### *Zurücknehmen/Löschen der Anforderung*

Die Einrichtung überträgt auf beschriebene Weise die gewünschte Kanalnummer, wobei die 5. Bitposition mit 0 belegt ist (Deaktivieren). (Dies ist eine Vorkehrung für Fehlerfälle. Hat die DMA-Datenübertragung bereits begonnen, kann ein "aufs Byte genaues" Anhalten nicht garantiert werden.)

#### **Normalablauf einer DMA-Übertragung**

Die betreffende Einrichtung fordert eine DMA-Übertragung auf vorstehend beschriebene Weise über ihre LDRQ-Leitung an. Die zentralen Steuerschaltungen führen dann DMA-Zyklen mit der betreffenden Einrichtung aus, und zwar so lange, bis der Längenzähler des DMA Kanals auf Null gezählt wurde (Terminal Count TC). Die DMA-Zyklen sind in den Tabellen 3.12 und 3.13 dargestellt.

*Hinweis:*

DMA-Übertragungen betreffen sowohl eine E-A-Einrichtung als auch den Speicheradreßraum. In herkömmlichen PCs (XT, AT) liegt in einem DMA-Zyklus die Speicheradresse auf dem Bus, und die betreffende E-A-Einrichtung ist über ihr DACK-Signal ausgewählt. In einer LPC-Umgebung werden die Zugriffe praktisch serialisiert:

1. Zugriffe auf die E-A-Einrichtungen über den LPC-Bus mittels DMA-Zyklen,
2. Speicherzugriffe über den Bus, an den der adressierte Teil des Speicheradreßraums angeschlossen ist. (Das ist typischerweise der Arbeitsspeicher – und der ist von der DMA-Hardware aus nur in Aufwärtsrichtung über mehrere Bussysteme hinweg erreichbar (Beispiel: PCI-to-LPC Bridge – PCI-Bus – Host-to-PCI-Bridge – Arbeitsspeicher-Interface auf der Prozessorseite).)

*Zur Bezeichnung*

Die Zugriffsbezeichnung bezieht sich auf den jeweiligen *Speicherzugriff*:

- DMA Schreiben = Schreiben in den Speicher, Lesen von der E-A-Einrichtung,
- DMA-Lesen = Lesen aus dem Speicher, Schreiben in die E-A-Einrichtung.

Belegung	Bus getrieben von	Takte	Besonderheiten
Start (0H)	Host	1	
Zugriffskommando (AH)		1	
Kanalnummer <sup>1)</sup>		1	
Zugriffsbreite (0H, 1H, 3H)		1	
Busumschaltung		2	
Synchronisation (9H <sup>2)</sup> , 5H, 6H, 0H <sup>3)</sup> )	Target	1 + W <sup>4)</sup>	
1. Datenbyte		2	
Synchronisation (9H <sup>2)</sup> , 5H, 6H, 0H <sup>3)</sup> )		1 + W <sup>4)</sup>	Busumschaltung <sup>5)</sup>
2. Datenbyte		2	
Synchronisation (9H <sup>2)</sup> , 5H, 6H, 0H <sup>3)</sup> )		1 + W <sup>4)</sup>	
3. Datenbyte		2	Busumschaltung <sup>6)</sup>
Synchronisation (9H <sup>2)</sup> , 5H, 6H, 0H <sup>3)</sup> )		1 + W <sup>4)</sup>	
4. Datenbyte		2	
Busumschaltung		2	

1)...6): siehe Erklärung im Anschluß an Tabelle 3.13

**Tabelle 3.12** Ablauf DMA-Schreiben (= Lesezugriff auf E-A-Einrichtung)

Belegung	Bus getrieben von	Takte	Besonderheiten
Start (0H)	Host	1	
Zugriffskommando (8H)		1	
Kanalnummer <sup>1)</sup>		1	
Zugriffsbreite (0H, 1H, 3H)		1	
1. Datenbyte		2	
Busumschaltung		2	
Synchronisation (9H <sup>2)</sup> , 5H, 6H, 0H <sup>3)</sup> )	Target	1 + W <sup>4)</sup>	Ende <sup>5)</sup>
Busumschaltung		2	
2. Datenbyte	Host	2	
Busumschaltung		2	
Synchronisation (9H <sup>2)</sup> , 5H, 6H, 0H <sup>3)</sup> )	Target	1 + W <sup>4)</sup>	Ende <sup>6)</sup>
Busumschaltung		2	
3. Datenbyte	Host	2	
Busumschaltung		2	
Synchronisation (9H <sup>2)</sup> , 5H, 6H, 0H <sup>3)</sup> )	Target	1 + W <sup>4)</sup>	
Busumschaltung		2	
4. Datenbyte	Host	2	
Busumschaltung		2	
Synchronisation (9H <sup>2)</sup> , 5H, 6H, 0H <sup>3)</sup> )	Target	1 + W <sup>4)</sup>	
Busumschaltung		2	

Anmerkungen in den Tabellen 3.12 und 3.13:

Die Tabellen zeigen DMA-Zyklen, in denen bis zu 4 Bytes übertragen werden.

- 1) angezeigte Kanalnummer enthält *Terminal Count* in Bit 3,
- 2) DMA-Übertragung weiterführen,
- 3) DMA-Übertragung beenden,
- 4) Verlängerung durch Wartezustände (W) bzw. Beenden der Übertragung,
- 5) Beenden des DMA-Zyklus bei Zugriffsbreite = 1 Byte,
- 6) Beenden des DMA-Zyklus bei Zugriffsbreite = 2 Bytes.

**Tabelle 3.13** Ablauf DMA-Lesen (= Schreibzugriff auf E-A-Einrichtung)

#### Weiterführen der Übertragung

Eine SYNC-Belegung 9H zeigt den zentralen Steuerschaltungen an, daß die Einrichtung die DMA-Übertragung weiterführen möchte. Wird der gesamte DMA-Zyklus mit 9H als letzter SYNC-Belegung beendet, so bieten die zentralen Steuerschaltungen nachfolgend einen weiteren DMA-Zyklus an (ohne daß die Einrichtung dies über LDRQ# anfordern muß).

### Beenden der Übertragung

Eine SYNC-Belegung 0H zeigt den zentralen Steuerschaltungen an, daß die Einrichtung die DMA-Übertragung beenden möchte. Endbedingungen können u. a. sein:

- der Nulldurchgang des Längenzählers im DMA-Kanal (Blockende). Hierzu muß die Einrichtung das übertragene Bit *Terminal Count* entsprechend auswerten.
- intern erkannte Endbedingungen.

Des weiteren beendet eine *Fehlersignalisierung* (SYNC-Belegung AH) die DMA-Übertragung.

### Hinweis:

Das Beenden (über die SYNC-Belegungen 0H oder AH) muß immer mit dem letzten Byte des jeweiligen DMA-Zyklus verbunden sein. Wird bei einer Zugriffsbreite von 2 Bytes eine solche SYNC-Belegung im Zusammenhang mit der Übertragung des 1. Bytes erkannt, so wird dies als Fehlerbedingung gewertet (das gilt sinngemäß bei einer Zugriffsbreite von 4 Bytes für die Übertragung des 1. bis 3. Bytes).

### Neue DMA-Anforderung

Hat eine Einrichtung eine DMA-Übertragung durch eine entsprechende SYNC-Belegung beendet, so muß sie eine Karenzzeit von wenigstens 8 Taktzyklen abwarten, bevor sie erneut eine DMA-Anforderung über LDRQ# stellen darf.

### Maximale Datenraten

Tabelle 3.14 enthält die maximalen Datenraten, die sich beim lückenlosen Aneinanderreihen von DMA-Zugriffen (ohne Wartezustände) ergeben.

Zugriff		Taktzyklen	Datenrate <sup>*)</sup>
DMA Schreiben	1 Byte	11	3 MBytes/s
	2 Bytes	14	4,7 MBytes/s
	4 Bytes	20	6,6 MBytes/s
DMA Lesen	1 Byte	11	3 MBytes/s
	2 Bytes	18	3,7 MBytes/s
	4 Bytes	32	4,1 MBytes/s

\*) abgerundet

**Tabelle 3.14** Maximale Datenraten von DMA-Übertragungen

## 3.3.5 Busmasterbetrieb

### Busmaster-Anforderungen

Eine Einrichtung, die Busmaster werden will, fordert über ihre LDRQ-Leitung die Busherrschaft an, und zwar durch Senden der DMA-Kanalnummer 4 (vgl. Tabelle 3.12).

### Bestätigen der Busherrschaft und Zugriffsablauf

Die Anforderungen werden zentral vermittelt. Jede Master-Einrichtung hat ihre eigene Master-Nummer, die in der Startbelegung übertragen wird. Es werden (gemäß aktuellem Stand) bis zu 2 Master-

Einrichtungen unterstützt. Die zentralen Steuerschaltungen übergeben die Busherrschaft an die jeweils ausgewählte Einrichtung, indem sie einen Buszyklus mit der entsprechenden Startbelegung 2H oder 3H; vgl. Tabelle 3.2) beginnen und anschließend den Bus umschalten (Tabellen 3.15, 3.16).

Belegung	Bus getrieben von	Takte	
		E-A-Zugriff	Speicherzugriff
Start (2H oder 3H) <sup>1)</sup>	Host	1	1
Busumschaltung <sup>2)</sup>		2	2
Zugriffskommando (2H, 6H)	Master	1	1
Adresse (16 oder 32 Bits)		4	8
Datenbyte		2	2
Busumschaltung		2	2
Synchronisation (0H, 5H, 6H)	Target	1 + W	1 + W
Busumschaltung <sup>3)</sup>		2	2

1)...3): siehe Erklärung unter Tabelle 3.16

**Tabelle 3.15** Busmaster-Zugriff. Ablaufbeispiel 1: Schreibzugriff (1 Byte)

Belegung	Bus getrieben von	Takte	
		E-A-Zugriff	Speicherzugriff
Start (2H oder 3H) <sup>1)</sup>	Host	1	1
Busumschaltung <sup>2)</sup>		2	2
Zugriffskommando (0H, 4H)	Master	1	1
Zugriffsbreite (1H)		1	1
Adresse (16 oder 32 Bits)		4	8
Busumschaltung		2	2
Synchronisation (0H, 5H, 6H)		2	2
1. Datenbyte	Target	1 + W	1 + W
Synchronisation (0H, 5H, 6H)		1 + W	1 + W
2. Datenbyte		2	2
Busumschaltung <sup>3)</sup>		2	2

Anmerkungen in den Tabellen 3.15 und 3.16:

- 1) Bestätigung der Anforderung,
- 2) Übergabe der Busherrschaft,
- 3) Rückgabe der Busherrschaft.

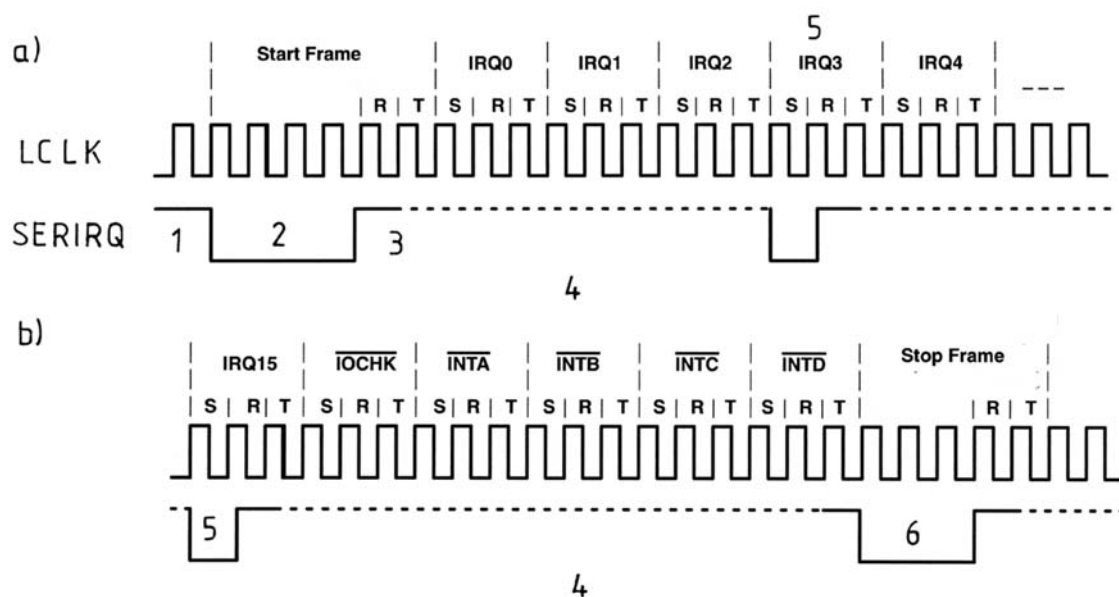
**Tabelle 3.16** Busmaster-Zugriff. Ablaufbeispiel 2: Lesezugriff (2 Bytes)

**Hinweis:**

Busmaster-Zugriffe betreffen typischerweise die Plattform. Demgemäß werden die zentralen Steuerschaltungen als Target wirksam, um den Zugriff in Aufwärtsrichtung zum jeweils "zuständigen" Bus weiterzuleiten.

### 3.3.6 Serielle Interruptsignalisierung

Die Interruptanforderungen werden synchron zum Bustakt (LCLK) von den einzelnen Einrichtungen nacheinander über die SERIRQ-Leitung geliefert. Dies erfolgt in einem bestimmten Zeitraster (serielles IRQ-Paket; Abbildung 3.5).



**Abb. 3.5** Serielle Interruptsignalisierung (nach Texas Instruments). a) Beginn, b) Ende eines seriellen IRQ-Pakets.

1. im Ruhezustand wird SERIRQ über den Pull-up-Widerstand auf High gehalten,
2. die Übertragung beginnt damit, daß SERIRQ über eine bestimmte Anzahl von Takten hinweg auf Low gehalten wird (Start Frame). Die einzelnen Einrichtungen beobachten SERIRQ und erkennen anhand des *Start Frame*, daß ein IRQ-Paket beginnt.
3. nach dem Start Frame wird SERIRQ hochohmig geschaltet; das Signal wird vom Pull-up-Widerstand auf High gehalten. Es kann von den Einrichtungen bedarfsweise auf Low geschaltet werden (Open-Drain-Prinzip). Bevor die erste Einrichtung aufschalten darf, sind noch 2 Takte (R, T; siehe unten) abzuwarten.
4. das eigentliche Paket ist fest formatiert; für jeden möglichen Interrupt (IRQ0, IRQ1 usw.) gibt es ein "Zeitfenster" (Data Frame) aus 3 Taktzyklen. Die einzelnen Einrichtungen zählen die Takte mit. Eine Einrichtung, die z. B. IRQ3 auslösen möchte, zieht mit dem entsprechenden Takt SERIRQ nach Low.
5. das einzelne Zeitfenster (Data Frame) besteht aus 3 Takten: S, R, T (siehe unten). Die Einrichtungen dürfen SERIRQ nur mit dem ersten dieser Takte (S) belegen. Es sind insgesamt 32 solcher *Data Frames* spezifiziert; in üblichen PCs werden die ersten 21 ausgenutzt (Tabelle 3.17). Als Beispiel ist in der Abbildung das Signalisieren von IRQ3 und IRQ15 dargestellt.
6. das serielle IRQ-Paket endet mit einem Stop Frame. Hierbei wird SERIRQ über 2 bzw. 3 Takte hinweg Low gehalten. 2 Takte später (d. h. im Anschluß an die Taktfolge R, T; siehe unten) darf SERIRQ wieder auf Low geschaltet werden (nächstes *Start Frame*).



*Taktphasen:*

- S = Sample (Abfragen). Signal wird über Pull-up-Widerstand auf High gehalten und darf von den Einrichtungen nach Low gezogen werden.
- R = Recovery (Wiederherstellen). Signal wird von den zentralen Steuerschaltungen aktiv nach High getrieben.
- T = Turnaround (Signalumschaltung). Die zentralen Steuerschaltungen schalten das Signal hochohmig, so daß es allein über den Pull-up-Widerstand auf High gehalten wird.

*Betriebsarten*

Es sind 2 Betriebsarten vorgesehen:

- Aktivierungsmodus (Quiet Mode). SERIRQ wird über den Pull-up-Widerstand auf High gehalten (Ruhezustand). Wenn eine Einrichtung eine Interruptanforderung absetzen möchte, aktiviert sie die serielle Signalisierung, indem sie SERIRQ eine Takt lang auf Low zieht und anschließend wieder freigibt. Die zentralen Steuerschaltungen reagieren darauf, indem sie vom 2. Takt an ihrerseits SERIRQ auf Low schalten. Damit wandeln sie die Aktivierung durch die Einrichtung in ein Start Frame um, so daß das eigentliche serielle IRQ-Paket übertragen werden kann.
- Abfragemodus (Continuous Mode). Die zentralen Steuerschaltungen bestimmen allein, wann ein serielles IRQ-Paket übertragen wird. Hiermit kann u. a. eine zyklische Abfrage (Polling) aller Interruptanforderungen organisiert werden. Beispiel: serielles IRQ-Paket - einige Takte Pause<sup>\*)</sup> - serielles IRQ-Paket - einige Takte Pause usw. Der nächste *Start Frame* darf bereits 2 Takte nach der Low-High-Flanke des vorausgegangenen *Stop Frames* beginnen<sup>1</sup> (vgl. die letzte Taktfolge R, T in Abbildung 3.5b). Üblich sind Pausen von 16...20 Takten.

Die jeweilige Betriebsart ist typischerweise entweder programmseitig oder durch Beschaltung eines entsprechenden Schaltkreis-Eingangs wählbar.

*Länge des Start Frame*

Es sind 4 bis 8 Takte spezifiziert (programmseitig einstellbar). Im Aktivierungsmodus ist die anfängliche Belegung seitens der anfordernden Einrichtung mit eingerechnet.

*Länge des Stop Frame*

Die zentralen Steuerschaltungen ziehen SERIRQ über 2 oder 3 Takte hinweg nach Low. Die Dauer bestimmt die nachfolgende Betriebsweise:

- Stop Frame = 2 Takte: Fortsetzung im Aktivierungsmodus (Quiet Mode),
- Stop Frame = 3 Takte: Fortsetzung im Abfragemodus (Continuous Mode).

Tabelle 3.17 enthält die gesamte spezifizierte Belegung der seriellen IRQ-Pakete. Es ist ersichtlich, daß alle in üblichen PCs vorgesehenen Interruptsignale erfaßt werden. Es werden aber typischerweise nicht alle Interrupts auf diesem Wege signalisiert. (Die betreffenden *Data Frames* bleiben dann ungenutzt.)

---

1: Das gilt auch sinngemäß für das Signalisieren einer erneuten Anforderung im Aktivierungsmodus.

**Hinweis:**

Die serielle Interruptsignalisierung ist keine Besonderheit des LPC-Interfaces. Maßgebend hierfür ist die Spezifikation "Serialized IRQ Protocol for PCI Systems". Diese ist vor allem für das CardBus-Interface entwickelt worden.

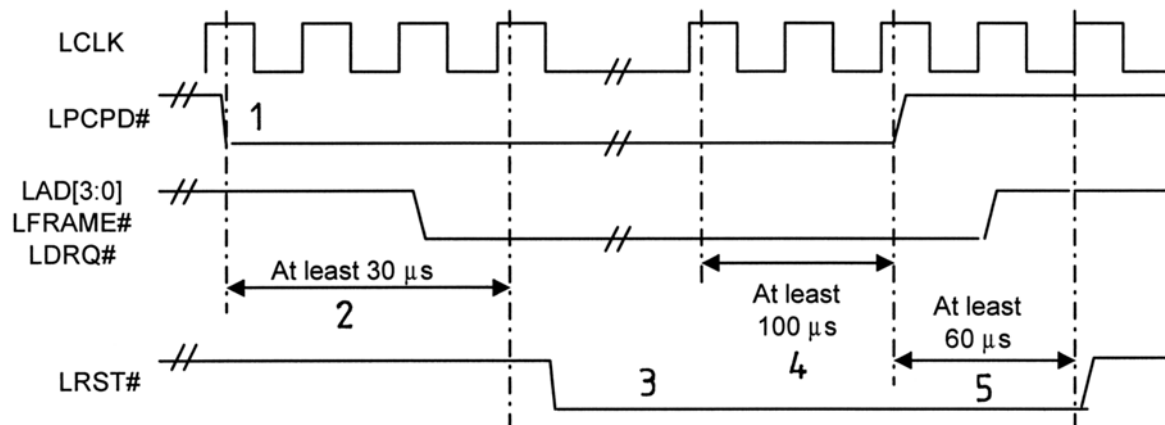
Nummer des Data Frame	Belegung	Takte <sup>1)</sup>
1	IRQ0 (nicht belegt; × Intervallzeitgeber) <sup>2)</sup>	2
2	IRQ1	5
3	IRQ2 (SMI) <sup>2)</sup>	8
4	IRQ3	11
5	IRQ4	14
6	IRQ5	17
7	IRQ6	20
8	IRQ7	23
9	IRQ8	26
10	IRQ9 (nicht belegt; für Plattform reserviert) <sup>2)</sup>	29
11	IRQ10	32
12	IRQ11	25
13	IRQ12	38
14	IRQ13 (nicht belegt; × FPU) <sup>2)</sup>	41
15	IRQ14	44
16	IRQ15	47
17	IOCHK (Fehlersignal vom ISA-Bus)	50
18	INTA (PCI-Bus)	53
19	INTB (PCI-Bus)	56
20	INTC (PCI-Bus)	59
21	INTD (PCI-Bus)	62
22...32	reserviert	96

1): Takte vom Ende des *Start Frame* an; 2): typische Nutzung in PCs (nach Intel).

**Tabelle 3.17** Belegung der seriellen IRQ-Pakete

### 3.3.7 Stromsparsteuerung über LPCPD#

Abbildung 3.6 zeigt, wie Stromsparzustände in den LPC-Einrichtungen über das Signal LPCPD# gesteuert werden.



**Abb. 3.6** Steuerung von Stromsparezuständen über LPCPD#.

1. mit dem Aktivieren von LPCPD# wird den Einrichtungen angezeigt, daß ein Stromsparezustand eingeleitet wird (typischerweise wird der Takt abgestellt, ggf. werden die Einrichtungen auch abgeschaltet),
2. nach dem Aktivieren von LPCPD# dauert es noch wenigstens 30  $\mu\text{s}$ , bis der Stromsparezustand wirksam wird,
3. beim Verlassen des Stromsparezustandes werden die Einrichtungen über LRST# zurückgesetzt,
4. der Takt wird wenigstens 100  $\mu\text{s}$  vor dem Deaktivieren von LPCD# wieder eingeschaltet,
5. nach dem Einschalten des Taktes werden die Einrichtungen wenigstes für weitere 60  $\mu\text{s}$  im Rücksetzzustand gehalten.