

Mikroprozessorplattform mit erweiterten Steuerwirkungen

Stand: 2. 12. 2013

Mikroprozessorplattform mit erweiterten Steuerwirkungen

Es ist eine Plattform zu schaffen, die es ermöglicht, die Erweiterung von Befehlswirkungen gegebener Prozessorkerne zu untersuchen und zu demonstrieren. Die Erweiterung erfolgt dadurch, daß dem Befehlsspeicher weitere, gleichartig adressierte Speichereinrichtungen beigeordnet werden, deren Inhalt zusätzliche Wirkungen erbringt und/oder den Befehlsablauf beeinflußt. Beispielsweise werden 8 oder 16 Befehlsbits durch 24 zusätzliche Bits ergänzt, die außerhalb des Prozessorkerns zur Wirkung kommen. Enthalten alle Zusatzbits Nullen oder werden Speicherbereiche adressiert, die nicht erweitert sind, wird der Befehl unverändert ausgeführt. Man bekommt auf diese Weise einen Verbund aus einem herkömmlichen Prozessor und einem anwendungsspezifischen Spezialprozessor. Im Gegensatz zum reinen Spezialprozessor können herkömmliche Programme mit vorhandenen Entwicklungswerkzeugen (Compilern usw.) erstellt werden; ebenso ist es möglich, vorhandene Programme zu nutzen. Im Gegensatz zum üblichen Verbund aus Prozessorkern und Beschleunigungsschaltungen (Coprozessoren, Akzeleratoren) entfällt der Overhead zum Ansprechen dieser Zusatzschaltungen.

Wir verwenden CPLDs und statische RAMs. Zum anfänglichen Laden der RAMs (Initial Program Loading IPL) ist ein Atmel-ATMega-Mikrocontroller vorzusehen, der die Aufgaben eines Serviceprozessors (SVP) übernimmt. Es soll möglich sein, verschiedene Mikroprozessortypen einzusetzen, z. B 8051, Z80, Motorola 68k, und NEC V8500. Datenbusbreite 8 oder 16 Bits, Adreßlänge 16 bis ca. 20 Bits.

Es eignen sich nur Prozessoren ohne Befehlsbufferung und internen Cache. 8086 geht deshalb nicht.

Was bauen?

Überlegung: Auf 8 Bits Daten, 16 Bits Adresse beschränken. Es ist doch nur eine Demonstration. Alles andere wird zu aufwendig. Ernsthafte Anwendung ohnehin nur in FPGAs.

Wir nehmen 8051, Z80 und Motorola 6800. Alles vorhanden oder leicht zu beschaffen, billig und bekannt. Moderne Entwicklungsumgebungen.

Mit 16 Bits könnten wir aber auch Microchip PIC18 einsetzen. Mal sehen, was draufpaßt.

Der Mikrocontrollerbus geht auf CPLDs. Dort erfolgt die Adaptierung auf den jeweiligen Prozessortyp.

Die CPLD-Konfiguration soll es ermöglichen, typische Erweiterungsfunktionen zu demonstrieren (Sonderwirkungen außen, Beeinflussung des Befehlsablaufs).

Probieren, ob man auch ohne Mikroprozessor auskommt und eine komplette Prozessorschaltung in die CPLDs einbauen kann.

Datenweg auf 16 Bits. Da alle SRAMs an der gleichen Adresse hängen, kommt es auf einen mehr nicht an.

Mikrocontroller Interrupt. NMI für Vergleichsstop. SVP-Anforderung.

Schreiben in den Datenspeicher.

Lesen und Schreiben vom SVP. Taktsteuerung. Serializer. Was muß ohne Eingriff in den Ablauf abfragbar sein?

Modus SVP SCAN. Taktstop. Ggf. ohnehin vorhandene Register als Schiebewege nutzen (Zellenersparnis).

Wenn alle CPLDs an den Datenbus des Mikroprozessors (bzw. an die entsprechenden RAM-Ausgänge) angeschlossen sind, kann der Mikroprozessor in jeden RAM schreiben. Nur Frage der Adreßverlängerung und -decodierung.

Das Adreß-Latch (z. B 8051) befindet sich auf der Prozessorplatine (Steckmodul).

Zu Demonstrationszwecken soll eine ausreichende Anzahl (4 bis 6) an E-A-Ports (8 Bits) vorgesehen werden.

Betriebsspannung: 5 V.

CPLDs: Xilinx XC95108 in PLCC84.

Serviceprozessor (ATmega) mit serieller Schnittstelle und Port(s) für Bedienung und Anzeige.

Wir nehmen Atmega 1284, da dessen Flash groß genug ist (128k), um typische Programmausstattungen zu Demonstrationszwecken unterzubringen.

Mechanischer Aufbau:

Formfaktor gleichgültig. Mikroprozessor auf an- oder aufsteckbarer Platine.

Welche Spezialwirkungen?

1. Vergleichsstop
2. Interruptverhinderung
3. EXEC-Befehl
4. Bedingte Verzweigung auf Bits von außen. Allgemein: Bedingte Befehlsausführung
5. Ausgabe Adresse + Daten

6. Ausgabe (Schreibdaten nach außen)

7. Lesedaten von außen aufschalten (anstelle von Daten aus dem Speicher)

8. Lesedaten aus dem Speicher werden zu Schreibdaten für außen (Ausgabe).

Kommando-CPLD und Datenweg-CPLD. Letztere als Bit-Slice.

Vergleichsstopp

Unterbrechungsverhinderung

Bedingte Befehlsausführung

Zusatzeingabe. a) Lade- oder Verarbeitungsbefehl. Daten nicht aus Speicher, sondern von außen (kommen in den Prozessor). b) Speicherbefehl. Daten nicht aus dem Prozessor, sondern von außen. Kommen in den Speicher

Funktionsverzweigung

EXECUTE-Befehl

Adressausgabe

Zusatzausgabe. a) Speicherbefehl. Daten kommen aus dem Prozessor, gehen aber nach außen. Können gespeichert werden (Kopie) oder auch nicht (ggf. nur über die Adresse. Keine Speicherung, wenn kein Speicher installiert. Speichern würde Rücklesen ermöglichen. b) Ladebefehl. Daten aus dem Speicher werden ausgegeben. Sie gelangen auch in den Prozessor.

Befehlsausgabe

Nebenläufige Ausgabe

Struktur:

Prozessordatenweg. Einspeisung von Sonderfunktionen
Adressierung

Kommandofunktionen. 8 Bits mit Vergleichsstopp, Unterbrechungsverhinderung und Kommandodecodierung

8-Bit-Lösung:

4 CPLDs, 3 RAMs (24 Bits).

16-Bit-Lösung:

5 CPLDs, 5 RAMs (40 Bits)

CPLD	Funktion	Parallele Signalwege	Pins	Verbleiben
1	Adressierung	20 zum Speicher, 20 vom Prozessor, 8 zur Verlängerung	48	21
2	Datenwege	16 zum Prozessor, 16 vom Befehls-RAM, 16 von der Erweiterung	48	21
3	Kommando- decodierung, Steuerung	8 von Erweiterung, ca. 8 vom Prozessor, (Steuersignale des Prozessorbus)	ca. 16 bis 20	> 48. Also 12 Signale zu jeder der anderen CPLDs
4	E-A-Ports*	8 von Erweiterung, 32 E-A-Ports	40	29
5	E-A-Ports*	8 von Erweiterung, 32 E-A-Ports	40	29
	E-A-Ports, erweitert um Daten- und Adreßausgabe (1 Bitslice). Variante 1	8 von Erweiterung, 8 Daten, 8 Adresse, 32 E-A-Ports	56	13 Ob das reicht?
	E-A-Ports, erweitert um Daten- und Adreßausgabe (1 Bitslice). Variante 2	8 von Erweiterung, 8 Daten, 8 Adresse, 24 E-A-Ports	48	21

*: CPLD 4 = CPLD 5 (Bitslice-Organisation).

E-A-Ports mit Daten- und Adreßausgabe

Insgesamt 16 Erweiterungsbits, 16 Datenbits, 16 Adreßbits. Ergibt 48 Datenbits, die gleichzeitig zur Wirkung kommen können. 6 Ports zu 8 Bits oder 3 zu 16 Bits usw. Ein CPLD nimmt 8 Datenwegbits und 24 IO-Bits auf.

8-Bit-Lösung:

4 CPLDs, 3 RAMs (24 Bits).

CPLD	Funktion	Parallele Signalwege	Pins	Verbleiben
1	Adressierung	20 zum Speicher, 16 vom Prozessor, 8 zur Verlängerung	44	25
2	Datenwege	8 zum Prozessor, 8 vom Befehls-RAM, 8 von der Erweiterung	24	45
3	Kommando- decodierung, Steuerung	8 von Erweiterung, ca. 8 vom Prozessor (Steuersignale des Prozessorbus)	ca. 16 bis 20	> 48. Also 12 Signale zu jeder der anderen CPLDs
4	E-A-Ports	8 von Erweiterung, 32 E-A-Ports	40	29

	E-A-Ports, erweitert um Daten- und Adreßausgabe (1 Bitslice). Variante 1	8 von Erweiterung, 8 Daten, 8 Adresse, 32 E-A-Ports	56	13 Ob das reicht?
	E-A-Ports, erweitert um Daten- und Adreßausgabe (1 Bitslice). Variante 2	4 von Erweiterung, 4 Daten, 4 Adresse Low, 4 Adresse High, 16 E-A-Pins	32	37

*: Möglicherweise unnötig. Ggf. den Prozessordatenbus ausnutzen.

Alternative: CPLDs 1 und 2 in einem.

Prozessor: 16 Adresse, 8 Daten.

SRAM: 20 Adresse, 8 Daten

Erweiterung: 8 Daten

Insgesamt 60 Pins. Zuwenig.

Immer bedenken:

1 Pin = 1 Zelle. Reichen die verbleibenden Zellen aus (u. a. für den Scan-Weg zum Serviceprozessor)?

E-A-Ports mit Daten- und Adreßausgabe

Insgesamt 8 Erweiterungsbits, 8 Datenbits, 16 Adreßbits. Ergibt 32 Datenbits, die gleichzeitig zur Wirkung kommen können. 4 Ports zu 8 Bits oder 2 zu 16 Bits usw. Ein CPLD nimmt 16 Datenwegbits und 32 IO-Bits auf.

Was paßt in eine E-A-CPLD?

1 Port = 3 Register = Richtung, Datenausgabe und Synchronizer. 16 Pins = 48 Zellen; 32 Pins = 96 Zellen (zu knapp). Probeentwurf.

Sicherheitshalber nur 16 IO-Pins je CPLD. 2 CPLDs. Ggf. Erweiterung um ein weiteres solches Slice vorsehen (Portadressierung, Steckverbinder für Aufsteckplatine.)

Bitslice verhindert aber, in den CPLDs anwendungsspezifische E-A-Schaltungen unterzubringen.

Alternative:

16 Adresse, 8 Daten, 8 Erweiterung, 16 IOs. Also 1 CPLD = 2 8-Bit-Ports komplett. 48 Zellen. Werden universelle Ports einprogrammiert, kommen noch $2 * 15 = 32$ Zellen hinzu (Richtungssteuerung und Synchronizer). Also 80 Zellen. Bleiben noch 28.

Weitere Alternative:

Bitslice wie oben. Zusätzliche CPLD mit allen internen Anschlüssen intern und 16 nach außen, Wenn eine Spezialschaltung einprogrammiert wird, braucht man auch nicht an allen Pins Richtungssteuerung und Synchronisation.

Synchronizer könnte zentral sein. Nur z. B. 4 oder 8 Zellen statt 16 oder 32. Vorgeschaltete Multiplexer. Vgl. die alten Entwürfe IDE/ATA-Adapter.

Wenn wir z. B die Adresse nicht zu E-A-Zwecken ausnutzen, werden 16 Zellen frei. Die Pins werden dann nicht genutzt. Wenn wir die Adresse nutzen, wird es eine anwendungsspezifische Schaltung.

Es ist also besser, jedem CPLD alles zuzuführen.

Für den Adreßweg ggf. 2 CPLDs (Bitslice-Organisation). Probeentwurf.

Adreß-Latch beim Multiplexbus: außerhalb (auf Prozessorplatine) oder einbauen (Probeentwurf).

An jedem SRAM hängt ein CPLD.

Der SRAM-Datenweg wird als Bus betrieben (bidirektional).

Aufschaltung und Schreiben werden von Kommando-CPLD gesteuert.

Schreiben in die Erweiterungs-RAMs gibt es nur beim IPL (Serviceprozessor).

CPLD 1 (Adressierung) hat im Grunde nur die Aufgabe der Adressierung bei Serviceprozessorzugriffen (Anfangsladen (IPL), Debugging, Logout usw.) sowie der Adreßverlängerung. Ansonsten ist es eine reine Durchreiche (für die Adresse, die vom Prozessor kommt). Zudem ist hier die Adreßverlängerung untergebracht.

SRAM:

128k • 8. 32 Pin DIP

512k • 8. 32 Pin DIP.

1 M • 8. 44 Pin TSOP.

Wir verwenden 32 Pin DIP. Somit maximal 19 Adreßsignale. Die Verlängerungsadresse kann direkt vom Prozessordatenbus abgenommen werden. Das Laden der Verlängerungsregister ist Sache der Adreßdecodierung (traditionelle Lösung, z. B. Schreiben auf bestimmte feste Adressen sowie Steuersignal aus der Befehlserweiterung (läßt den gesamten Adreßbereich frei).

Einige abfragbare Sense Switches vorsehen. LED-Anzeigen oder Serializer. Taktsteuerung. Harter Vergleichsstop oder NMI.

Als Serviceprozessor nehmen wir ein Universalgerät 12. Schnittstelle nur ein Port.

SCAN_IN

SCAN_OUT

SCAN_CLOCK

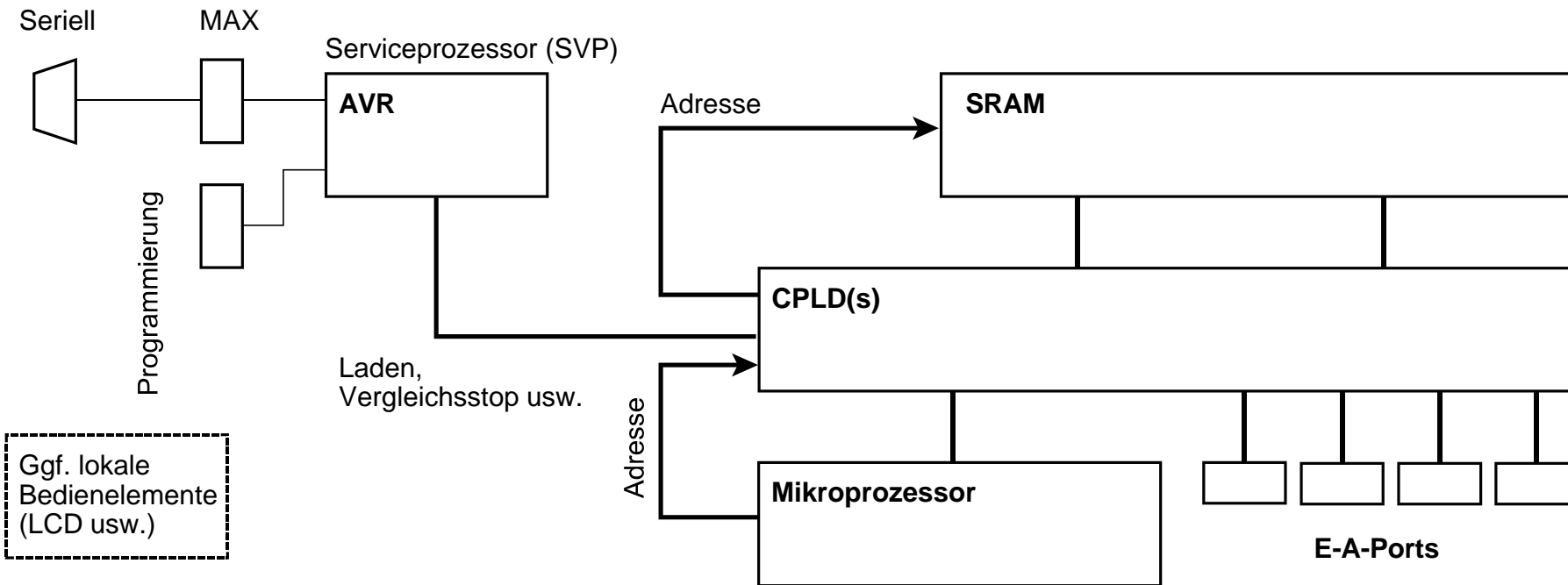
SCAN_MODE

SCAN_RW

Mikrocontrollerschnittstelle 64polig DIN 41612.

Schnittstelle für zusätzliche CPLDs ebenso (Nutzung von Europakarten zur Erweiterung).

Oder 60polig PC/104.



Das Datenformat im SRAM:



Maschinenbefehl
(gemäß Busbreite; 8
oder 16 Bits)

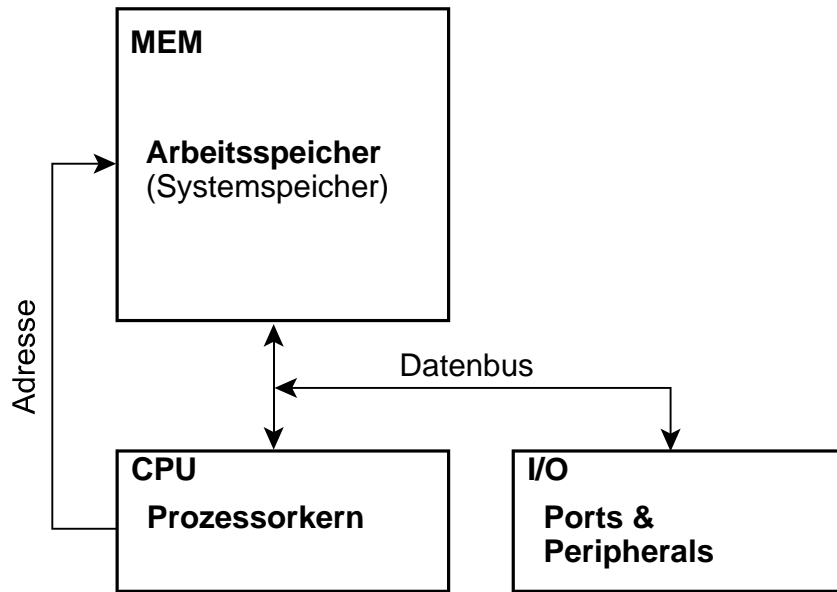
Erweiterung; 16 oder
24 Bits

Auf Zusatzplatine steckbar. Z. B.
8051, Motorola 68x und 68k, Z80,
NEC V 850 usw.

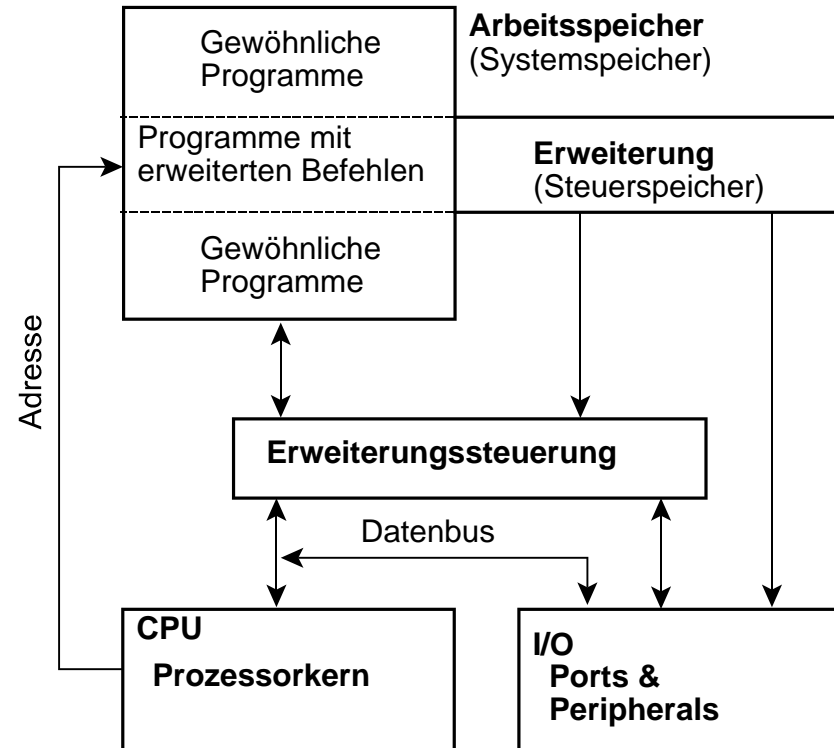
Mikroprozessorplattform mit erweiterten Steuerwirkungen

22. 4. 2013

**a) Herkömmliches
Mikroprozessorsystem**

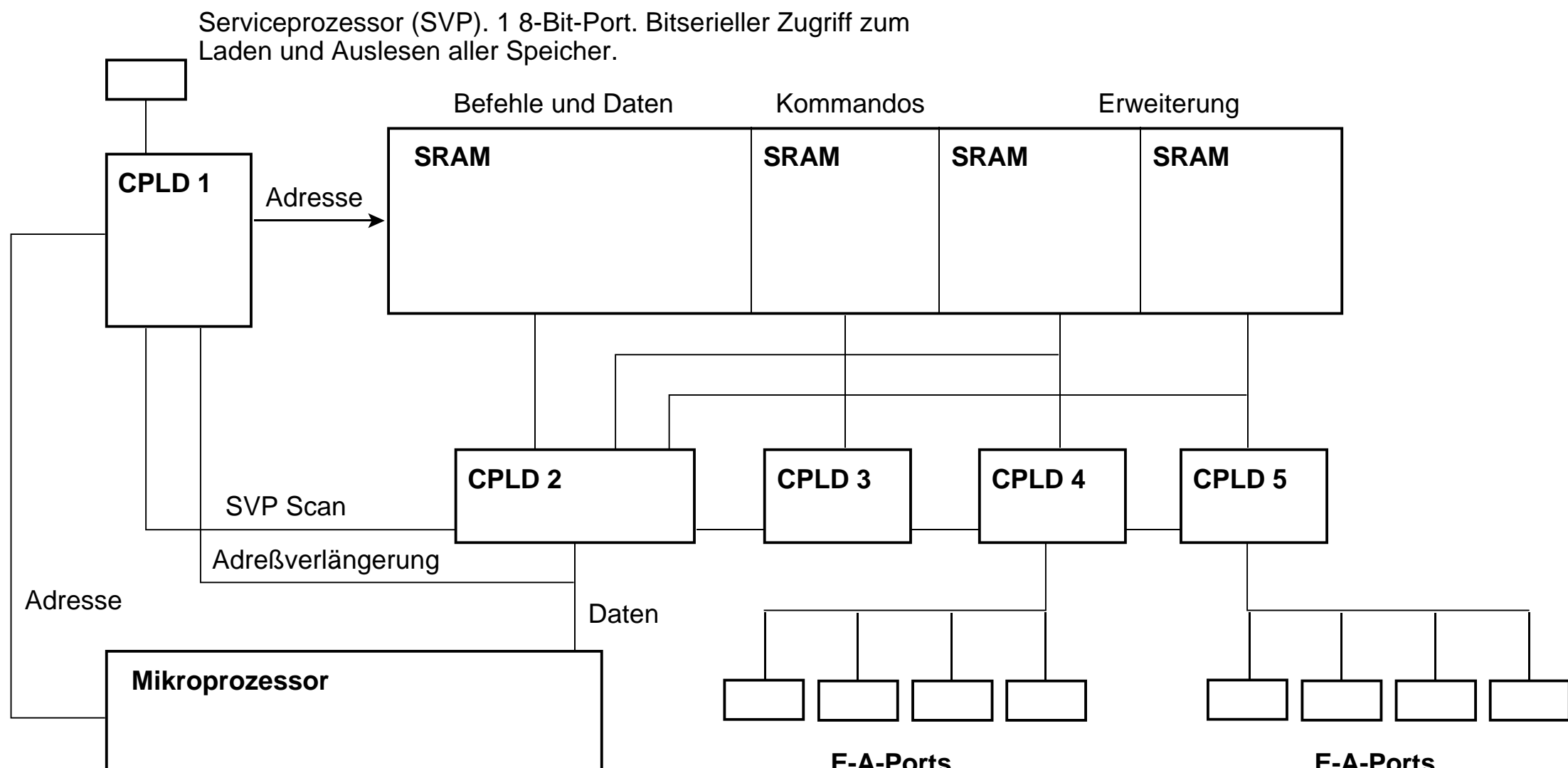


**b) Mikroprozessorsystem mit
Befehlsenerweiterung**



**Mikroprozessorplattform mit
erweiterten Steuerwirkungen**

Übersicht.
4. 11. 2013

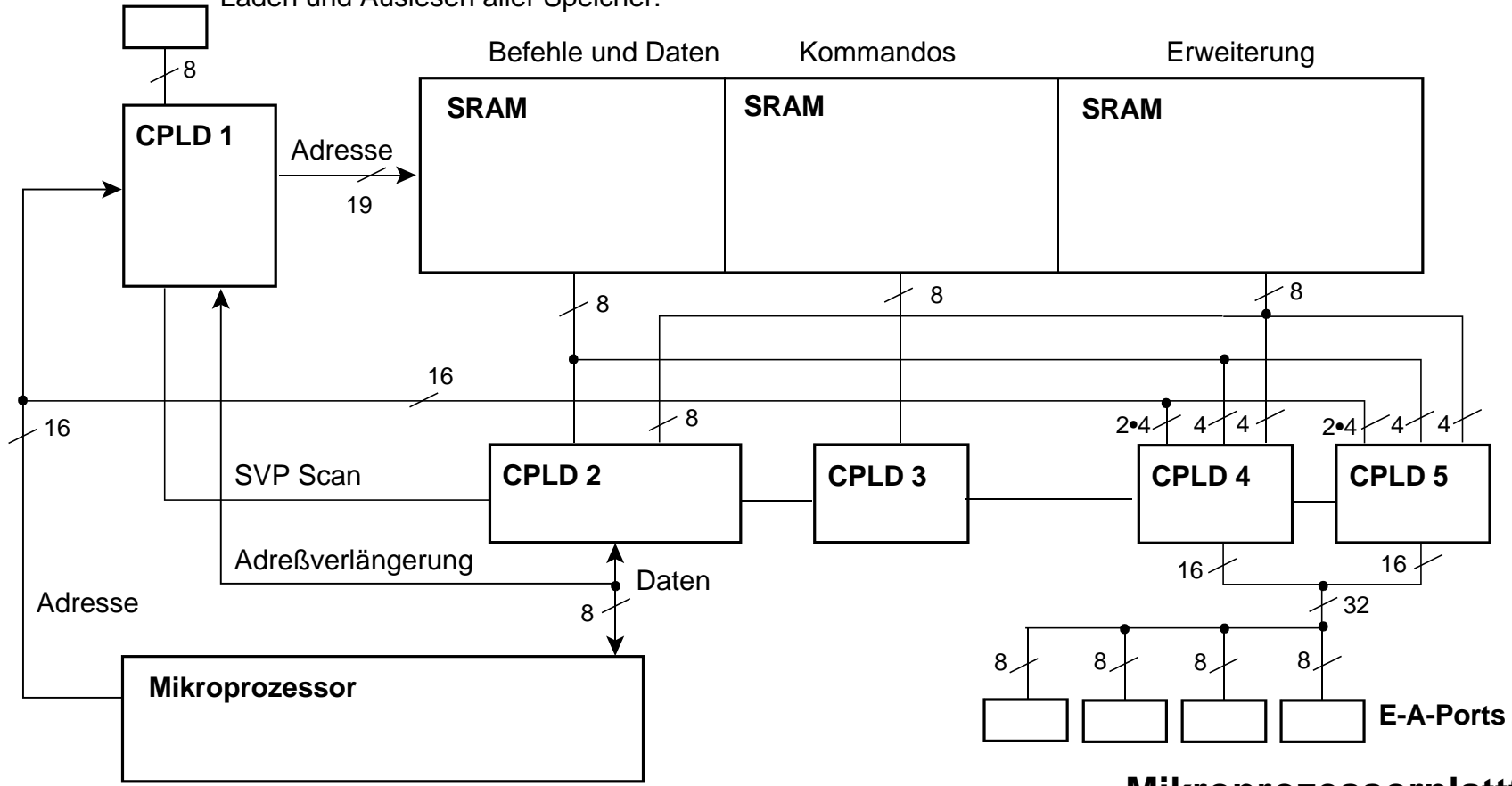


Auf Zusatzplatine steckbar. Z. B.
8051, Motorola 68x und 68k, Z80,
NEC V 850 usw.

**Mikroprozessorplattform mit
erweiterten Steuerwirkungen**

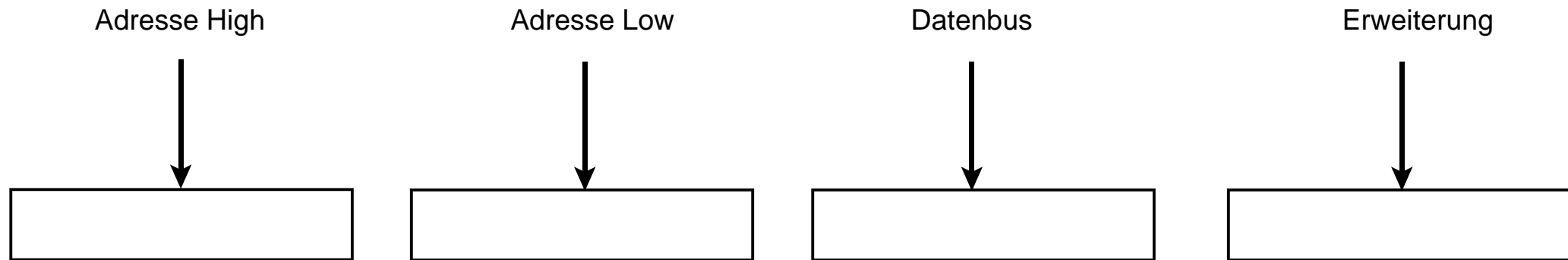
Übersicht. 8 oder 16 Datenbits.
4. 11. 2013

Serviceprozessor (SVP). 1 8-Bit-Port. Bitserieller Zugriff zum Laden und Auslesen aller Speicher.

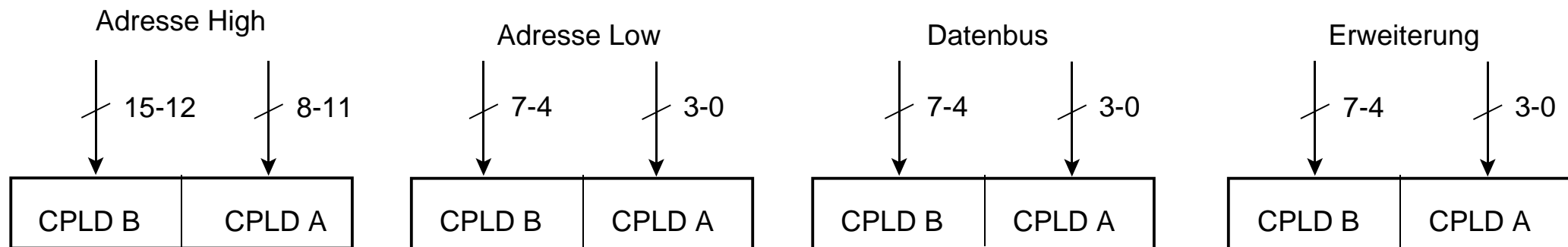


Auf Zusatzplatine steckbar. Z. B. 8051, Motorola 68x, Z80 usw.

Mikroprozessorplattform mit erweiterten Steuerwirkungen
 Übersicht. 8 Datenbits. Mit Adreßausgabe.
 Bitslice-Organisation.
 4. 11. 2013



E-A-Ports (Ausgabe)

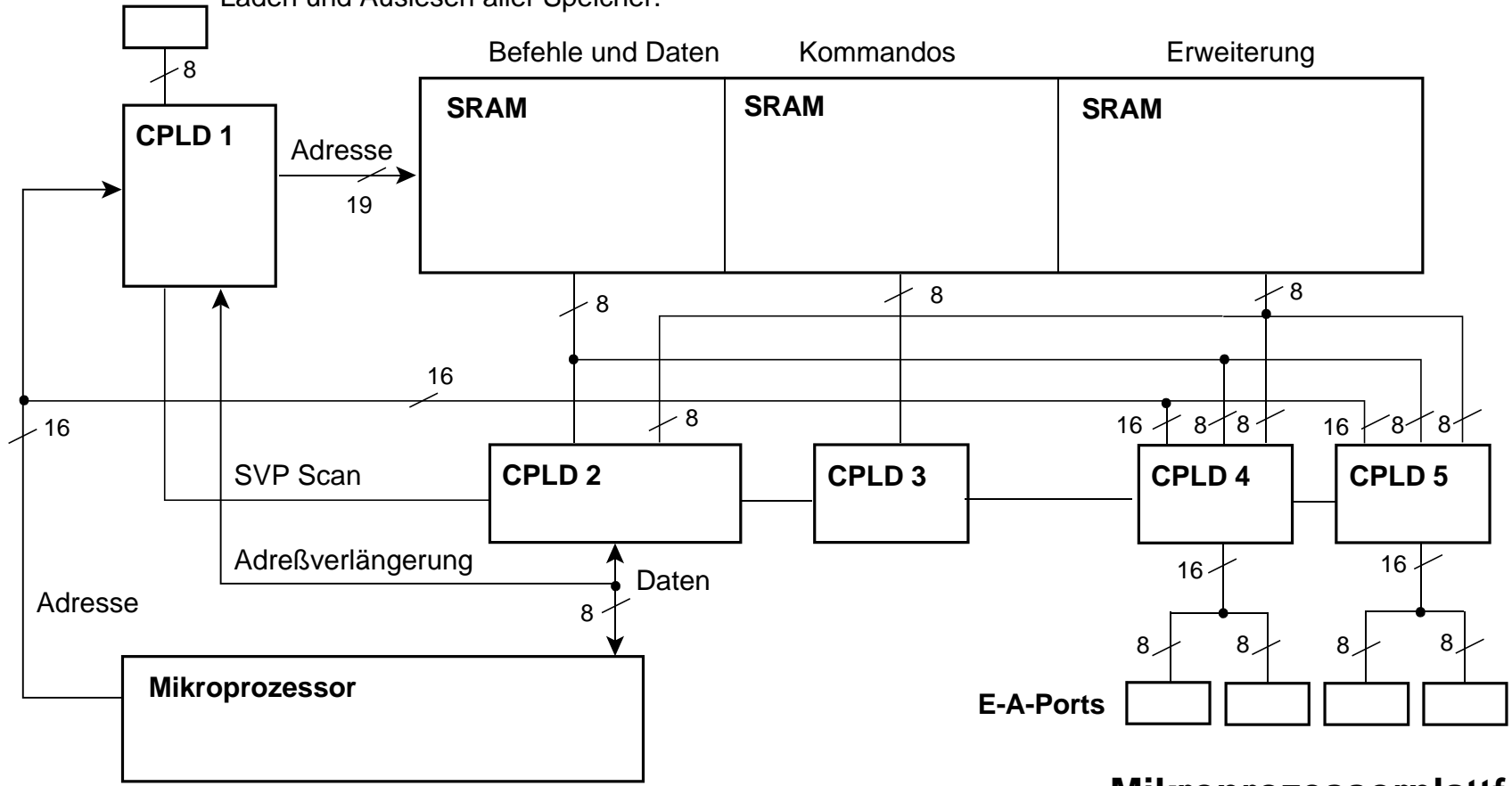


E-A-Ports (Ausgabe)

Bitslice-Organisation:
 1 CPLD:
 4 Bits Low-Adresse
 4 Bits High-Adresse
 4 Bits Daten
 4 Bits Erweiterung
 4 • 4 Bits E-A

**Mikroprozessorplattform mit
 erweiterten Steuerwirkungen**
 Ausgabemöglichkeiten. Bitslice-Organisation
 4. 11. 2013

Serviceprozessor (SVP). 1 8-Bit-Port. Bitserieller Zugriff zum Laden und Auslesen aller Speicher.

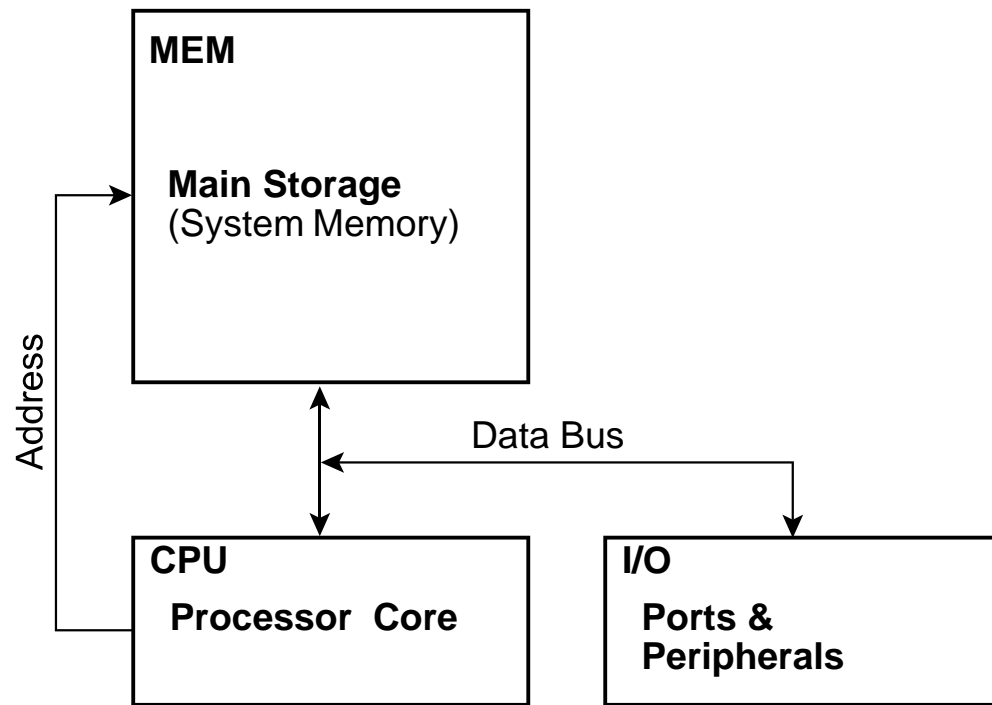


Auf Zusatzplatine steckbar. Z. B. 8051, Motorola 68x, Z80 usw.

Mikroprozessorplattform mit erweiterten Steuerwirkungen

Übersicht. 8 Datenbits. Mit Adreßausgabe.
Kein Bitslice.
4. 11. 2013

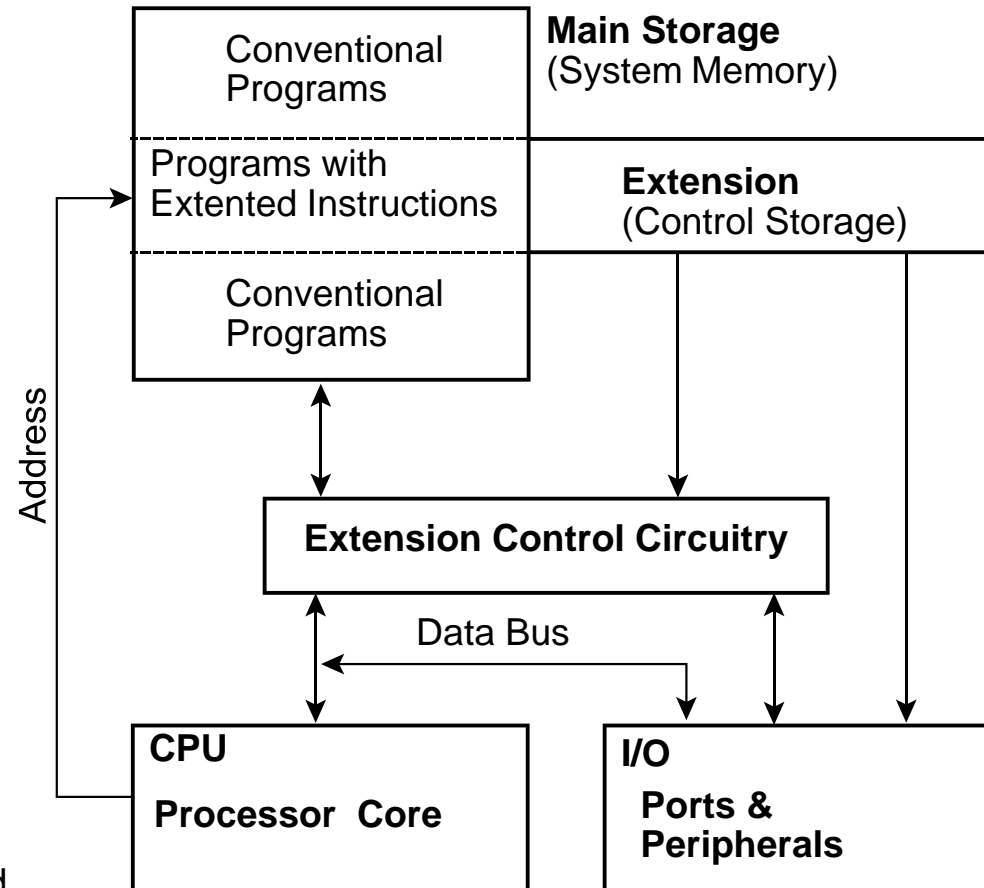
a) Conventional Microprocessor System



Extended instructions can be likened to horizontally encoded microinstructions. Add as many bits as required...

Extended and conventional instructions can be mixed freely. In contrast to a microprogrammed processor designed from scratch, the augmentation of the instruction set does not impede using existing software.

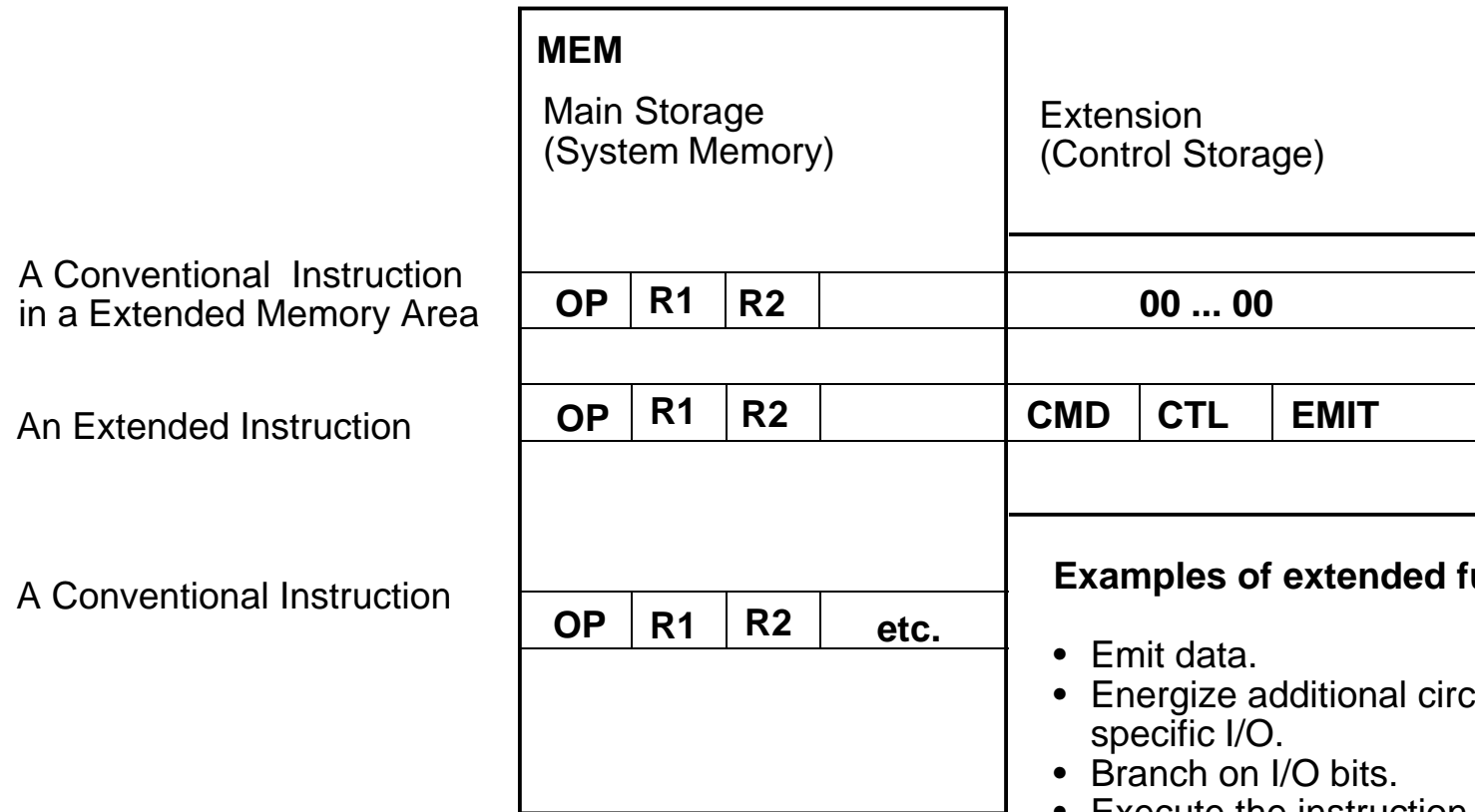
b) Microprocessor System with Extended Instructions



Extending Instructions of Conventional Processors (1)

General Overview

11/4/2013



Examples of extended functions:

- Emit data.
- Energize additional circuitry, like accelerator units or application-specific I/O.
- Branch on I/O bits.
- Execute the instruction depending on certain conditions (predication).
- Execute an alternate instruction.
- Disable interrupts temporarily.
- Employ the address sent by the processor as additional data to be emitted.
- Facilitate compare stop functions (with an unlimited number of hardware breakpoints).

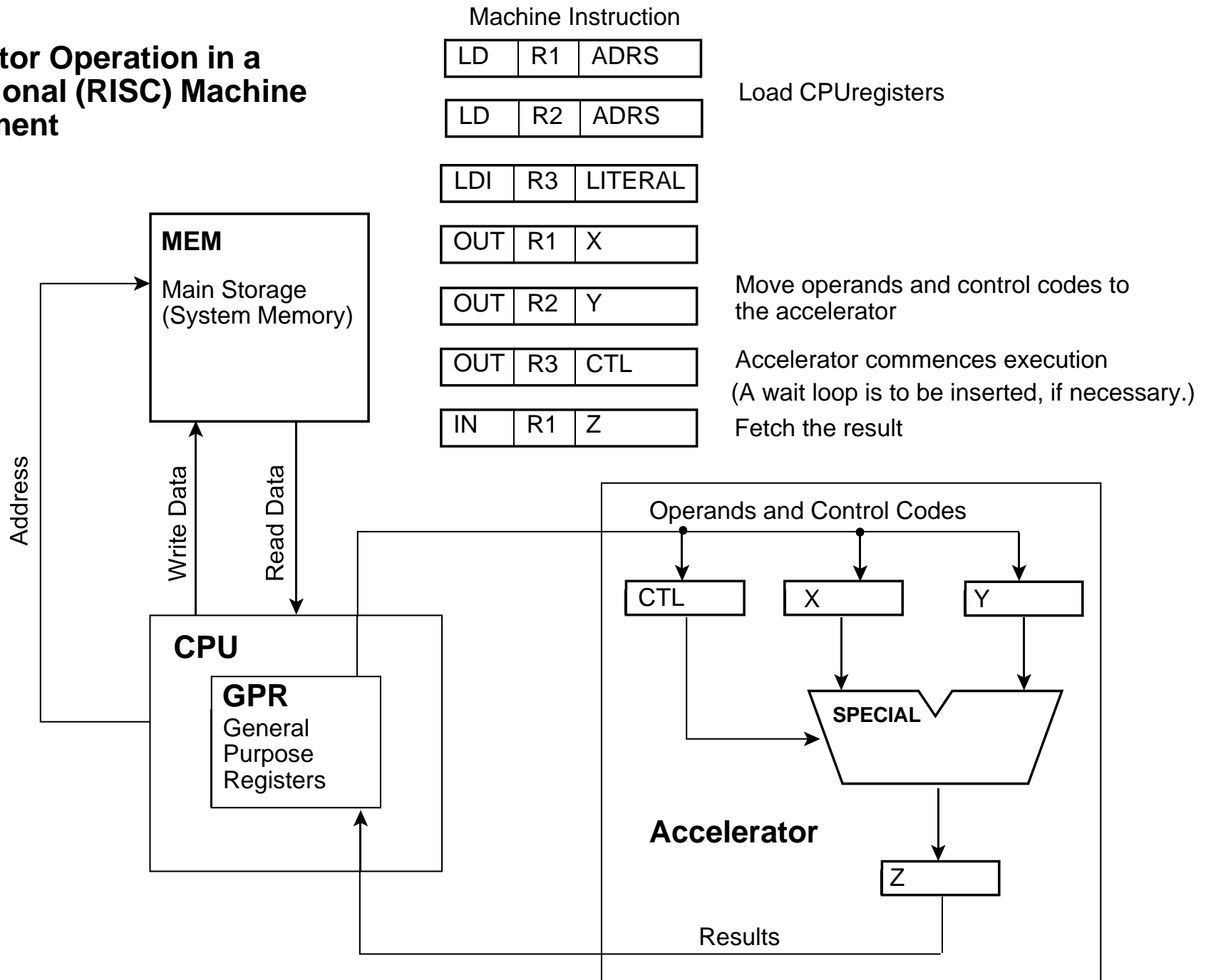
Extending Instructions of Conventional Processors (2)

Extension Principle

11/4/2013

Accelerator Operation in a Conventional (RISC) Machine Environment

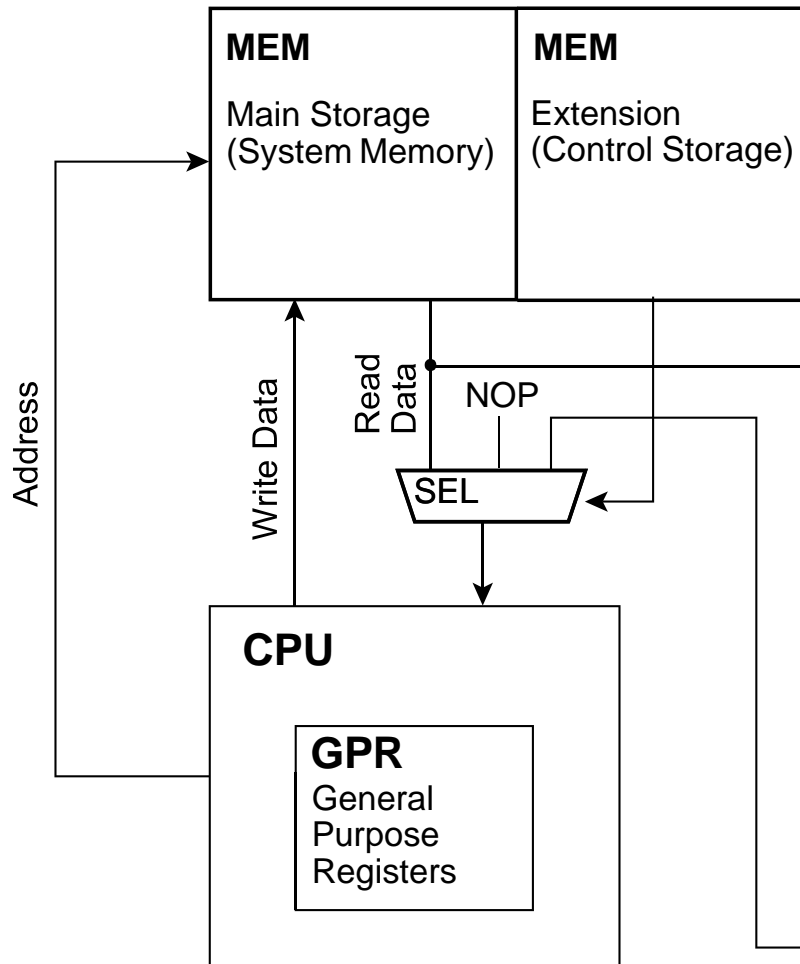
11/4/2013



Accelerator Operation

Supported by Extended Instructions

11/4/2013



Machine Instruction

Extension

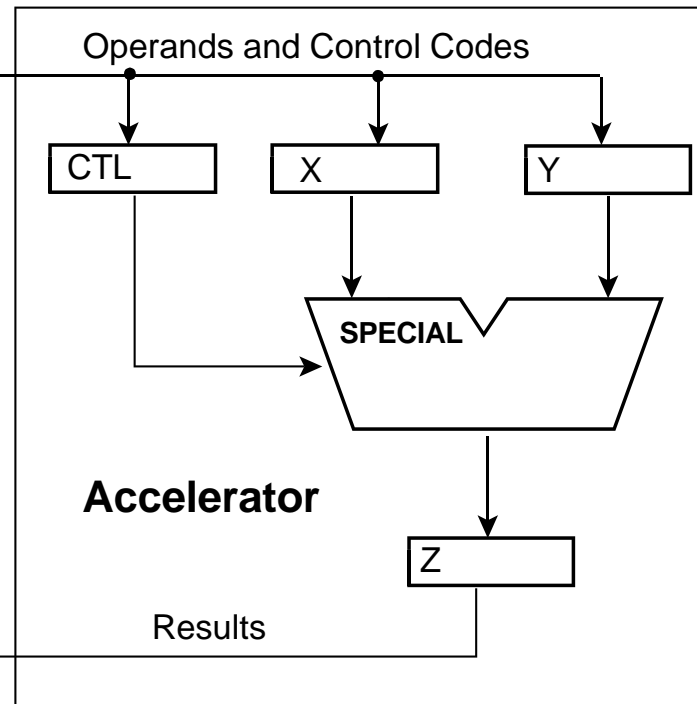
LD	R1	ADRS	LOAD X
LD	R2	ADRS	LOAD Y
LDI	R3	LITERAL	LIT.TO CTL
LDI	R4	ADRS	Z to R4

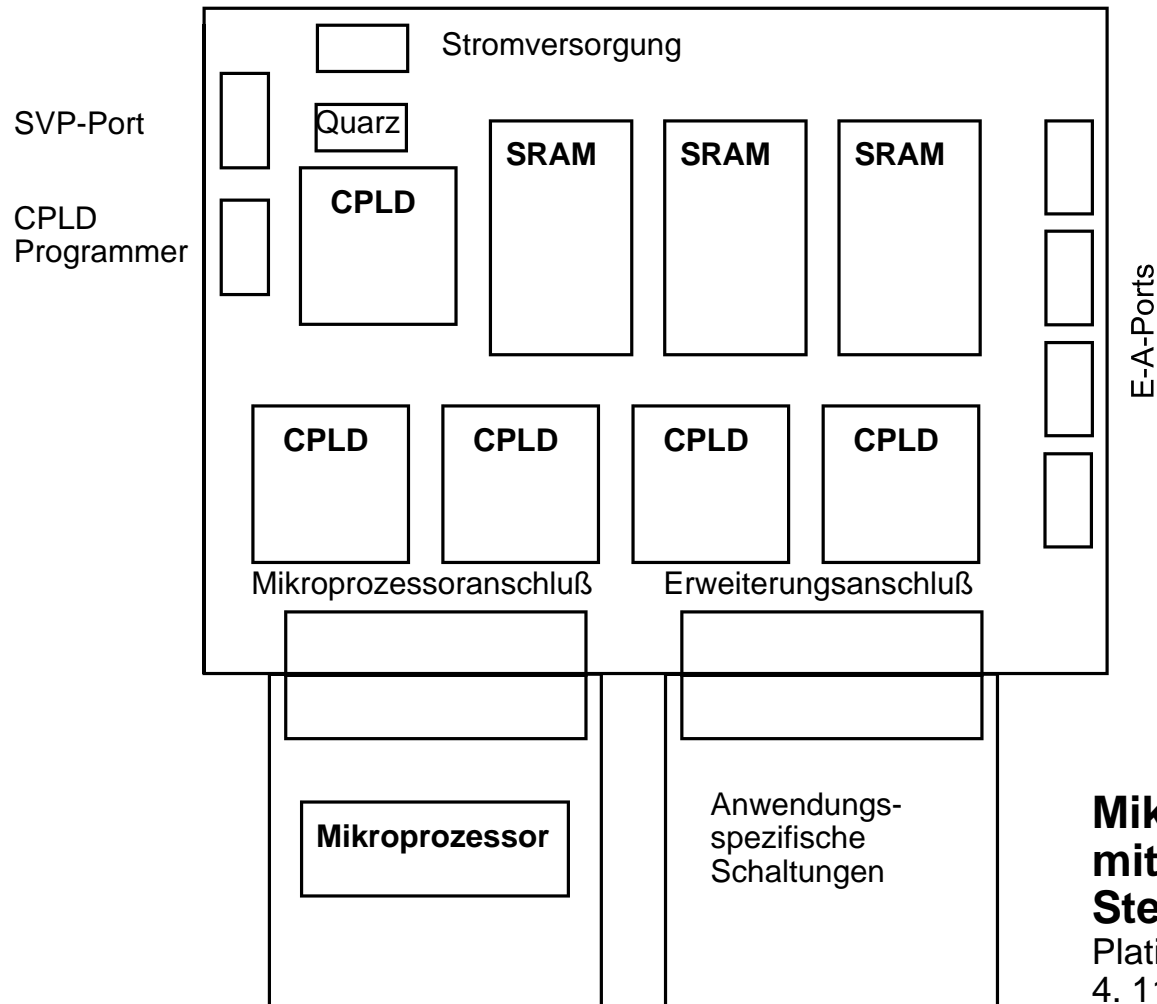
CPU receives a copy of data or a NOP

Accelerator commences execution*

CPU receives the result. ADRS is ignored.

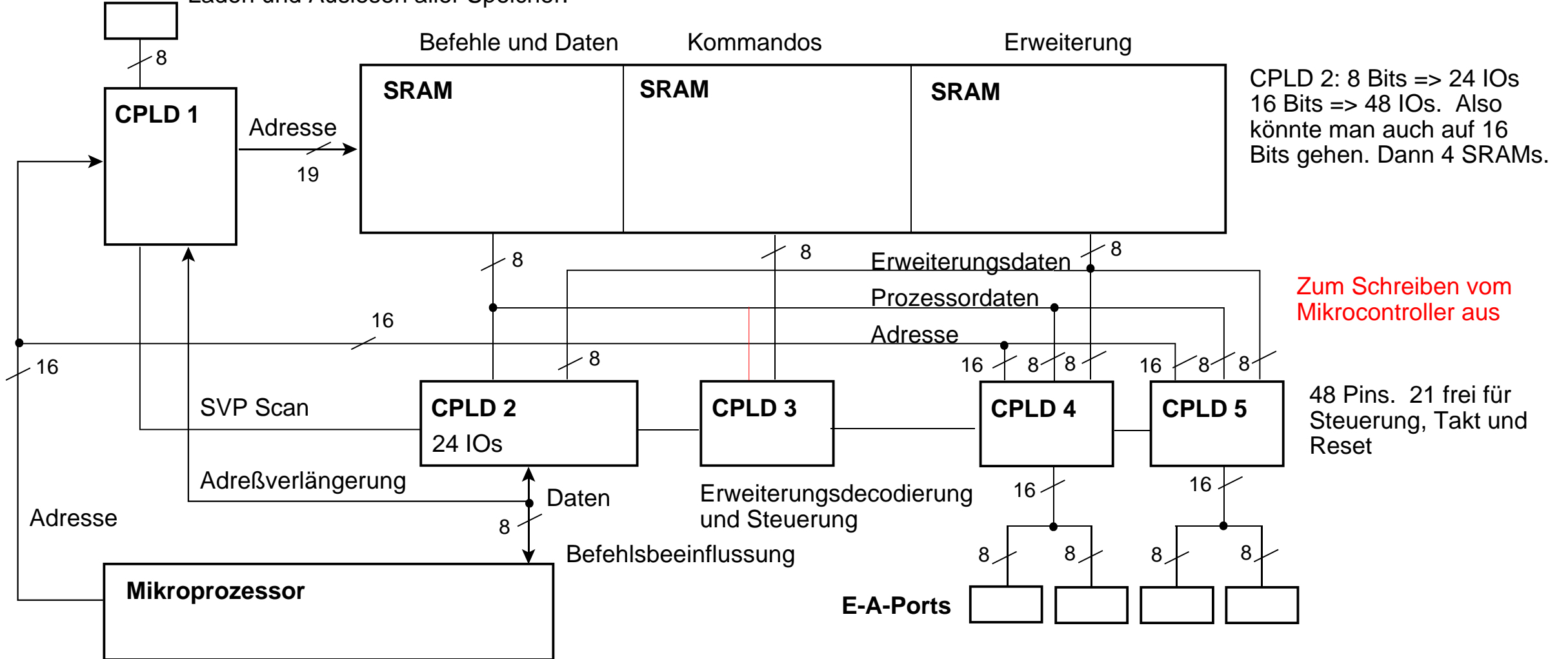
*: Extended control means may insert wait states, if necessary.





**Mikroprozessorplattform
mit erweiterten
Steuerwirkungen**
Platinenbelegung
4. 11. 2013

Serviceprozessor (SVP). 1 8-Bit-Port. Bitserieller Zugriff zum Laden und Auslesen aller Speicher.



CPLD 2: 8 Bits => 24 IOs
16 Bits => 48 IOs. Also könnte man auch auf 16 Bits gehen. Dann 4 SRAMs.

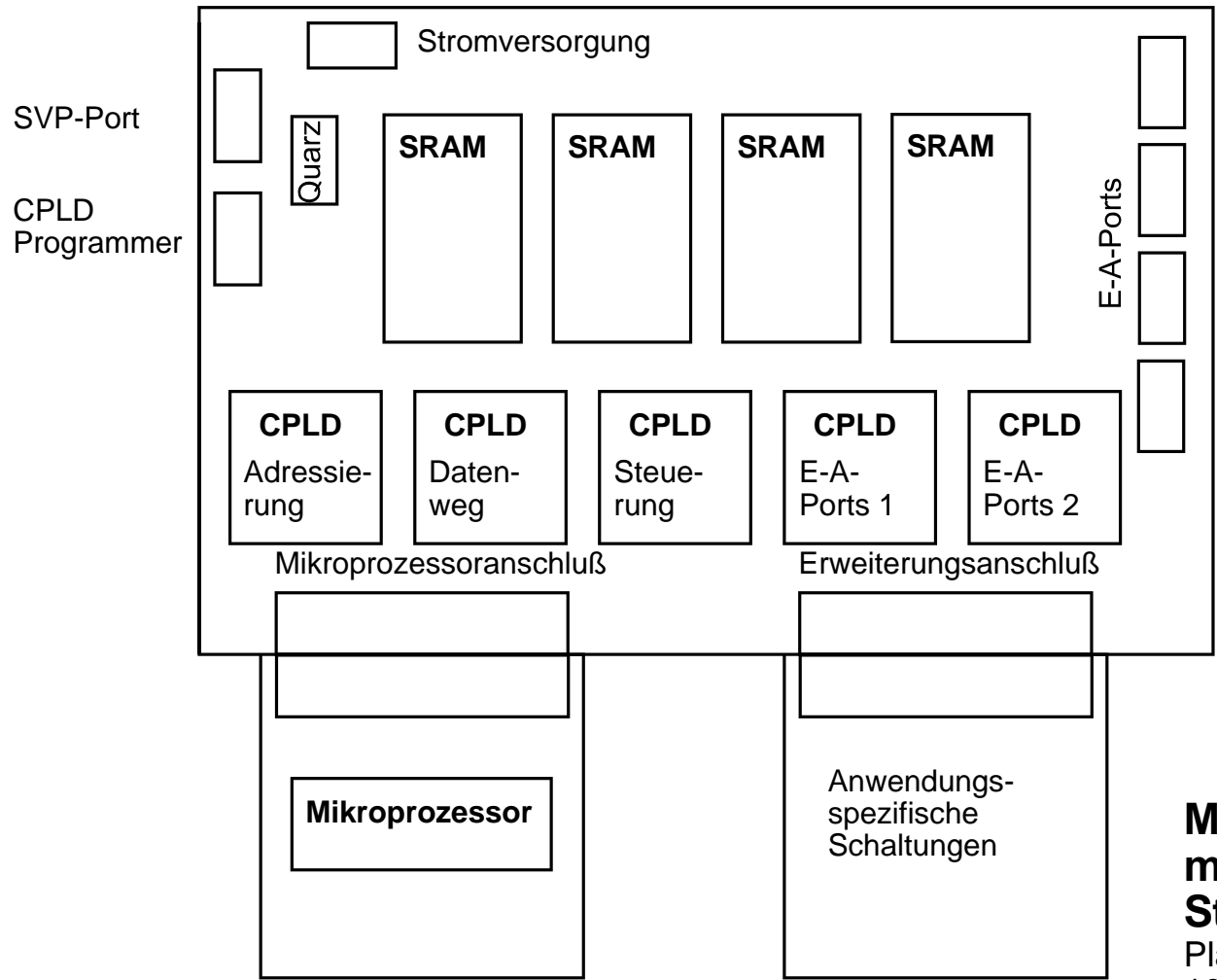
Zum Schreiben vom Mikrocontroller aus

48 Pins. 21 frei für Steuerung, Takt und Reset

Auf Zusatzplatine steckbar. Z. B. 8051, Motorola 68x, Z80 usw.
Hier könnte auch ein weiteres CPLD gesteckt werden, das aus der ganzen Anordnung einen eigenen Prozessor macht.

2 8-Bit-Ports oder 1 16-Bit-Port
8-Bit-Ports ggf. mit ternärer Steuerung. 8 Bits vom Befehl, 8 von der Erweiterung.

Mikroprozessorplattform mit erweiterten Steuerwirkungen
Übersicht. 8 Datenbits. Mit Adreßausgabe.
Kein Bitslice.
2. 12. 2013



**Mikroprozessorplattform
mit erweiterten
Steuerwirkungen**

Platinenbelegung 4 SRAMs.
16 Datenbits
2. 12. 2013