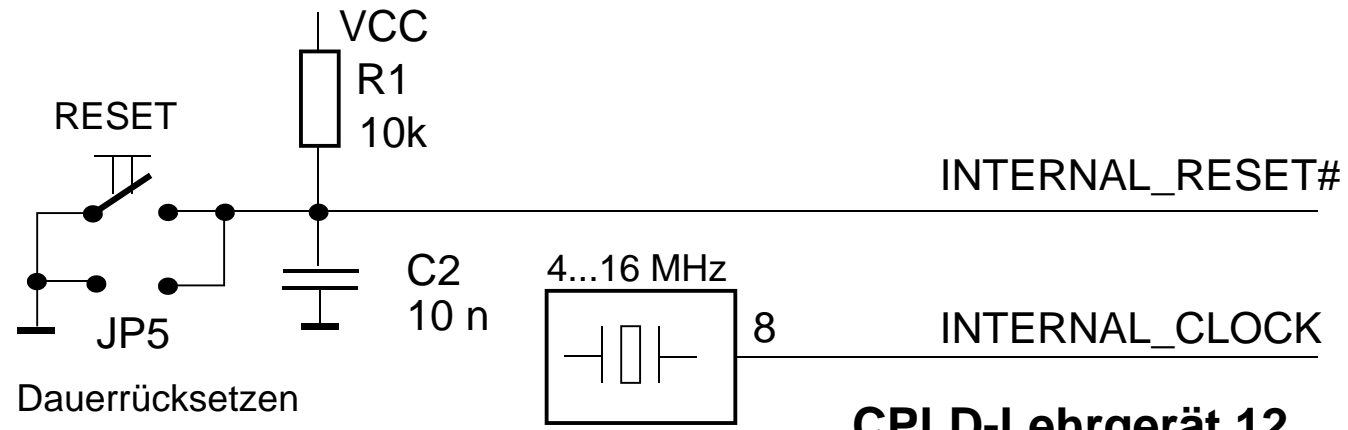
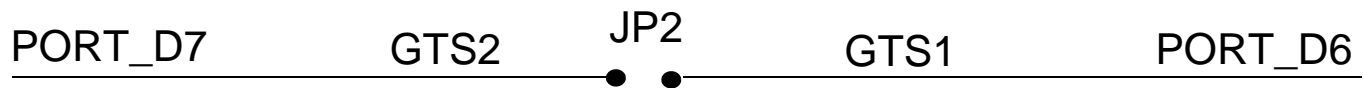
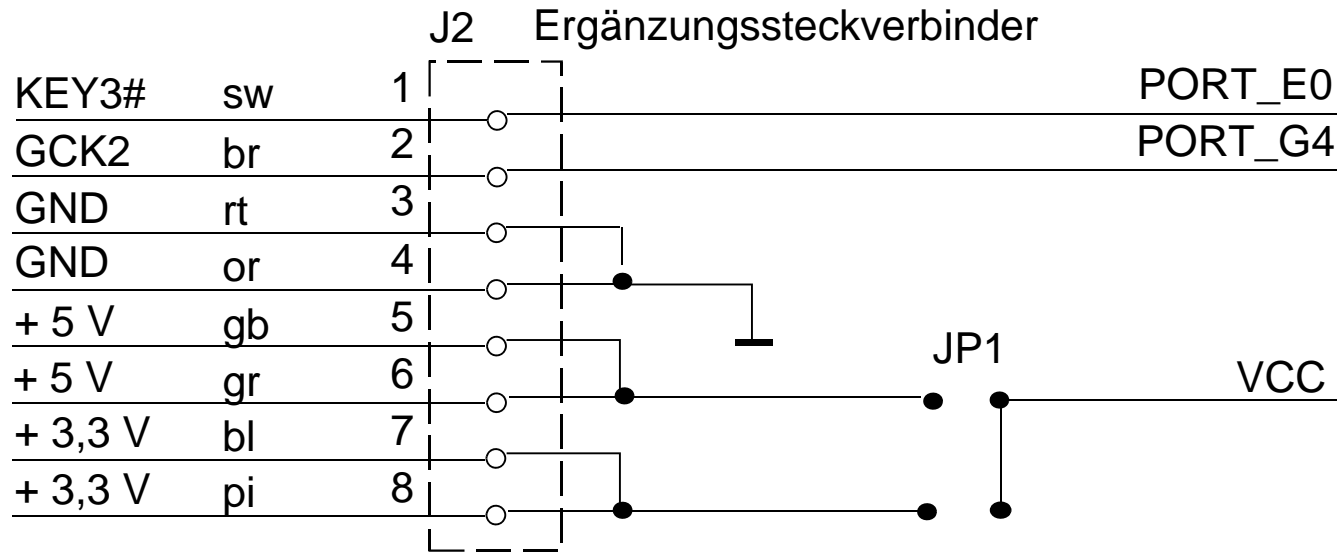


PORT_G5	OE#	1	2	VCC
PORT_G7	WE#	3	4	CE#
PORT_E0	KEY3#A12	5	6	GCK2
PORT_E4	A13	7	8	A14
PORT_E6	A15	9	10	A16 SYNC
PORT_A0	1	11	12	2
PORT_A2	3	13	14	4
PORT_A4	5	15	16	6
PORT_A6	7	17	18	8
PORT_B0	9	19	20	10
PORT_B2	11	21	22	12
PORT_B4	13	23	24	14
PORT_B6	15	25	26	16
PORT_C0	DQ0	17	27	18
PORT_C2	DQ2	19	28	20
PORT_C4	DQ4	21	29	22
PORT_C6	DQ6	23	30	24
PORT_D0	A0	25	31	26
PORT_D2	A2	27	32	28
PORT_D4	A4	29	33	30
PORT_E3	KEY0#	31	34	32
PORT_E1	KEY2#	33	35	34
PORT_F4	GTS3	35	36	36
PORT_D6	GTS1	37	37	38
		39	39	40
PORT_F0	A6	41	41	42
PORT_F2	A8	43	43	44
PORT_G1		45	45	46
PORT_F6	A10	47	47	48
	VCC	49	49	50
		51	51	52
		53	53	54
		55	55	56
		57	57	58
		59	59	60
		61	61	62
		63	63	64

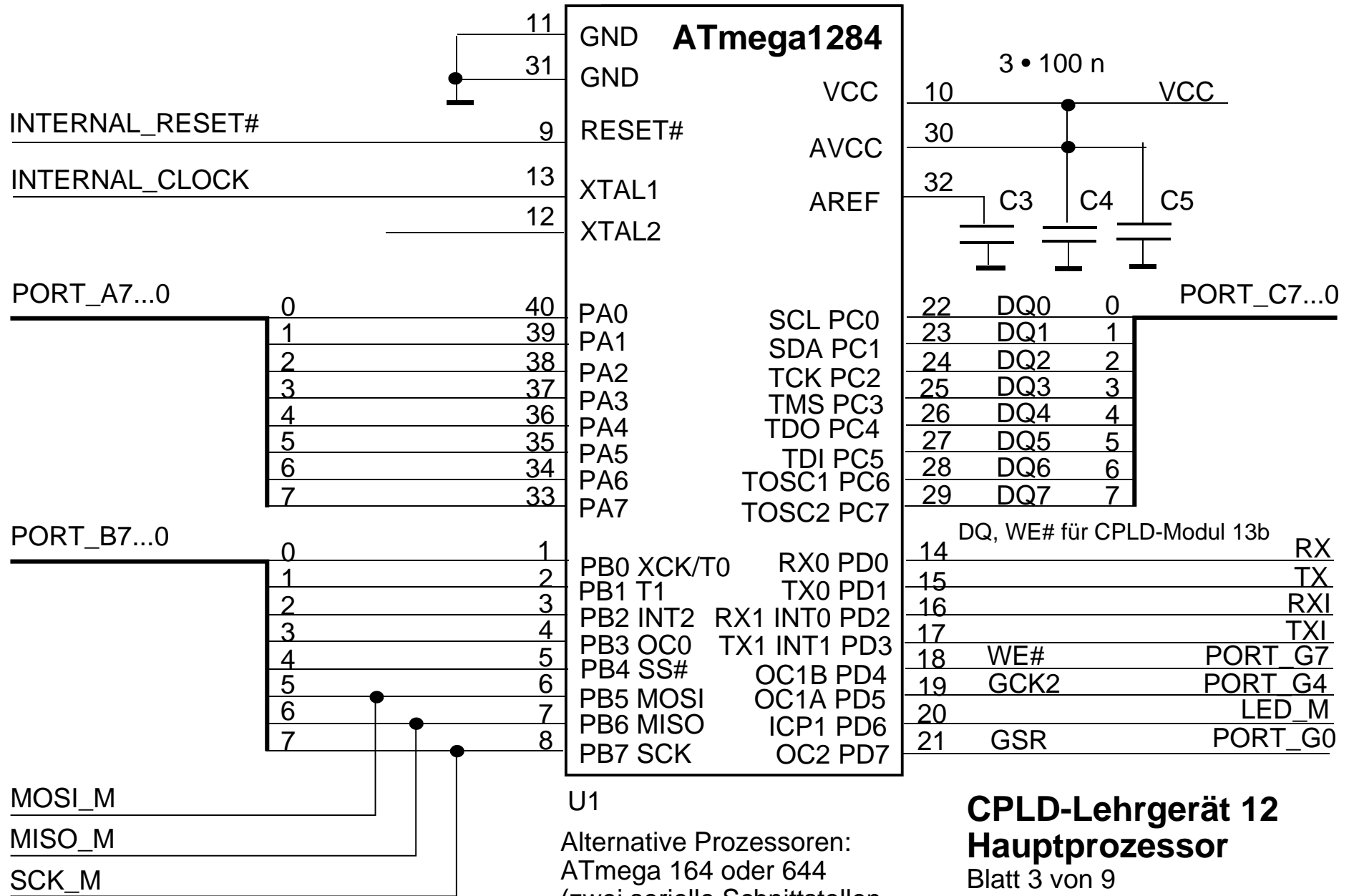
Polin-Stecker 40pol.

J1

Kabel von der Pollin-Platine



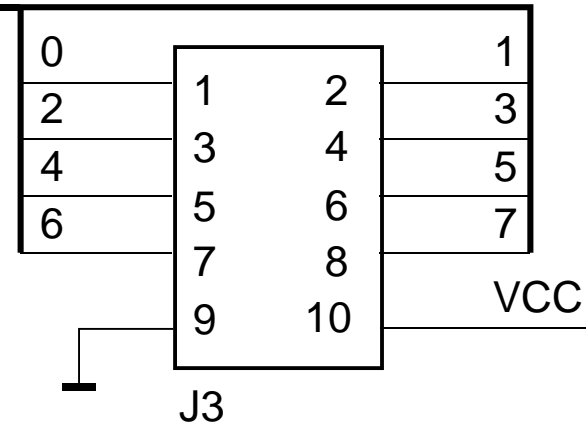
CPLD-Lehrgerät 12
Ergänzungssteckverbinder,
Rücksetzen, Takt



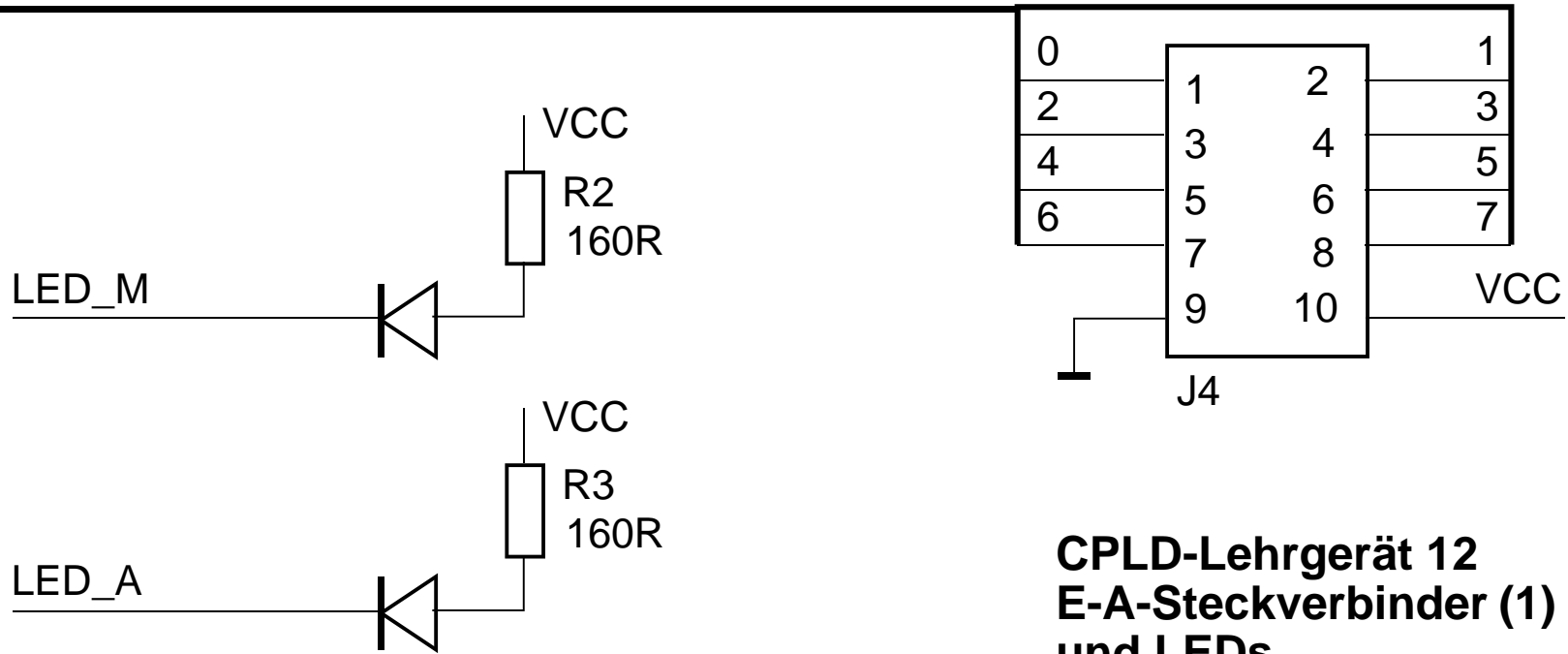
U1
 Alternative Prozessoren:
 ATmega 164 oder 644
 (zwei serielle Schnittstellen
 erforderlich)

CPLD-Lehrgerät 12
Hauptprozessor
 Blatt 3 von 9
 Stand: 1.7 vom 3. 2. 134

PORT_A7...0



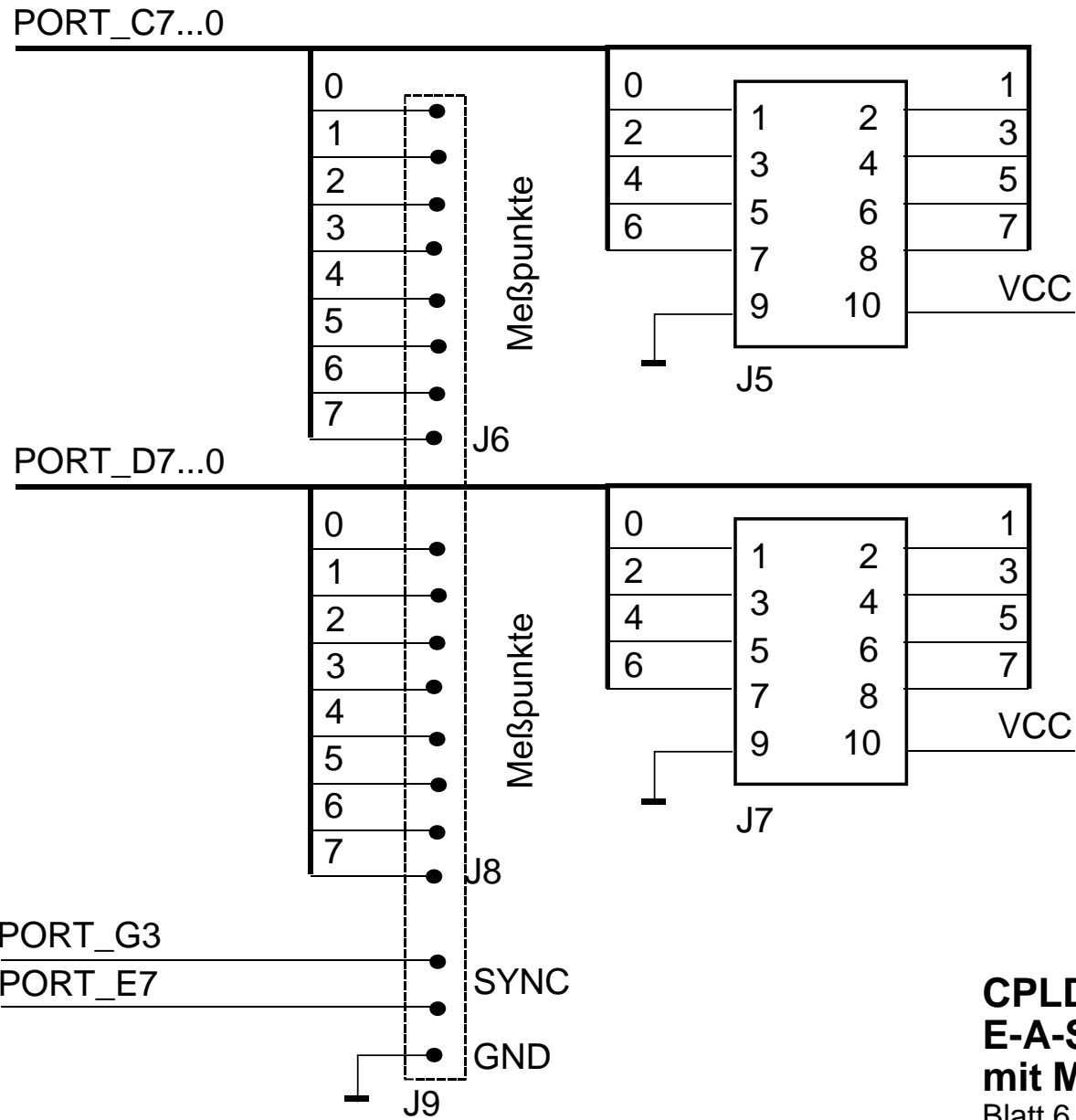
PORT_B7...0



**CPLD-Lehrgerät 12
E-A-Steckverbinder (1)
und LEDs**

Blatt 5 von 9

Stand: 1.7 vom 3. 2. 14

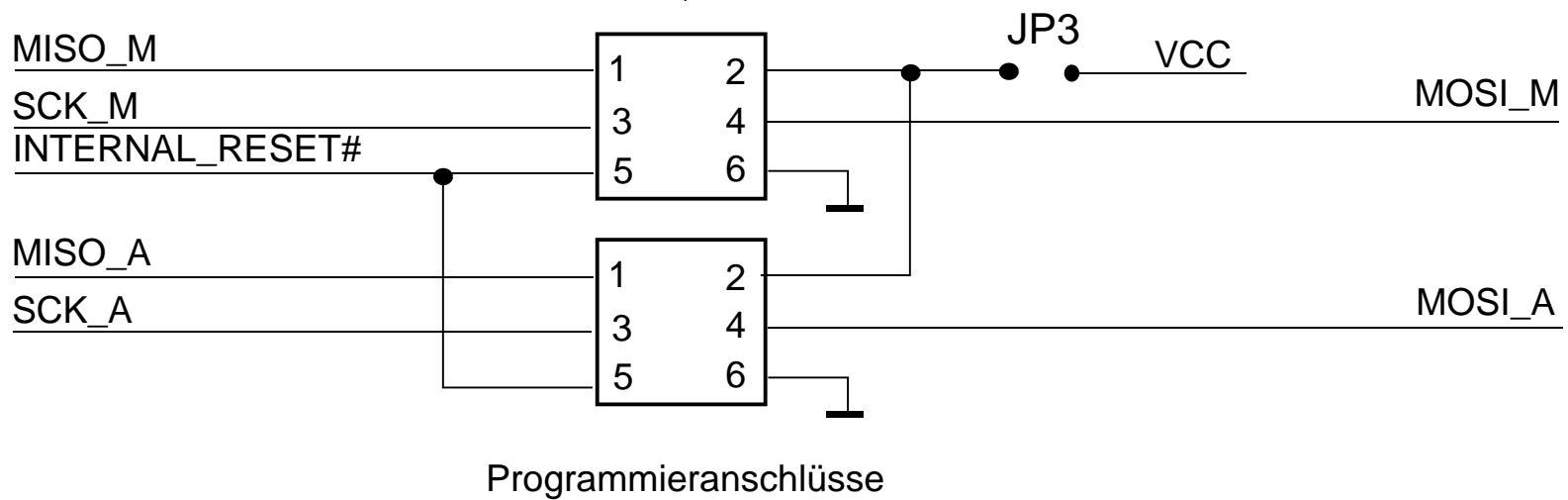


Meßpunktreihe an der unteren Kante der Leiterplatte

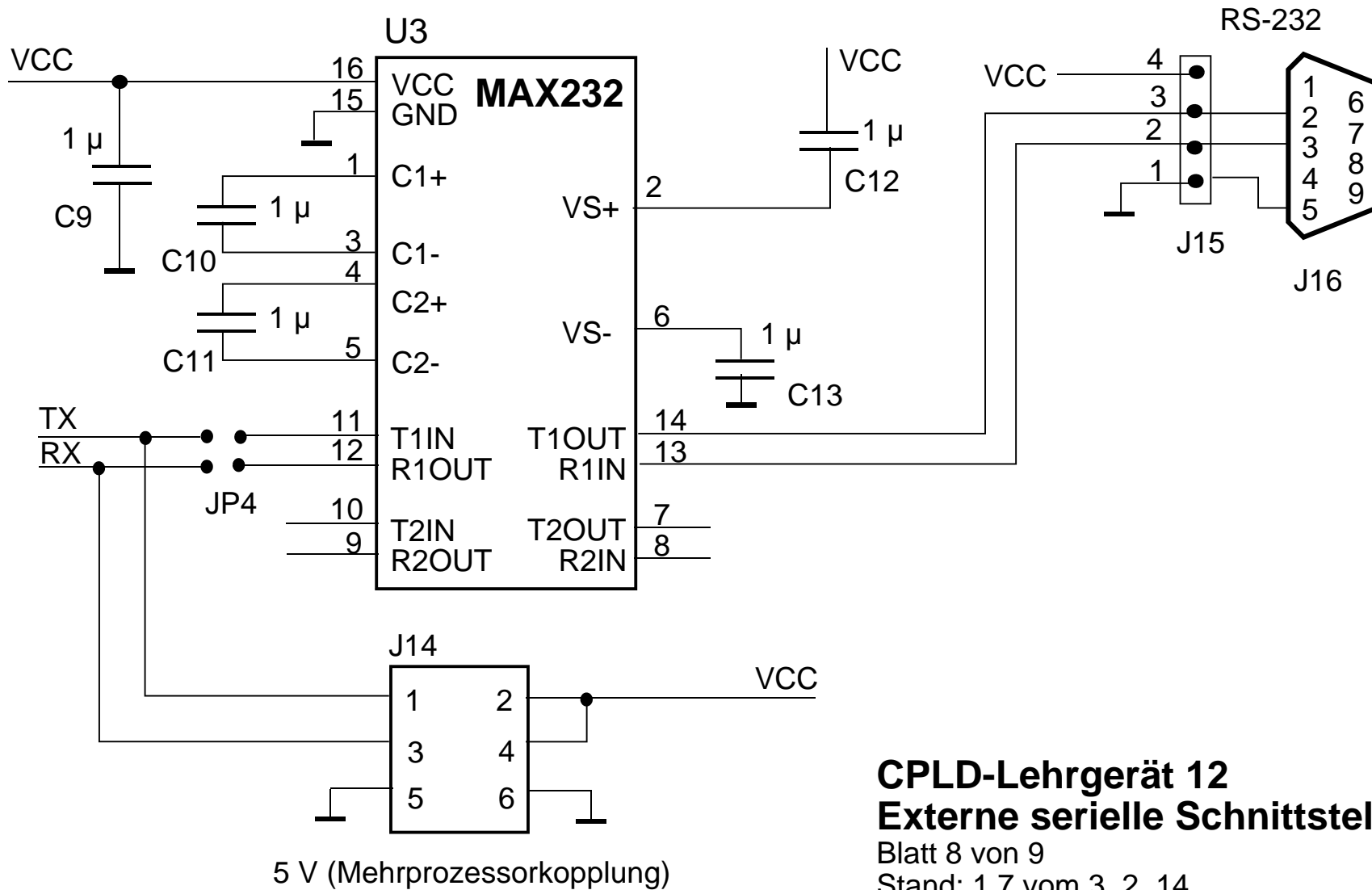
CPLD-Lehrgerät 12 E-A-Steckverbinder (2) mit Meßpunkten

Blatt 6 von 9

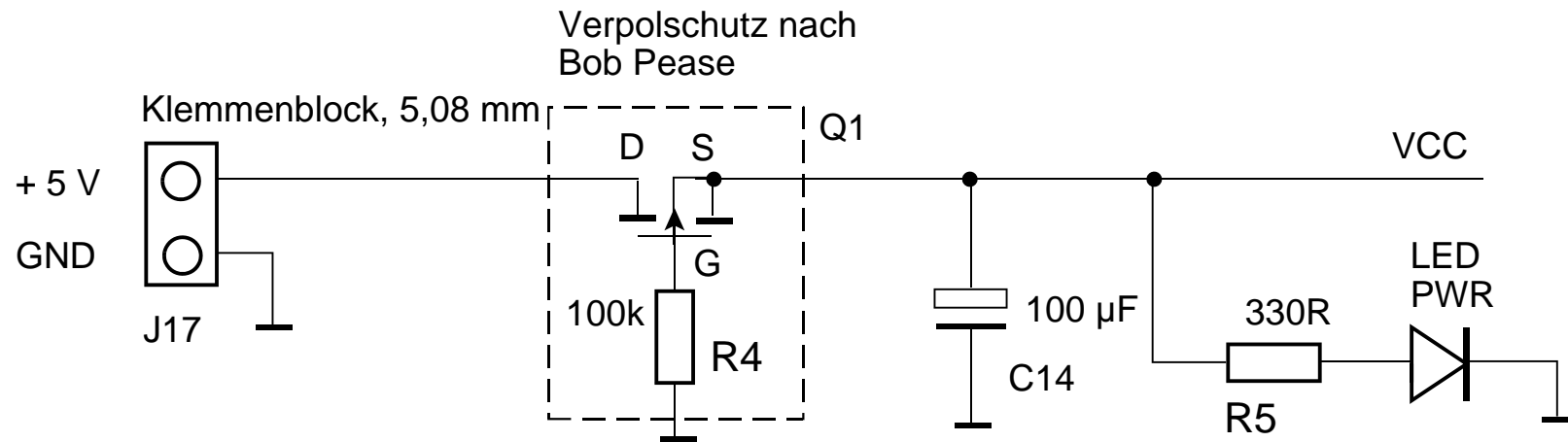
Stand: 1.7 vom 3. 2. 14



CPLD-Lehrgerät 12
Programmieranschlüsse
 Blatt 7 von 9
 Stand: 1.7 vom 3. 2. 14



CPLD-Lehrgerät 12
Externe serielle Schnittstelle
 Blatt 8 von 9
 Stand: 1.7 vom 3. 2. 14



CPLD-Lehrgerät 12 Stromversorgung

Blatt 9 von 9

Stand: 1.7 vom 3. 2. 14